

Bonded SOI wafer의 top Si과 buried oxide layer의 결함에 대한 연구

김석구[†] · 백운규* · 박재근

한양대학교 Nano-SOI 공정 연구실

*한양대학교 세라믹공학과

Characteristic Study for Defect of Top Si and Buried Oxide Layer on the Bonded SOI Wafer

Suk-Goo Kim[†], Ungyu Paik* and Jea-Gun Park

Nano-SOI Process Laboratory, Hanyang University

*Department of Ceramic Engineering, Hanyang University

(2004년 5월 7일 받음, 2004년 6월 11일 최종수정본 받음)

Abstract Recently, Silicon On Insulator (SOI) devices emerged to achieve better device characteristics such as higher operation speed, lower power consumption and latch-up immunity. Nevertheless, there are many detrimental defects in SOI wafers such as hydrofluoric-acid (HF)-defects, pinhole, islands, threading dislocations (TD), pyramid stacking faults (PSF), and surface roughness originating from quality of buried oxide film layer. Although the number of defects in SOI wafers has been greatly reduced over the past decade, the turn over of high-speed microprocessors using SOI wafers has been delayed because of unknown defects in SOI wafers. A new characterization method is proposed to investigate the crystalline quality, the buried oxide integrity and some electrical parameters of bonded SOI wafers. In this study, major surface defects in bonded SOI are reviewed using HF dipping, Secco etching, Cu-decoration followed by focused ion beam (FIB) and transmission electron microscope (TEM).

Key words SOI, TD, PSF, Cu-decoration, FIB

1. 서 론

SOI 소자는 동작속도, 저전력소모, latch up 방지를 위해 보다 좋은 소자로서 고안되었다. Top silicon layer가 200 nm보다 작은 ultra 소자에 있어서 SOI wafer를 사용하는 것은 보다 높은 처리속도를 가지며 표준 도구로 되었다. SOI wafer는 공정조건과 과정, 원리에 의해 크게 두 가지형태로 나누어 볼 수 있는데 SIMOX와 bonded이다¹⁾. SIMOX wafer는 산소를 이온 주입한 후 열처리를 통하여 SOI 구조가 형성된다. 산소의 이온 주입양에 따라 low dose, high dose로 나누어지는데 low dose는 높은 pinhole density, PSFs, 그리고 buried oxide의 breakdown voltage가 문제가 된다²⁾. High dose인 경우에는 buried oxide의 질이 열적으로 생성된 산화막과 비슷한 breakdown voltage를 갖게 되지만, TD, Si island가 문제가 된다³⁾. 일반적으로 산화막의 breakdown voltage는 8~10 MeV/cm²이다. Low dose인 경우에 internal thermal oxidation (ITOX)공정을 통하여 buried

oxide 두께와 breakdown voltage, 그리고 quality가 증가하였다⁴⁾. 또한 표면의 micro roughness도 개선되었다. Bonded SOI wafer의 경우에는 top Si과 buried oxide 사이에 roughness 차이에 의한 void defect이 문제가 된다. Bonding 면에 particle⁵⁾ 존재한다면 이후에 chemical-mechanical polishing (CMP)공정에서 top Si에 crack⁶⁾이 발생하게 된다. Bonded SOI wafer의 결함을 줄이기 위해서는 bonding 면의 roughness 개선과 cleaning 공정 개선이 필수적이다. 본 논문에서는 이러한 bonded SOI wafer의 top Si과 buried oxide layer에 발생하는 결함에 대해 화학적인 방법과 전기적인 방법으로 실험을 통해 연구하였으며, FIB/TEM을 이용하여 SOI wafer의 결함을 분석하였다.

2. 이 론

Bonded SOI wafer의 구조를 형성하기 위해서 Smart-cut 공정이론은 기본적으로 4가지 단계를 거친다⁵⁻⁷⁾. 공정과정이 Fig. 1에 나타나 있다. Wafer A(device wafer)에 buried oxide가 될 산화막을 먼저 형성한다. 산화막

[†]E-Mail : sukgoo@ihanyang.ac.kr

- H^+ Implantation : $3.5 \times 10^{16} \sim 10^{17} \text{ cm}^{-2}$
 $R_p = 0.9 \mu\text{m}$ for 95 keV

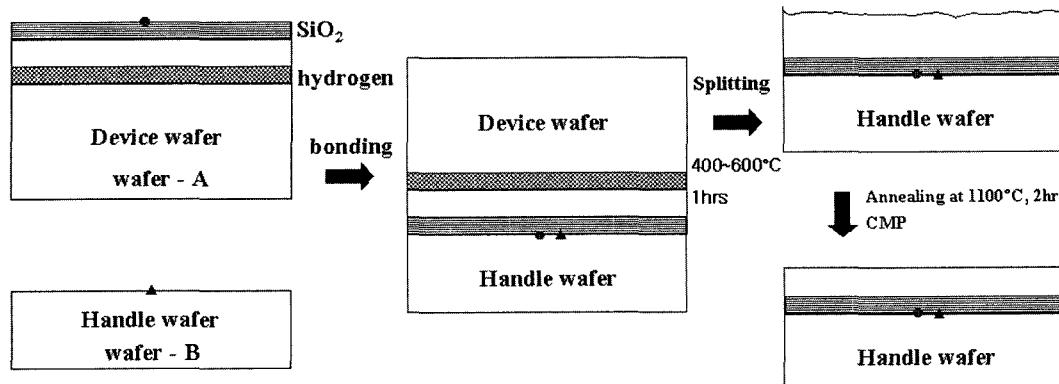


Fig. 1. Process flow of bonded SOI wafer fabrication.

두께는 공정조건에 의한 값을 가지며 산화막 아래 실리콘에서는 oxide induced stacking fault (OISF)와 같은 결합 없이 안정된 온도와 대기에서 산화막을 형성해야 한다⁸⁾. 산화막과 실리콘의 roughness는 약 50Å 정도로 나타난다. Wafer A에 수소이온은 에너지 조절을 통하여 결합 후 분리되는 실리콘 위치에 주입한다. 이온주입의 장점은 에너지, roughness, dose⁹ 등의 공정 요소들을 조절하는 것에 있어서 매우 유용하다는 것이다. Wafer A에 열적으로 산화막을 형성한 후 이온을 주입하며, 수소이온의 가속 전압은 95 keV로 하고, 이온 양은 $3.5 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-2}$ 이다. Fig. 2는 TRIM(98) simulation에 의한 수소 이온의 R_p (projected range)를 구한 것으로 95 keV로 전압을 주었을 때 가우시안 분포를 가지며 R_p 는 $0.9 \mu\text{m}$, 농도는 $6.5 \times 10^{20} \text{ atoms/cm}^3$ 이 된다. 수소이온 주입 시 물집 (blistering), 부풀어 오름 (swelling), 얇은 조각 (flaking), 그리고 벗겨짐 (exfoliation)같은 눈에 보이는 미세한 결함들이 발생한다. 물집과 얇은 조각의 발생은 두 가지에 의해 생각될 수 있다. 먼저 높은 양의 수소를 이온 주입하였을 경우에 물집은 $2 \times 10^{17} \text{ cm}^{-2}$ 의 이온 양에서 나타나고, 얇은 조각은 이온 양이 증가함에 따라 나타난다. 두 번째로 중간 정도의 이온 양과 열처리에 의해 나타난다. 이온 양은 $3 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-2}$ 이고, 열처리 온도는 400~600°C의 온도에서 물집과 얇은 조각이 나타난다. Wafer A와 B의 실리콘 substrate는 sc-1 (Standard Clean-1)방법에 의해 세정한다. 이것은 두 wafer의 산화막 표면에 OH-ion을 제거하는데 기인한다. Wafer A를 Wafer B(handle wafer)에 대해서 상온에서 결합을 한다. Wafer B는 substrate가 되는 부분으로 표면에 미립자나 금속에 오염되지 말아야 하고, buried oxide와 접촉하게 되므로 void나 crystal originated pit(cop)가 형성되면 안 된다. Wafer 결합은 수소 결합을 경유하여 이루어지며, 결합 후에 두 번의 열처리를 하게 된다. 결합되는 부분의 결합력을 증가시키기 위해 먼저 600°C 이

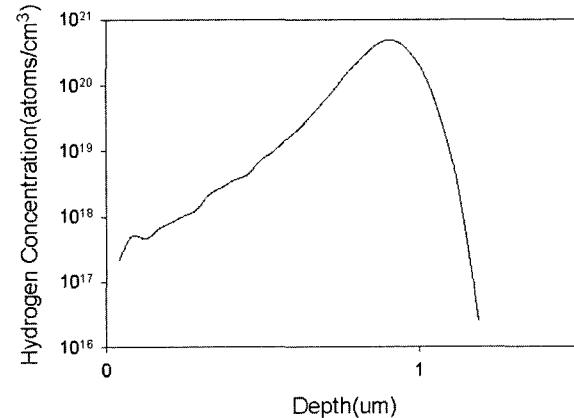


Fig. 2. Dopant concentration profiles for 95 keV, H^+ ($3.5 \times 10^{16} \text{ atoms/cm}^2$) in bonded SOI wafers using TRIM simulation.

하에서 열처리를 한다. 600°C 이상에서 열처리를 하게 되면 수소이온이 실리콘 내로 확산이 일어나므로 분리하는데 있어서 어려움이 있다. 결합력에 기인하여 $\equiv \text{SiOH} : \text{HOSi}\equiv$ 는 Si-O-Si 결합을 형성하기 위해 반응하고, wafer는 twining에 의해 수소가 있는 부분이 분리된다. Wafer A는 polishing 공정을 통해서 handle wafer로 다시 재사용하게 된다. 산화막은 handle wafer에 있게 되며 wafer가 분리된 후에 표면에서의 roughness는 약 100Å 정도이다. 두 번째 열처리는 1100°C에서 buried oxide와 실리콘의 흡착을 좋게 하기 위해서 높은 온도에서 하게 되며, 결합표면을 안정화 시킨다. 열처리가 끝난 후에도 wafer의 표면은 분리로 인해서 micro-roughness가 나타나게 된다. 따라서 polishing 공정이 필요한데 CMP 공정을 통해 표면의 roughness 특성이 좋아지며, $2 \times 2 \mu\text{m}$, $10 \times 10 \mu\text{m}$ scan에 의한 atomic force microscope (AFM) 측정을 보면 roughness는 1.5Å으로 감소하게 된다. 이러한 공정과정을 통해 bonded SOI wafer가 만들어 진다.

3. 실험 방법

실험에 사용된 wafer는 p-type, $10\Omega\text{-cm}$, 200 mm 직경의 bonded SOI wafer로 top Si의 두께가 2000Å이고, buried oxide의 두께가 1800Å이다. 표면에 있는 roughness는 AFM($2 \times 2 \mu\text{m}^2$, $10 \times 10 \mu\text{m}^2$)을 이용하여 측정하게 된다. Top Si의 표면을 측정한 후 KOH 용액에 의해 top Si를 제거한다⁹⁾. 실리콘과 산화막층의 선택비는 100:1이다. buried oxide를 AFM($2 \times 2 \mu\text{m}^2$, $10 \times 10 \mu\text{m}^2$)으로 측정하고, 두개의 wafer에 대한 top Si과 buried oxide의 roughness를 측정하였다. Secco etch pit 실험은 bonded SOI wafer를 약 1 cm^2 정도로 자른 다음, HF(5%) 용액에 담가서 표면에 있는 native oxide를 제거한다. Secco 용액에 약 1~15초 동안 top Si을 에칭하고, DI water에 의해 secco 용액을 깨끗이 씻은 후, Ellipso-meter로 top Si의 두께를 측정한다. 30분 동안 115BFH나 묽은 HF(5%)에 wafer를 담가서 buried oxide를 에칭하고, DI water로 HF 용액을 깨끗이 제거한다. 실리콘의 표면에서 secco etch pit density를 측정한다. HF 결함 측정은 먼저 10분 동안 HF(5%)용액에 wafer를 담근다¹⁰⁾. 그 다음에 DI water로 HF 용액을 깨끗이 씻고, 사진기를 이용하여 etch pit density를 측정한다. Direct surface oxide defect (DSOD) 실험은 wafer 표면에 1000Å oxidation을 진행한 dummy wafer를 넣고 그 위에 Cu-plate를 올린 후 전계를 가하면 Cu 이온이 메탄올 용액 속에 흘러나오게 된다. 실험하려고 하는 wafer를 넣고 전압에 의해 표면에 생성되는 결함을 측정한다. 각 실험이 끝난 후 FIB/TEM을 이용하여 시료를 분석한다.

4. 결과 및 고찰

Bonded SOI wafer의 AFM 표면 측정은 top Si의 roughness가 $2 \times 2 \mu\text{m}^2$ 에서 Ra(average roughness)=0.11~0.17 nm이고, buried oxide layer에서는 Ra=0.12~

0.14 nm이다. 보다 넓은 면적인 $10 \times 10 \mu\text{m}^2$ 에서 Ra=0.14~0.17 nm이고, buried oxide layer에서는 Ra=0.18~0.30 nm이다. Top Si의 roughness가 buried oxide 보다는 작게 나타난다. Fig. 3은 secco etching 실험과정을 나타내 주고 있다. Secco etch pit 결함은 top Si의 두께와 에칭 시간에 의존하고, 에칭 비는 상온에서 약 13 nm/sec이다. 사용되어지는 secco 용액은 다음과 같다.

$$\begin{aligned} & 0.15\text{mol/l K}_2\text{Cr}_2\text{O}_7(4.4\text{gK}_2\text{Cr}_2\text{O}_7 \text{ in } 100 \text{ ml}) \\ & : 50\% \text{ HF} = 1:1 \end{aligned}$$

에칭 전에 top Si 내에 존재하는 결함은 secco 용액으로 인해 결함의 크기가 증가하고 HF용액에 담근 후에 buried oxide layer가 에칭된다. 광학 현미경을 이용하여 실리콘의 표면에 있는 etch pit density를 측정하면 top Si의 두께가 얇아질수록 etch pit density는 증가하게 된다. Secco etch pit은 에칭하는 동안 결함모양이 변한다. 실리콘의 두께가 580Å인 경우에 etch pit의 수는 적었지만 두께가 360Å, 300Å으로 감소하면서 etch pit과 결함 크기도 증가한다. 실리콘의 두께가 얇아짐에 따라 결함의 수가 증가하는데 이것을 그래프로 표현하면 Fig. 4 와 같이 된다. 실리콘의 두께가 580Å인 경우에 결함밀도는 $5 \times 10^3/\text{cm}^2$ 이고 360Å에서는 $3 \times 10^5/\text{cm}^2$ 이며, 300Å에서는 $2.5 \times 10^6/\text{cm}^2$ 으로 증가하였다. 실리콘이 580Å인 곳에서 TEM을 측정하였고, 300Å되었을 때도 TEM을 측정하였다. 580Å 곳에서 TEM 사진을 보면 top Si이 들떠있고, buried oxide와 실리콘 sub-layer 사이의 접촉면에서 buried oxide는 연속적으로 HF용액에 담갔으므로 에칭이 되었음을 알 수 있다. 이러한 결과는 secco etching 동안 top Si의 두께가 감소하면서 buried oxide와 실리콘 sub-layer의 접촉면에서 micro void가 생성되었음을 가리킨다. 실리콘의 두께가 300Å인 곳에서는 에칭에 의해 buried oxide층이 완전히 에칭이 되었고, void가 생겼던 부분이 백금의 증착에 의해 주저 앉았다.

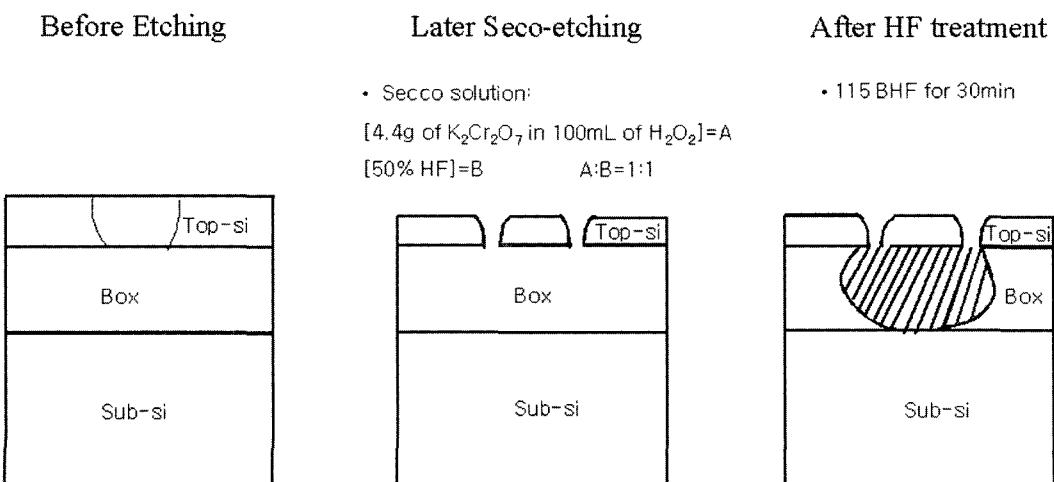


Fig. 3. Procedure of Secco etch pit experiment.

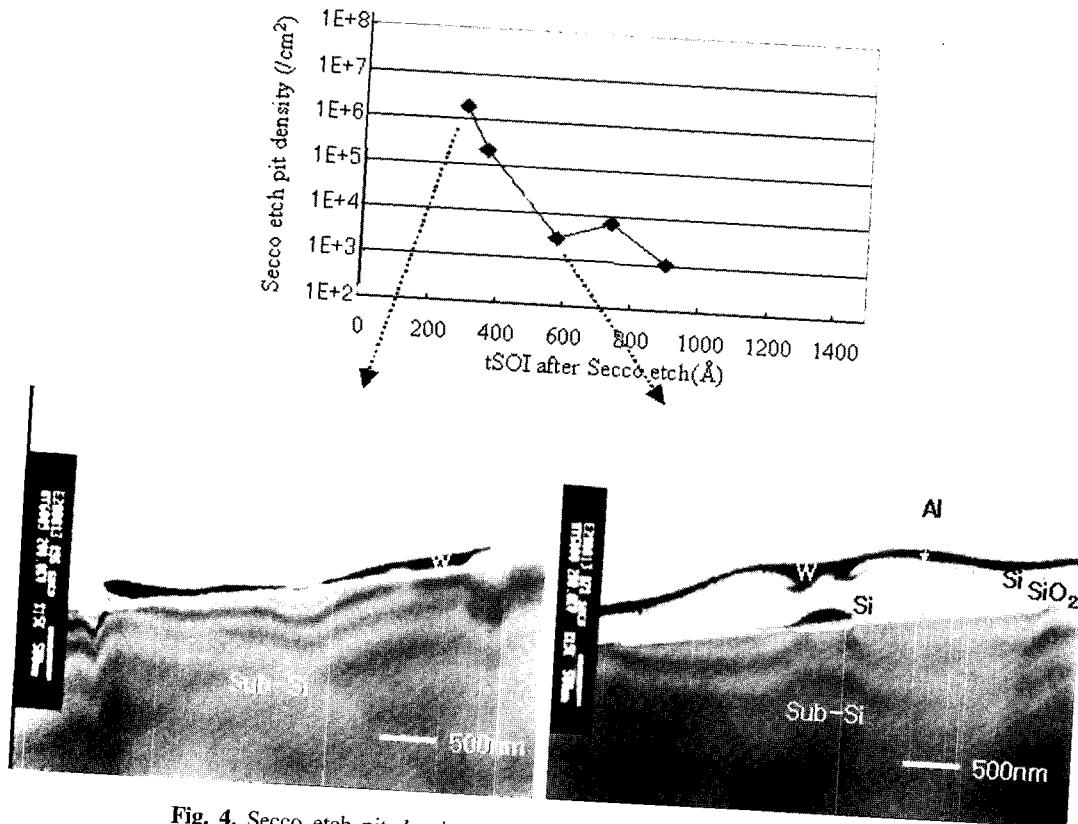


Fig. 4. Secco etch pit density vs tSOI after secco etch, and TEM image.

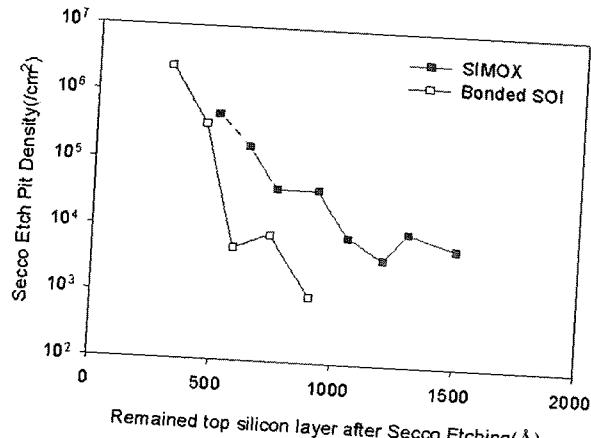
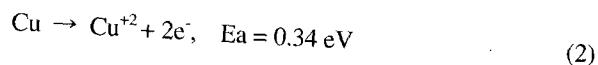


Fig. 5. Secco etch pit density of SIMOX wafer and bonded SOI wafer vs remained top silicon layer after secco etch.

Bonded SOI wafer와 SIMOX wafer의 secco etch pit density를 비교하면 Fig. 5와 같다. Bonded SOI wafer가 SIMOX wafer 보다는 결함밀도가 작게 나타나며, 이것은 top Si의 quality가 좋기 때문이다. SIMOX wafer에서는 산소 주입으로 인해 TD, PSFs 같은 결함이 많이 발생하며 bonded SOI wafer에서는 결함에 의한 top Si 형성이므로 결함이 작게 나타난다. Bonded SOI wafer에서 HF 결함은 실리콘 층의 nano-voids, pinholes과 관계되어 나타난다. 그것은 $\leq 1\text{~}2/\text{cm}^2$ 에서 $\geq 10^3/\text{cm}^2$ 로 다양하다. 이러한 결함들이 비금속일지라도 회로에 큰 영향을 준다. 예를 들어 pinhole과 관계된 결함이 있다면 회

로에서 leakage 전류가 발생한다. HF 결함이 나타난 wafer 표면에 사진을 찍은 것이 Fig. 6(a)이다. HF 결함이 실리콘 표면 위에 분포되어 있고, 결함 밀도는 $0.09/\text{cm}^2$ 이다. Fig. 6(a)에서 표시된 결함이 있는 부분을 광학 현미경으로 관찰한 것이 Fig. 6(b)이다. 애칭영역은 직경이 $65\text{ }\mu\text{m}$ 이고, 가운데 위치에 결함이 있다. 결함을 보다 자세히 보기 위해 Fig. 6(b)에서 하얀 선으로 표시된 'a', 'b' 부분을 TEM으로 관찰한 것이 Fig. 7의 (a), (b)가 된다. (a)에서 top Si과 buried oxide layer의 두께는 $157, 180\text{ nm}$ 이며 (b)에서는 top Si과 buried oxide layer가 없고 substrate 표면에 dislocation이 발생하였다. Fig. 7(a)에서 top Si의 두께 감소는 시료 제작 시 FIB beam damage에 의한 것으로 생각되어 진다. DSOD 장비를 통하여 wafer를 실험하였을 경우에 나타나는 결함과 전압과의 관계를 알아보았다. 일반적인 wafer 표면에 1000 A oxidation을 한 dummy wafer를 넣고 그 위에 Cu-plate를 얹은 다음 전계를 가할 경우에 Cu 이온이 메탄을 용액 속에 흘러나오게 된다. 그 원리는 다음과 같은 식으로 표현할 수 있다.



Wafer 표면의 결함이 있는 위치에 Cu는 decoration된다. 실험하려는 wafer를 넣고 전압에 의해 표면에 생성되는 결함을 측정한 것이 Fig. 8에 나타나 있다. 측정하고자 하는 wafer는 크게 두 가지로 나누어진다. As-

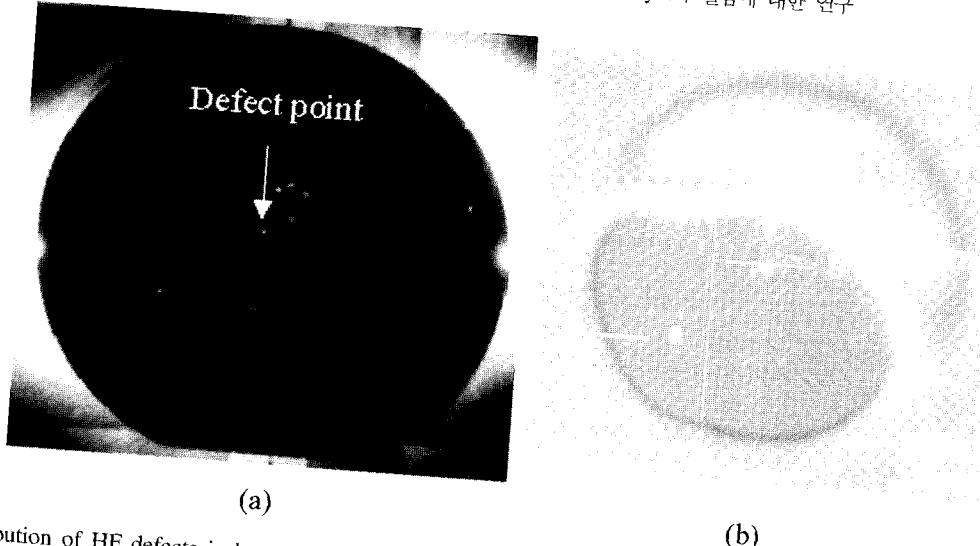


Fig. 6. Distribution of HF defects in bonded SOI wafer. (a) 8-inch wafer map of HF defects and (b) optical microscopic image of HF defect.

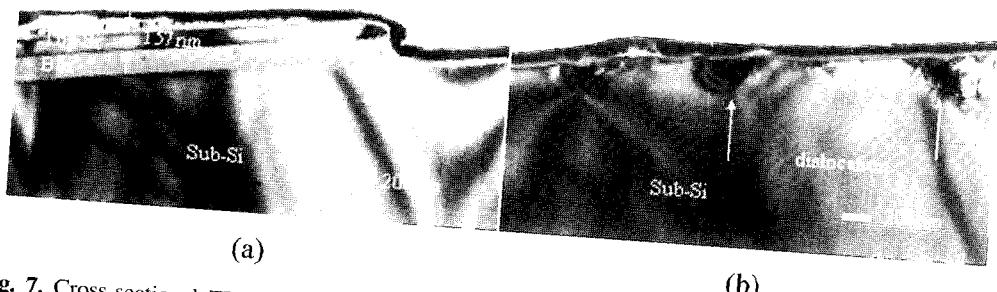


Fig. 7. Cross-sectional TEM image corresponding to the white line at Fig. 6(b). (a) 'a' line (b) 'b' line.

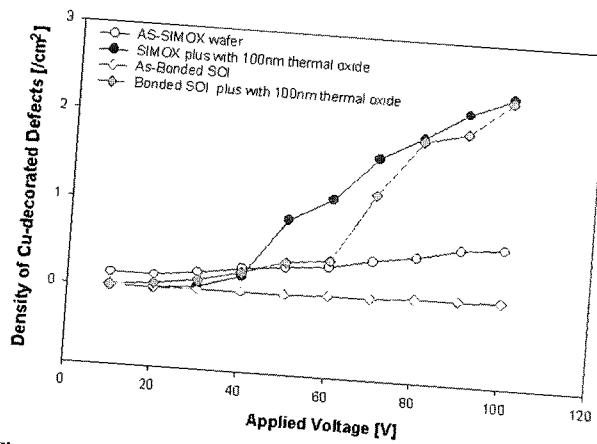


Fig. 8. Effect of applied bias voltage on Cu-decorated defect density in SIMOX and bonded SOI wafers.

SOI(no oxidation) wafer와 1000Å으로 표면에 산화 막을 형성시킨 wafer이다. 인가된 전압이 클수록 bonded SOI wafer의 표면에서 breakdown되는 부분이 많아지므로 Cu 이온이 표면에 decoration된 부분은 증가하게 된다. As-

SOI wafer 보다는 산화 막을 형성시킨 wafer에서 결합이 많이 나타나는 것을 볼 수 있다. 산화막을 형성시킬 경우에는 표면이나 top Si에 있는 결함과 관계하여 실리콘 두께가 얇아지게 되고, 전기장이 형성되므로 전압을 인가하였을 경우에 전류가 흐를 수 있는 부분이 생성된다. 다시 말해서 그 결합부분에서 쉽게 breakdown이 일어나는 것이다. 따라서 as-SOI wafer 보다는 산화막을 형성시킨 wafer에서 결함이 많이 나타나는 것을 볼 수 있다. Bonded SOI wafer를 SIMOX wafer와 비교하여 보면 SIMOX wafer보다 bonded SOI wafer가 결합의 수가 작다는 것을 알 수 있다. 전압이 100 VOLT에서 bonded SOI wafer의 결합밀도는 as-SOI wafer가 0.69/cm²이고, 산화 막 형성 후에 wafer는 2.45/cm²가 된다. 각각의 전압에서 결합의 모양을 TEM을 통하여 관찰한 것이 Fig. 9이다. 먼저 (a)의 as-SOI wafer에서 결합을 살펴보면 30 VOLT인 경우에 top Si과 Box(buried oxide)가 없고, 결합의 크기가 크다는 것을 알 수 있다. 50 VOLT 인 경우에는 30 VOLT에 비하면 결합의 크기가 작고, 중간에 산화 막이 있으나 top Si은 결합이 생

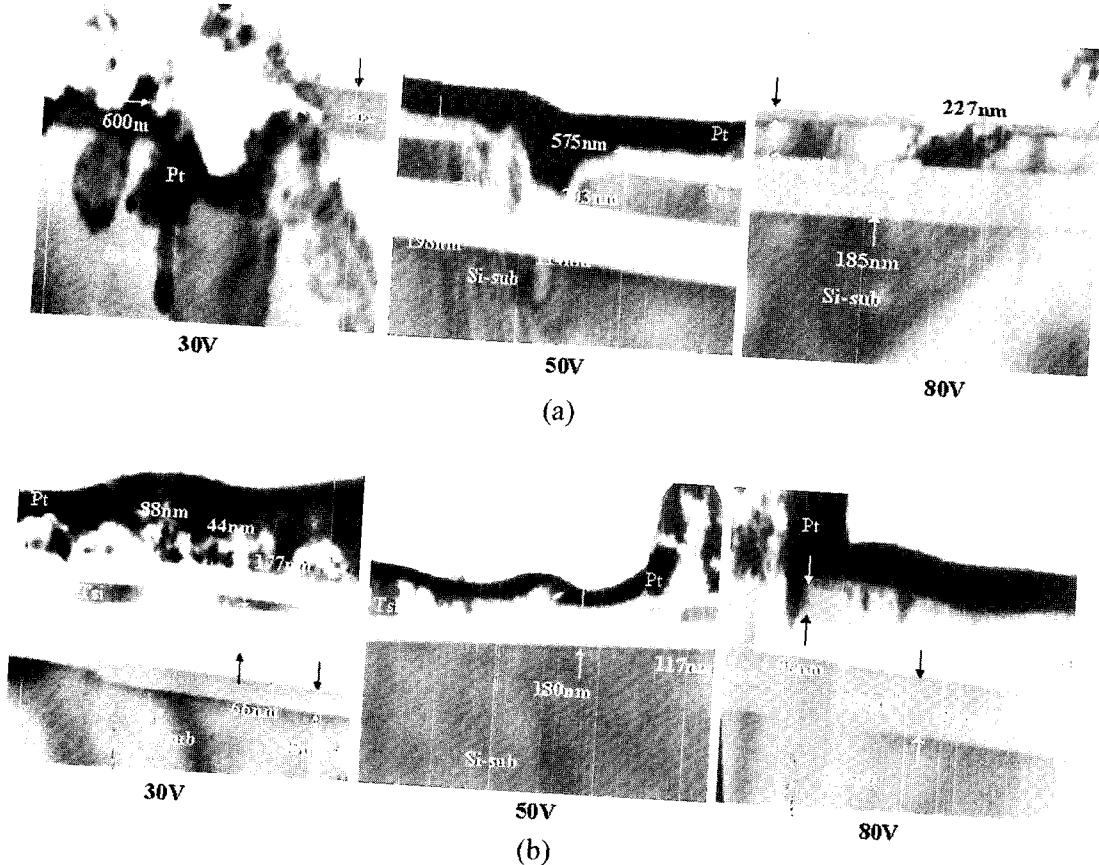


Fig. 9. Cross-sectional TEM images of Cu-decorated defects for bonded SOI wafers as a function of applied bias voltage. (a) As-bonded SOI (b) bonded SOI plus with 100 nm thermal oxide.

졌다. 결함의 크기가 575 nm이다. 실리콘의 끊어진 부분에 dislocation이 있고 그 부분으로 알루미늄이나 백금이 삽입된 것을 알 수 있다. 실리콘 표면에 알루미늄과 백금을 증착하는 것은 시료 제작 시 표면을 보호하기 위함이다. 80 VOLT에서 보면 결함의 크기가 227 nm이고 Box와 top Si이 모두 존재함을 알 수 있다. Top Si의 두께가 149 nm로 시료 제작 시 50 nm 정도가 FIB beam에 의해 etching 되었음을 알 수 있다. Fig. 9(b)의 산화막 형성 후 실험한 wafer는 열적 산화에 의한 top Si과 Box의 두께 변화가 있다. 전압이 30 V에서 결함크기는 매우 크며 top Si의 두께도 불규칙하며 Box와 sub Si 사이에 void가 존재한다. 전압이 50 V와 80 V에서는 crack으로 인해 top Si이 없는 결함이 발생하였고 결함크기가 1 μ m 정도로 매우 크다.

5. 결 론

반도체 소자 만들기 위한 bonded SOI wafer의 top Si과 buried oxide layer의 결함에 대해 연구하였다. 단일 결합 SOI wafer를 만들기 위한 bonded SOI wafer는 SIMOX와 비교해 볼 때 SOI wafer 제조에 대한 문제를 해결해 주었다. 수소이온 주입과 wafer 결합 기술의 사용은 좋은 roughness와 buried oxide layer의 질

(Quality)을 높여 주었다. 그러나 ultra 소자를 제작하기 위해 아직까지 bonded SOI wafer는 알려지지 않은 많은 결함을 가지고 있다. 이러한 결함은 micro voids와 crack에 의한 surface pit이라 할 수 있다. Bonded SOI wafer의 AFM 측정은 표면의 roughness와 macro void를 관찰하는데 유용하다고 할 수 있다. 평균적인 roughness가 top Si에서 < 0.2 nm, buried oxide layer에서는 < 0.3 nm이다. Top Si의 두께에 관계되는 secco etch pit은 micro void를 인식하는데 효과적이며, 580Å에서 $5 \times 10^3/\text{cm}^2$ 이다. HF 결함은 실리콘 막내의 nano-voids, pinholes과 관계되어지며 밀도가 $0.09/\text{cm}^2$ 이다. DSOD 실험에 의한 decoration과 FIB/TEM은 micro crack, surface pit, 그리고 micro voids와 같은 결함을 관찰하는데 유용하다. As-SOI wafer는 100 VOLT에서 $0.69/\text{cm}^2$, 산화막 형성 후 $2.45/\text{cm}^2$ 의 결함밀도를 갖는다. CMP 공정동안에 macro, micro voids는 표면의 미세한 crack를 유도하기 때문에 bonded SOI wafer는 top Si의 두께(1000Å)가 제한된다.

감사의 글

본 연구는 정보통신부의 '정보통신 기초기술 연구지원 사업'의 지원에 의해 수행 되었으며 이건섭 교수님께

감사합니다.

참 고 문 헌

1. B. Aspar, H. Moriceau, ECS **96-3**, 99 (1996).
2. A. Matsumura, K. Kawamura, I. Hamaguchi, S. Takayama and T. Yano, J. Mater. Sci: Materials in electronics. **10**, 365 (1999).
3. J. Stoemenos, A. Garcia, B. Aspar and J. Margail, J. Electrochem. Soc., **142**, 1248 (1995).
4. S. Nakashima. IEICE: trans electron. **E80 C**. 364 (1997).
5. A. J. Auberton-Herve, T. Barge and F. Metral, ECS **98-1**, 1341 (1998).
6. A. J. Auberton-Herve, B. Ghyselen, F. Leterter, C. Maleville, T. Barge and M. bruel, ECS **99-3**, 93 (1999).
7. M. BRUEL, B. ASPAR, and A.J. AUBERTON- HERVE, Jpn. J. Appl. Phys, **36**, 1636 (1997).
8. L. FELIPE GILES and YASUO KUNII, Journal of Electronic Materials, **28**(4), 372 (1999).
9. A. OGURA, Jpn. J. Appl. Phys. **36**, 1519 (1997).
10. H. Aga, M. Nakano and K. Mitani, Jpn. J. Appl. Phys. **38**, 2694 (1999).