

## WSi<sub>2</sub> word-line 및 bit-line용 spacer-Si<sub>3</sub>N<sub>4</sub> 박막의 증착

안승준<sup>†</sup> · 김대욱 · 김종해\* · 안성준\* · 김영정\*\* · 김호섭

선문대학교 자연과학대학 신소재과학과  
\*선문대학교 공과대학 전자정보통신공학부  
\*\*선문대학교 공과대학 재료공학과

## Deposition of Spacer-Si<sub>3</sub>N<sub>4</sub> Thin Film for WSi<sub>2</sub> Word-Line and Bit-Line

S. Ahn<sup>†</sup>, D.W. Kim, J.H. Kim\*, S.J. Ahn\*, Y.J. Kim\*\* and H.S. Kim

Department of Physics and Advanced Material Science, Sun Moon University

\*Division of Electronics, I&C Engineering, Sun Moon University

\*\*Division of Materials Engineering, Sun Moon University

(2004년 4월 12일 받음, 2004년 6월 3일 최종수정본 받음)

**Abstract** WSi<sub>2</sub>, TiSi<sub>2</sub>, CoSi<sub>2</sub>, and TaSi<sub>2</sub> are general silicides used today in semiconductor devices. WSi<sub>2</sub> thin films have been proposed, studied and used recently in CMOS technology extensively to reduce sheet resistance of polysilicon and n<sup>+</sup> region. However, there are several serious problems encountered because WSi<sub>2</sub> is oxidized and forms a native oxide layer at the interface between WSi<sub>2</sub> and Si<sub>3</sub>N<sub>4</sub>. In this study, we have introduced 20 slm-N<sub>2</sub> gas from top to bottom of the furnace in order to control native oxide films between WSi<sub>2</sub> and Si<sub>3</sub>N<sub>4</sub> film. In resulting SEM photographs, we have observed that the native oxide films at the surface of WSi<sub>2</sub> film are removed using the long injector system.

**Key words** Spacer-Si<sub>3</sub>N<sub>4</sub> thin film, WSi<sub>2</sub> thin film, Metal silicide, Word-line, Bit-line.

### 1. 서 론

다결정 실리콘 박막은 증착방법이 용이하며 step coverage, roughness가 우수할 뿐 아니라 메모리 소자의 전기적 특성을 만족시킬 수 있는 적절한 저항값( $\rho \approx 450 \sim 1000 \mu\Omega \cdot \text{cm}$ )을 구현하여 지금까지 메모리 소자의 배선용 물질로 널리 사용해 왔다. 그러나 device가 고집적화 됨에 따라 word-line과 bit-line의 폭(width)이 좁아지고 두께가 얇아져서 배선의 비저항이 증가하게 되는데, 이것은 device의 동작 속도나 전기적 특성을 저하시키는 요인이 된다. 이러한 문제점을 해결하기 위하여 기존에 배선용 매질로 사용하던 다결정 실리콘 박막 대신에 비저항 값이 낮은 WSi<sub>2</sub>( $\rho = 30 \sim 70 \mu\Omega \cdot \text{cm}$ ), TiSi<sub>2</sub>, CoSi<sub>2</sub>, TaSi<sub>2</sub> 등과 같은 metal silicide 박막을 word-line, bit-line<sup>1,2)</sup> 등에 적용하는 연구가 활발히 진행되고 있다.<sup>3,7)</sup> 특히 WSi<sub>2</sub>는 step coverage가 우수하며 공정제어가 용이한 CVD(Chemical Vapor Deposition) 공정이 가능할 뿐 아니라 다결정 실리콘 박막에 의한 배선공정과 source와 drain의 n<sup>+</sup> 영역 형성 공정에 있어서 면 저항을 감소시키기 위하여 CMOS (Complementary Metal Oxide Semiconductor) 기술에서 폭 넓게 사용되고 있다.<sup>8)</sup>

그러나 반도체 memory 소자의 제조 공정에서 WSi<sub>2</sub> 박막을 배선 매질로 사용하기 위한 word-line과 bit-line 형성 공정에 spacer로 사용되는 Si<sub>3</sub>N<sub>4</sub> 박막을 증착할 때 WSi<sub>2</sub> 박막이 산화되는 문제가 있다. WSi<sub>2</sub> 박막이 산화되는 것은 WSi<sub>2</sub> 박막 증착 후, 실리콘 웨이퍼가 Si<sub>3</sub>N<sub>4</sub> 박막 증착을 위해 반응로(quartz tube) 안으로 loading 될 때 WSi<sub>2</sub> 박막의 Si(silicon) 원자와 반응로 내의 산소 원자가 반응해서 산화되는 것으로 Si<sub>3</sub>N<sub>4</sub> 박막을 증착하는 반응로 내부의 산소농도와 증착 설비의 stand-by 온도에 따라 많은 차이가 있다. WSi<sub>2</sub> 박막의 산화는 박막증착 설비의 stand-by 온도가 450°C 이상에서 발생하기 때문에 충분한 공정 margin을 확보하기 위해서는 stand-by 온도를 대략 400°C 이하로 유지해야 한다. 그러나 이것은 LPCVD(Low Pressure Chemical Vapor Deposition) 방법으로 750~800°C에서 증착되는 Si<sub>3</sub>N<sub>4</sub> 박막의 증착 온도에 비해 온도가 매우 낮기 때문에 온도차로 인한 stress가 발생하여 이미 반응로 벽에 누적되어 있던 Si<sub>3</sub>N<sub>4</sub> 박막이 lifting 되는 원인이 된다.

따라서 WSi<sub>2</sub> 박막에 의한 배선 형성 공정에서 spacer용 Si<sub>3</sub>N<sub>4</sub> 박막의 증착을 위해서는 stand-by 온도를 400°C 이하로, 박막 증착온도를 700°C 이하로 유지 관리되어야 하지만 그것은 particle 관리가 어려울 뿐 아니라 throughput이 현저히 떨어지는 단점이 있다. WSi<sub>2</sub> 박막의 산화

<sup>†</sup>E-Mail : sjan@sunmoon.ac.kr

방지를 위한 또 하나의 방법은 반응로 내의 산소를 제어하는 방법으로 반응로 안의 산소농도를 수~수십 ppm 이하로 유지함으로써<sup>9)</sup> stand-by 온도 650°C, Si<sub>3</sub>N<sub>4</sub> 박막 증착온도 750~800°C에서 WSi<sub>2</sub> 박막의 산화를 방지할 수 있다.

본 실험에서는 일반적인 중형(vertical type)의 LPCVD 설비(Fig. 1(a) 참조)를 Fig. 1(b)와 같이 변경하여 Si<sub>3</sub>N<sub>4</sub> 박막과 WSi<sub>2</sub> 박막 계면에 발생하는 자연산화막(native oxide, SiO<sub>2</sub>)에 대한 stand-by 온도와 반응로 내의 산소농도 의존성을 관찰함으로써 WSi<sub>2</sub> 박막의 산화를 방지하고 박막 내의 산소농도를 저하시켜 반도체 memory 소자의 word-line과 bit-line 형성 공정에서 spacer용 Si<sub>3</sub>N<sub>4</sub> 박막 증착 공정을 확보하였다.

2. 실험 방법

WSi<sub>2</sub> 박막에 의한 word-line과 bit-line 형성 공정에서 spacer용 Si<sub>3</sub>N<sub>4</sub> 박막증착 시 WSi<sub>2</sub> 박막이 산화되는 주요 인자는 반응로 내부에 있는 산소와 Si<sub>3</sub>N<sub>4</sub> 박막증착 설비의 stand-by 온도이다. 본 실험에서는 산화를 일으키는 두 가지 인자 중에서 반응로 내의 산소농도를 낮추어 WSi<sub>2</sub> 박막의 산화를 억제하였다. 실험에 사용한 설비는 일반적인 중형 LPCVD 장비의 반응로를 사용하였다. 반응로에는 source 가스(SiH<sub>2</sub>Cl<sub>2</sub>, NH<sub>3</sub>)와 carrier 가스(N<sub>2</sub>)가 Fig. 1(a)와 같이 inner tube를 통과하여 outer tube로 배출되지만 실리콘 웨이퍼가 장착된 boat를 반응로 내로 loading 할 때 boat와 함께 산소가 반응로 내로 인입되며, 또 반응로 내에도 이미 상당한 양의 산소가 존재하게 되므로 Si<sub>3</sub>N<sub>4</sub> 박막을 증착하기 전에 이미 증착되어 있던 WSi<sub>2</sub> 박막이 산화된다.

반응로 내의 산소농도를 낮추기 위하여 기존에 일반적으로 사용하던 반응로를 single tube로 개조한 다음 source 가스와 carrier 가스가 긴 injector를 통해 반응로의 상단 부로부터 하단부로 배출되도록 하였다(Fig. 1(b) 참조). 실리콘 웨이퍼가 장착된 boat를 반응로 내로 loading할 때

injector를 통하여 N<sub>2</sub> 가스를 충분히 흘려주면 반응로 내의 산소농도를 수~수십 ppm 수준으로 낮추어 WSi<sub>2</sub> 박막의 산화를 방지할 수 있다. 또한 boat가 반응로 내로 올라갈 때 boat/실리콘 웨이퍼와 함께 유입되는 공기(산소)를 차단하도록 반응로 입구 단에 N<sub>2</sub> shower line을 추가로 설치하였다.

우선 본 실험에서는 일반적인 중형의 반응로를 이용하여 증착된 박막과 개선된 반응로에 의해 증착된 박막의 산소 함유량을 비교하기 위하여 표준공정으로 다결정 실리콘 박막을 증착하여 개선 전·후의 반응로 내부 산소농도를 평가하였다. 반응로 내의 산소농도 평가용 다결정 실리콘 박막은 박막 증착온도를 ~625°C, 압력은 0.2~0.4 torr로 유지하고 반응가스는 H<sub>2</sub>나 N<sub>2</sub> 가스가 섞이지 않은 순수한 SiH<sub>4</sub> 가스(99.999%)를 사용하여 두께가 1000 Å인 박막을 증착하였다. SiH<sub>4</sub> 가스의 흐름율(flow rate)은 20~40 cm<sup>3</sup>/min을 유지하여 증착율(deposition rate)이 ~100 Å/min이 되도록 하였으며, 이 때 반응로의 stand-by 온도는 400°C로 유지하였다. 600°C 보다 낮은 온도에서 증착되는 박막은 phase가 비정질 상태로써 후속 공정에서 열을 받게 될 경우 결정화 되는 불안정한 상태이기 때문에 박막의 증착온도를 625°C로 선정하였다.<sup>10-14)</sup>

그리고 본 연구에서 제시한 방법으로 반응로를 개선하여 반응로 내부의 산소농도를 저하시킨 다음 word-line과 bit-line을 형성하기 위한 시료를 다음과 같이 제작하였다. WSi<sub>2</sub> 박막을 이용한 배선형성 공정은 Fig. 2와 같이 TiN/WSi<sub>2</sub>/PE-Si<sub>3</sub>N<sub>4</sub> 박막을 증착한 후, photolithography/etching을 한 다음 spacer용 Si<sub>3</sub>N<sub>4</sub> 박막을 증착하였다. Si<sub>3</sub>N<sub>4</sub> 박막을 증착할 때 WSi<sub>2</sub> 박막과 Si<sub>3</sub>N<sub>4</sub> 박막 계면에 자연산화막이 성장되는 것을 억제하기 위하여 긴 injector를 통하여 flow하는 N<sub>2</sub> 가스의 양을 조절함으로써 자연산화막이 형성되는 정도를 알아보았다.

본 실험에서는 stand-by 온도를 650°C로 고정시키고 실리콘 웨이퍼를 반응로 내로 loading할 때 N<sub>2</sub> 가스의 흐름율을 1~20 slm(standard liter per minute)의 경우에 대하여 Si<sub>3</sub>N<sub>4</sub> 박막을 증착한 다음, 각각의 경우에 따라 배선 line에 수직한 방향으로 실리콘 웨이퍼를 절단하여 WSi<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> 계면 상태를 SEM(Scanning Electron Micro-

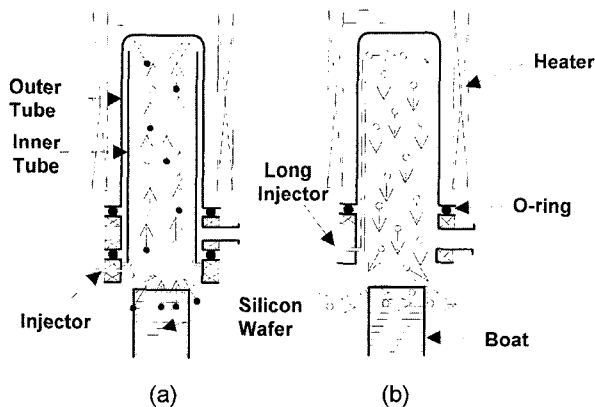


Fig. 1. A schematic diagram of the general furnace(a) and improved furnace using the long injector system for the LPCVD(b). (●: O<sub>2</sub>, ○: N<sub>2</sub>)

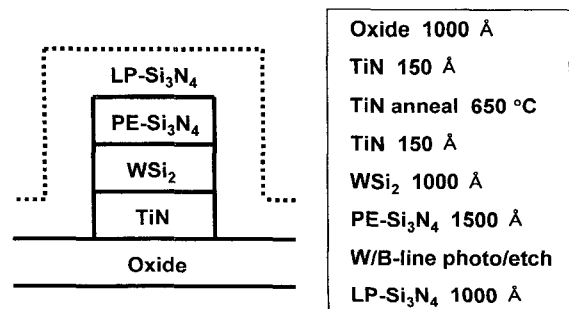


Fig. 2. Process sequence of the WSi<sub>2</sub>/spacer-Si<sub>3</sub>N<sub>4</sub> for word-line and bit-line.

scope)으로 확인함으로써  $WSi_2$  박막과  $Si_3N_4$  박막 계면의 산화 여부를 판정하였다.

### 3. 결과 및 토의

일반적으로 LPCVD 방법에 의해 증착된 다결정 실리콘 박막은  $10^{17} \sim 10^{18} \text{ cm}^{-3}$  정도의 산소와 탄소 같은 불순물을 포함하며  $10^{15} \sim 10^{16} \text{ cm}^{-3}$  정도의 실리콘 dangling bond가 존재한다.<sup>15)</sup>  $SiH_2Cl_2$  가스와  $NH_3$  가스로 증착하는  $Si_3N_4$  박막도 같은 수준의 불순물과 dangling bond가 존재하며 이러한 불순물과 dangling bond의 존재는 deep trap 준위의 원인이 되고 있으며 박막의 전기적 특성을 저하시키는 원인이 되고 있다.<sup>16,17)</sup> 따라서 본 실험에서는 이중 구조로 된 반응로를 single tube로 개조함으로써 반응로에서 증착되는 박막의 특성을 개선할 뿐 아니라 반응로 내의 산소농도를 낮추어  $WSi_2$  박막에 의한 반도체 memory 소자의 word-line과 bit-line 형성 공정에서  $WSi_2/Si_3N_4$  박막 계면에서 발생하는  $WSi_2$  박막의 산화를 억제하였다.

반응로 내의 산소농도를 낮추기 위하여 Fig. 1(b)에서 보는 바와 같이 실리콘 웨이퍼를 반응로에 장착할 때 긴 injector를 통하여  $N_2$  가스를 반응로의 위에서부터 아래로 다량 flow하여 외부로부터 반응로로 유입되는 외부공기(산소)를 차단하는 air curtain의 역할을 하게 하였다. 먼저 반응로 내부에 있는 산소가 증착되는 박막에 미치는 산소 의존성을 평가하기 위하여 실리콘 웨이퍼가 반응로 안으로 장착될 때 20 slm의  $N_2$  가스를 흘려준 다음, 전기적 특성 평가가 용이한 두께가 1000 Å인 다결정 실리콘 박막을 증착하여 SIMS(Secondary Ion Mass Spectrometer) profile로 박막에 포함된 산소의 농도를 측정하였다. Fig. 3(a)는 이중 구조로 된 일반적인 종형의 LPCVD 반응로에서 증착한 박막(Fig. 1(a)의 도해대로 증착함)의 산소농도를 SIMS profile로 측정한 것이다. 반면에 Fig. 3(b)는 긴 injector를 통하여  $N_2$  가스를 20 slm을 flow한 경우이며 박막 속에 포함된 산소의 농도가  $\sim 7 \times 10^{15} \text{ cm}^{-3}$  정도으로써 일반적인 박막 증착 system에서 증착한 박막보다 산소의 농도가 1/30 정도로 감소하였음을 알 수 있었다.

따라서 반응로 내의 산소 함유량 의존성이 강한  $WSi_2/Si_3N_4$  박막 증착 공정에, 본 연구에서 제시한 반응로 내부로  $N_2$  가스를 flow 시키면서 실리콘 웨이퍼를 loading 하는 박막 증착방법을 사용할 경우,  $WSi_2$  박막과  $Si_3N_4$  박막의 계면에 발생하는 자연산화막을 억제시킬 수 있을 것으로 생각된다.

이와 같은 추론을 검증하고자 본 실험에서는 설비의 효율성과 through-put을 고려하여 stand-by 온도는  $650^\circ\text{C}$ 로 고정시킨 다음 반응로 내의 산소농도와 계면에 형성된 자연산화막의 의존성을 평가하였으며 박막을 증착하는 반응로의 stand-by 온도에 대한 영향도 관찰하였다. 먼저  $N_2$  가스 flow 양에 따른  $WSi_2/Si_3N_4$  박막의 계면에 발

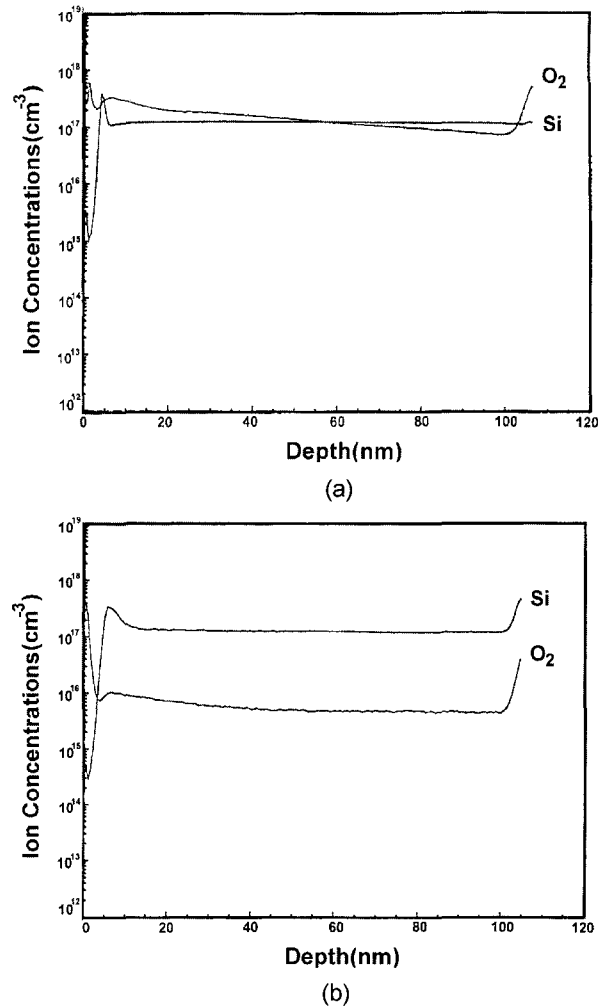
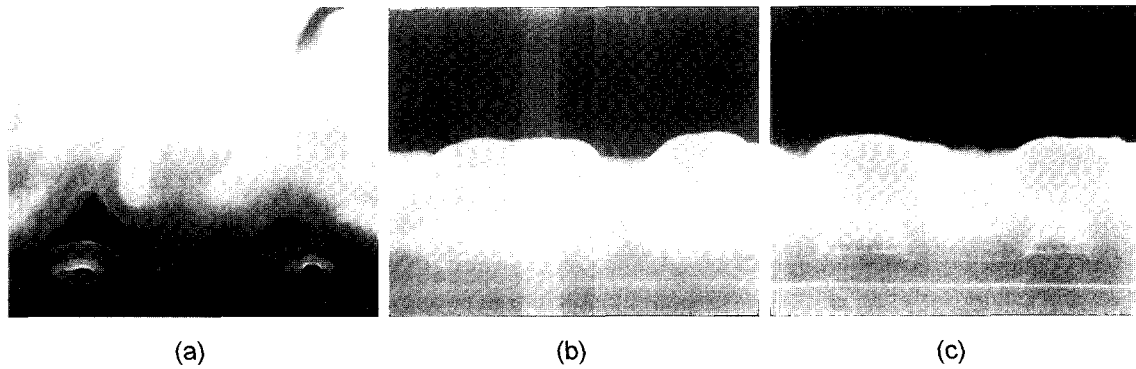


Fig. 3. (a) SIMS profile of oxygen concentration in the polysilicon film using the short injector and 20-slm  $N_2$  gas. (b) SIMS profile of oxygen concentration in the polysilicon film using the long injector and 20-slm  $N_2$  gas.

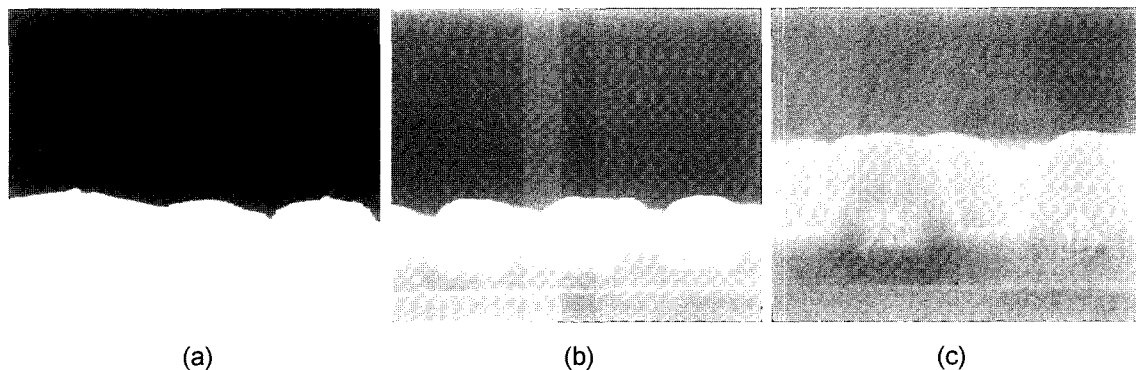
생하는 자연산화막 생성의 의존성을 알아보기 위하여 실리콘 웨이퍼를 반응로 내로 loading 시킬 때 긴 injector를 통하여  $N_2$  가스를 1, 3, 5, 8, 10, 그리고 20 slm을 flow한 후  $WSi_2$  박막 위에  $Si_3N_4$  박막을 증착하여 시료를 제작하였다.

Fig. 4는  $WSi_2$  박막으로 배선(word-line, bit-line)을 형성하기 위하여  $TiN/WSi_2/PE-Si_3N_4$ /photo-lithography/etching을 한 다음 spacer용  $Si_3N_4$  박막을 증착한 후, 그 profile을 SEM으로 관찰한 사진이다.  $WSi_2$  박막이 증착된 실리콘 웨이퍼를 loading 하면서 3 slm(Fig. 4(a) 참조)의  $N_2$  가스를 flow한 경우,  $WSi_2$  박막이  $Si_3N_4$  박막을 뚫고 심하게 lifting되어 pattern의 형태를 알아볼 수가 없었다. 그러나 flow된  $N_2$  가스의 양이 5 slm, 8 slm으로 점점 증가함에 따라  $WSi_2$  박막이 lifting되는 정도가 약해지는 것을 볼 수 있었으며,  $N_2$  가스를 10 slm 이상 flow한 경우에는  $WSi_2$  박막이 lifting된 흔적을 관찰할 수 없었다.

같은 방법으로 박막을 증착하는 반응로의 stand-by 온



**Fig. 4.** For the N<sub>2</sub> gas flow rates of (a) 3-slm, (b) 5-slm, and (c) 10-slm, scanning electron micrographs of WSi<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> interface in the word-line and bit-line process.



**Fig. 5.** For the stand-by temperatures of (a) 650°C, (b) 550°C, and (c) 450°C, scanning electron micrographs of WSi<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> interface in the word-line and bit-line process.

도에 대한 영향을 알아보기 위하여 650°C, 550°C, 450°C의 stand-by 온도에 대하여 WSi<sub>2</sub> 박막이 증착된 실리콘 웨이퍼를 반응로 내로 loading 시켜 시료를 제작하였다. 이 때 긴 injector를 통하여 flow하는 N<sub>2</sub> 가스의 양을 5 slm으로 고정시켰다. Fig. 5에서 보는 바와 같이 650°C의 stand-by 온도에서는 거의 pattern의 형태를 알아 볼 수가 없었으나 stand-by 온도가 점점 낮아짐에 따라 WSi<sub>2</sub> 박막이 lifting 되는 정도가 약해져 stand-by 온도가 450°C의 경우에는 WSi<sub>2</sub> 박막의 lifting 흔적을 관찰할 수 없었다.

따라서 650°C의 높은 stand-by 온도에서도 long injector를 사용하여 반응로의 위에서부터 아래로 10 slm 이상의 N<sub>2</sub> 가스를 flow할 경우 반응로 내의 산소농도를 수~수십 ppm 정도 이하로 낮출 수 있기 때문에 spacer로 사용하는 Si<sub>3</sub>N<sub>4</sub> 박막 증착시 WSi<sub>2</sub> 박막의 산화를 억제할 수 있었다.

#### 4. 결 론

반도체 memory 소자가 점점 고 집적화 됨에 따라 전극매질이나 배선용 매질로 사용하기 위하여 전기적 특성이 기존에 사용해 오던 다결정 실리콘 박막보다 우수한 WSi<sub>2</sub>, TiSi<sub>2</sub>, CoSi<sub>2</sub>, TaSi<sub>2</sub> 등과 같은 metal silicide 박

막에 대하여 많은 연구가 이루어지고 있다. 본 연구에서는 WSi<sub>2</sub> 박막과 Si<sub>3</sub>N<sub>4</sub> 박막 계면에 발생하는 자연산화막을 억제하는 방법으로 WSi<sub>2</sub> 박막 위에 Si<sub>3</sub>N<sub>4</sub> 박막을 증착할 때, 본 연구에서 제시한 방법과 같이 긴 injector를 사용하여 반응로의 위에서부터 아래로, 10 slm 이상의 N<sub>2</sub> 가스를 흘려줄 경우 반응로 안의 산소농도를 수~수십 ppm 정도로 낮출 수 있게 되어 WSi<sub>2</sub> 박막과 Si<sub>3</sub>N<sub>4</sub> 박막의 계면에 발생하는 자연산화막을 억제시키는 방법을 제시하였다. WSi<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> 박막 계면에 형성되는 자연산화막은 강한 stress를 유발하게 되어 박막의 계면에서 lifting을 일으키는 원인이 된다. 본 연구에서는 반응로 내의 산소농도의 의존성과 stand-by 온도의 영향을 알아보기 위하여 실리콘 웨이퍼의 loading시 N<sub>2</sub> 가스를 10 slm 이상 흘려준 결과, WSi<sub>2</sub> 박막과 Si<sub>3</sub>N<sub>4</sub> 박막 계면에 자연산화막이 거의 형성되지 않은 것을 SEM으로 관찰하였다.

#### 참 고 문 헌

1. J. M. Lopez-Soler, V. Sanchez, A. de la Torre, A. J. Rubio-Ayuso, *Speech Communication*, **34**, 333 (2001).
2. H. Lin, C. H. Sha, S. C. Wong, *Solid-State Electronics*, **46**, 145 (2002).
3. L. Krusin-Elbaum, M. O. Aboelfotoh, T. Lin and K. Y.

- Ahn, *Thin Solid Films*, **153**, 348 (1987).
4. M. F. Bain, B. M. Armstrong, H. S. Gamble, *Vacuum*, **64**, 227 (2002).
  5. B. Sell, A. Sanger, G. Schulze-Icking, K. Pomplun, W. Krautschneider, *Thin Solid Films*, **443**, 97 (2003).
  6. M. Itoh, H. Itoh, N. Hirashita, M. Kinoshita and T. Ajioka, *Applied Surface Science*, **56-58**, 540 (1992).
  7. S. G. Telford, C. M. Tseng and M. Aruga, *J. of Fluorine Chemistry*, **87**, 123 (1998).
  8. J. D. Plummer, M. Deal, P. B. Griffin, *Silicon VLSI Technology*, Prentice Hall, New Jersey, (2000).
  9. T. I. Kamins, *J. of Electrochem. Soc.* **121**, 681 (1974).
  10. D. W. Foster, A. J. Learn, and T. I. Kamins, *J. of Vac. Sci. Technology B*, **4**, 1182 (1986).
  11. G. Harbeke, L. Krausbauer, E. F. Steigmeier, A. E. Widmer, H. F. Kappert, and G. Neugebauer, *J. of Electrochem. Soc.* **131**, 675 (1984).
  12. Y. D. Lin, Y. S. Wu, C. W. Chao, G. R. Hu, *Materials Chem. and Phys.*, **80**, 577 (2003).
  13. P. Agarwal, M. Kostana, S. C. Agarwal, S. M. Pietruszko, *J. of Non-Crystalline Solids*, **227-230**, 328 (1998).
  14. T. Mohammed-Brahim, K. Kis-Sion, D. Briand, M. Sarret, O. Bonnaud, J. P. Kleider, C. Longeaud, B. Lambert, *J. of Non-Crystalline Solids*, **227-230**, 962 (1998).
  15. S. S. Ang, Y. J. Shi and W. D. Brown, *Microelectronics and Reliability*, **34**, 909 (1994).
  16. S. Yokoyama, M. Hirose and Y. Osaka, *Jpn. J. of Appl. Phys.* **20**, 35 (1981).
  17. G. A. Armstrong, J. R. Ayres and S. D. Brotherton, *Solid-State Electronics*, **41**, 835 (1997).