

코발트/니켈 복합실리사이드의 실리사이드온도에 따른 면저항과 미세구조 변화

정영순[†] · 정성희 · 송오성
서울시립대학교 신소재공학과

Sheet Resistance and Microstructure Evolution of Cobalt/Nickel Silicides with Annealing Temperature

Youngsoon Jung[†], Seonghwee Cheong and Ohsung Song

Department of Materials Science and Engineering
The University of Seoul, Cheonnong-dong, Tongdaemun, Seoul 130-743, Korea

(2004년 3월 15일 받음, 2004년 5월 24일 최종수정본 받음)

Abstract The silicide layer used as a diffusion barrier in microelectronics is typically required to be below 50 nm-thick and, the same time, the silicides also need to have low contact resistance without agglomeration at high processing temperatures. We fabricated Si(100)/15 nm-Ni/15 nm-Co samples with a thermal evaporator, and annealed the samples for 40 seconds at temperatures ranging from 700°C to 1100°C using rapid thermal annealing. We investigated microstructural and compositional changes during annealing using transmission electron microscopy and auger electron spectroscopy. Sheet resistance of the annealed sample stack was measured with a four point probe. The sheet resistance measurements for our proposed Co/Ni composite silicide was below 8 Ω/sq. even after annealing 1100°C, while conventional nickel-monosilicide showed abrupt phase transformation at 700°C. Microstructure and auger depth profiling showed that the silicides in our sample consisted of intermixed phases of CoNiSi_x and NiSi. It was noticed that NiSi grew rapidly at the silicon interface with increasing annealing temperature without transforming into NiSi₂. Our results imply that Co/Ni composite silicide should have excellent high temperature stability even in post-silicidation processes.

Key words Silicidation, Co/Ni silicide, RTA, Nickel monosilicide, Microstructure, Phase composition.

1. 서 론

실리사이드는 천이금속과 실리콘이 정량적으로 결합된 물질로, 반도체 트랜지스터의 게이트 상부와 소오스, 드레인 상부에 선택적으로 생성시켜 금속 배선층과 실리콘 활성화 영역과의 반응을 방지하고 전기적으로 저저항의 접촉저항을 유지하는 기능을 하기 위해 0.18 μm 급 이하의 소자에도 여러 물질의 적층을 이용한 구조로부터 살리사이드공정(self-aligned silicide)을 통하여 구현된다.¹⁻³⁾

살리사이드 공정은 마스크 없이 게이트 측면부에 스페이서를 형성시키고 다시 천이금속을 기판 전체에 성막하고 열처리하여 실리콘이 드러난 게이트 상부와 소오스, 드레인의 활성화 영역에만 저저항 실리사이드 물질을 생성시키고 필요 없는 금속을 다시 선택적으로 부식 제거시키는 공정이다. 최근의 집적도가 증가한 반도체 소자는, 최소선폭 0.1 μm CMOS 소자에 탑재되기 위한 약 15 nm 두께의 얇고, 공정중 스트레스가 없으며, 전기적으로 게이트 선평이 작더라도 응집현상이 없고, 후속 열처리 공정에도 안정한 상을 유지하며 전기적으로 안정한

실리사이드가 요구되고 있다.⁴⁾

상기 목적을 달성하기 위해서 기존의 고집적용 실리사이드 물질로 CoSi₂와 NiSi가 있다. CoSi₂는 2개의 실리콘 원자가 결합하므로 필연적으로 3.3배 정도의 부피팽창이 일어나고 실리사이드 층의 두께가 두꺼운 단점과 800°C 이상의 실리사이드화 온도에서 표면 응집현상으로 활성화영역의 표면조도가 나빠지는 문제와 코발트가 자연산화막과의 반응이 매우 커서 과도한 증착 전처리 공정이 필요한 단점이 있었다.⁵⁻⁸⁾ 또한 NiSi는 하나의 니켈과 실리콘 원자가 각각 반응하므로 두께가 얇고 CoSi₂의 단점을 대부분 보완할 수 있지만 700°C 이상의 열처리에서 NiSi₂로의 상변화를 거쳐서 고저항의 실리사이드로 변화하는 치명적인 단점이 있어 실리사이드 공정 이후 공정 온도가 제한되는 단점이 있었다.⁹⁾

이러한 배경에서 기존의 하나의 실리사이드 물질을 채용하는 문제를 해소하기 위해 두가지 이상의 실리사이드를 복합화하는 연구가 진행되었다. 정성희 등은 Co/Ti의 복합층을 써서 만든 CoSi₂의 제조 시도에서 CoTiSi_x의 새로운 중간상이 발생하여 이를 선택적으로 제거하기 어려운 문제가 있음을 보고하고 있다.¹⁰⁾ 또한 김기범 등은 Co/Ti/Si 박막으로부터 형성된 CoSi₂에서 Co₃Ti₂Si가 생

[†]E-Mail : ysjung@uos.ac.kr

성되는 문제가 발생함을 보고하고 있다.¹¹⁾ 따라서 Co/Ti 계외에 새로운 금속층의 적층형태로부터 고집적용 실리콘사이드의 가능성을 확인하는 노력이 필요하다.

본 연구는 새로이 Co/Ni/Si 적층구조로부터 복합실리사이드를 만들고, 이들의 실리사이드화 온도에 따른 면저항의 고온 안정성과 미세구조 변화를 확인하여 고집적용 0.1 μm급 트랜지스터에 탑재가 가능한 실리사이드가 형성되었는지 확인하였다.

2. 실험 방법

직경 10 cm의 p형(100) 실리콘 기판 전면에서 열증착기를 이용하여 Ni와 Co를 성막하였다. 시편은 증착직전에 RCA 세정과 HF 세정을 이용하여 유기불순물과 자연산화막을 완전히 제거한 후 열증착기에 장입하였다. 열증착기는 텅스텐 보트에 99.99% Ni 와이어형 칩과 Co 칩을 넣고 먼저 15 nm 두께로 니켈을 증착한 후, 진공을 깨뜨리지 않고 연속하여 15 nm 두께의 코발트를 증착하여 최종적으로 Fig. 1의 왼쪽과 같은 구조를 완성하였다.

완료된 시료를 40초 조건으로 실리사이드화 쾌속열처리(rapid thermal annealer:RTA)를 실시하였다. 이때 RTA 온도는 700, 800, 850, 900, 1000, 1100°C 조건으로 각각 변화시켜 최종적으로 Fig. 1의 우측에 나타난 CoNiSi_x 복합실리사이드층을 형성시켰다.

각 공정에 따른 전기저항의 변화를 확인하기 위해서 사점면저항 측정기를 이용하여 상하좌우 중심(TCBRL) 위치에서 금속층 증착직후와 1차 RTA직후, 그리고 120°C 황산에 10분간 세정하여 실리사이드가 형성되지 않은 표면 금속층을 제거한 후 면저항값을 측정하여 비교하였다.

한편 완성된 시편의 수직단면이미지를 수직단면투과전자현미경으로 확인하여 이때 완성된 시편의 두께와 두께 변화를 확인하여 보았다. 투과전자현미경 촬영을 위한 시편은 일반적인 시편준비법¹²⁾에 의하여 진행되었으며 최종적으로 PIPS(precision ion polishing system)를 활용하여 촬영부가 100 nm이하가 되도록 하였다. 또한 실리콘만 선택적으로 제거하여 남은 실리사이드를 in-plane으로 촬영하여 실리사이드의 평면 미세구조를 확인하였고 어닐링 온도별로 이들의 SADP(selected aperture diffraction pattern)을 확인하고 각 물질의 조성은 JCPDS(joint committee on powder diffraction standards)화일을 이용하여 결정하였다. 측정된 이미지는 이미지분석프

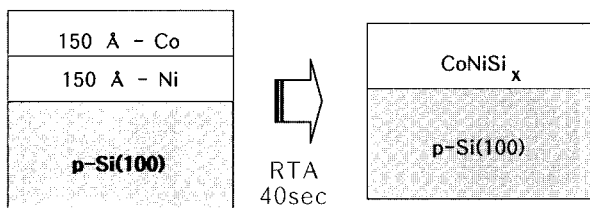


Fig. 1. Schematic diagram of Co/Ni silicide from Si/15nm-Ni/15nm-Co structure.

로그램(IMT-Size5 Image Analysis)을 활용하여 각 층의 두께를 확인하였다.

또한 AES(Auger electron spectroscopy)를 이용하여 4.4 nm/min의 sputtering rate를 유지하면서 각 온도에 따른 정성분석을 시도하였다. 사용된 Auger depth spectroscopy는 Perkin-Elmer사로의 각 어닐링 온도의 시편에서 Co, Ni, Si의 조성변화를 표면부로부터 측정하여 비교하였다. 측정된 결과는 Ni원소의 변화 커브를 두 번 미분하여 0이 되는 변곡점을 새로운 상의 경계라고 판단하여 분석을 진행하였다.

3. 결과 및 토의

Fig. 2에는 열처리 온도별로 복합 실리사이드의 면저항 변화를 나타내었다. 검은색 사각형은 RTA 처리 후 황산으로 표면 잔류물을 제거한 후의 평균값이고, 흰색 사각형은 RTA 처리 직후의 면저항 평균값이다. 측정치의 최대, 최소값은 가로선으로 같이 나타내었다.

Fig. 2에서 크리닝이 끝난 최종 복합실리사이드 물질은 6.5~7.8 Ω/sq.의 면저항으로 1100°C까지 매우 안정적인 모습을 보이고 있다. 이는 기존의 NiSi가 700°C까지 약 4 Ω/sq.를 보이다가 700°C 이상에서 NiSi가 NiSi₂로의 상전이가 일어나서 고저항이 되므로 700°C 이상의 고온공정을 채택할 수 없는 단점이 있었는데 본 결과는 이러한 단점을 복합실리사이드를 채택하여 극복할 수 있는 가능성을 보이고 있다.¹³⁾ 또한 최근 비슷한 구조로 발표한 M. Wang 등¹⁴⁾이 보고한 TiN capping 층을 가진 10nm-Co/10nm-Ni 복합실리사이드가 800°C까지 약 7 Ω/sq.로 안정하였다는 현상에 비해서 약 300°C 이상 더 높은 온도까지 안정하였다. 이러한 사실은 실리사이드공정이 완료된 이후에도 금속의 안정화공정 및 고온화공기 상증착 등 고온에서만 가능한 후속 고온 공정이 기존의 공정을 활용하여 가능함을 의미하였다.

Fig. 3에는 투과전자현미경 관찰 결과물을 나타내었다.

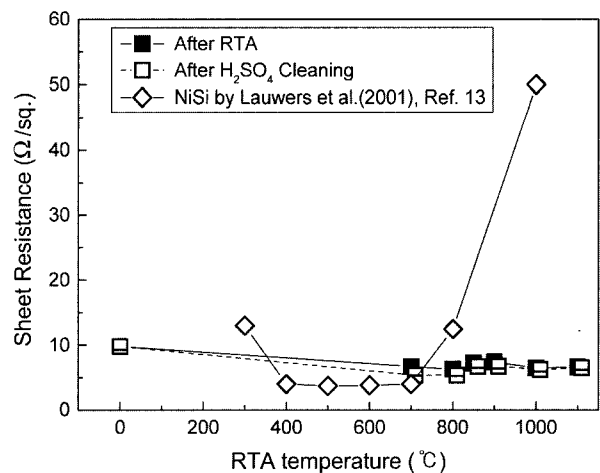


Fig. 2. Plot of the sheet resistance with RTA temperature of Co/Ni silicides.

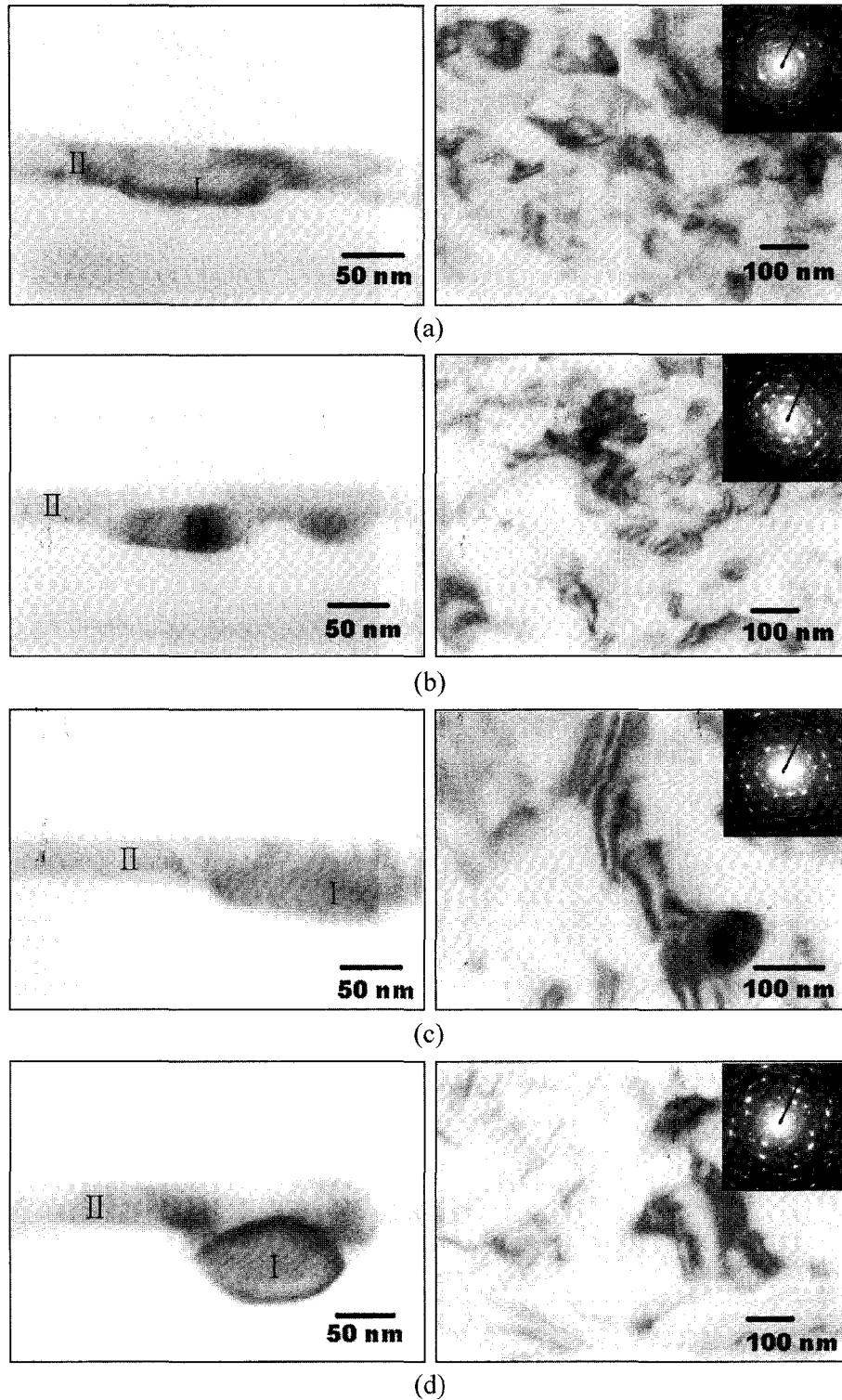


Fig. 3. TEM images of Co/Ni silicides at different silicidation temperatures of (a) 700°C, (b) 850°C, (c) 900°C and (d) 1100°C.

각 어닐링 온도별로 왼쪽부에는 수직단면 미세구조를, 우측부에는 평면 미세구조를 나타내었고 평면 미세구조의 우상단에는 SADP 이미지를 같이 나타내었다. 수직 단면 이미지에 의하면 비슷한 전기저항을 보이고 복합실리사이드가 어닐링 온도가 증가할수록 두께가 두꺼워지는 경향을 보이고 있다. 먼저 좌측부의 온도에 따른 실리사이드 층의 변화를 살펴보면 두개 상의 존재를 확인할 수

있다. 가장 하부는 실리콘 단결정이고 그후 계면 근처에서 타원형으로 보이는 상I이 존재하고 특히 상I이 어닐링온도의 증가에 따라 70 nm 두께로 급격히 성장할 수 있었다.

상I위에 존재하는 상II는 일단 어닐링 온도에 큰 관계성 없이 약 30 nm 정도의 두께를 유지하고 있으며 상부계면이 매우 평탄함을 유지하고 있다.

이러한 이미지는 우측의 평면이미지와 잘 일치하는데 진하게 보이는 상 I이 어닐링 온도에 따라 점점 많아지고 두꺼워지고 있음을 추론할 수 있다.

또한 우상부의 SADP를 분석해보면 2가지 상으로 구성되어 있음을 알 수 있는데 이러한 것을 고려하면 처음에 평형상은 CoNiSi_x 와 NiSi 가 존재하다가 온도가 올라갈수록 CoNiSi_x 로부터 Ni 가 공급되어 NiSi 의 상대적 양이 많아지는 것을 알 수 있다. 상 I은 SADP를 JCPDS로부터 확인한결과 NiSi 회절선과 일치하여 NiSi 로 확정하였으나 JCPDS로부터 일치하지 않은 상 II는 Co 를 함유한 상인 CoNiSi_x 의 중간상으로 추정하였다.

한편 실리사이드와 실리콘의 계면부에는 우선 성장한 타원형 수직단면의 실리사이드가 성장되어 이를 실리콘과 정합성을 유지하면서 온도가 증가하면서 급격히 성장하는 문제가 있었다. 이렇게 성장한 수직단면층은 후의 오제이 결과를 고려하면 NiSi 로 추측되며 1100°C 에서도 안정하게 성장만하고 고온안정상인 고저항 NiSi_2 로 변태되지 않은 특징이 있었다. 이러한 현상을 바탕으로 Co 가 NiSi_2 로의 변태를 지연시키는 것으로 추측되었다.¹⁵⁾ 이렇게 과도 성장한 NiSi 층은 Shallow junction을 가진 디바이스인 경우 활성화층이 파괴할것이 우려되어 가능하면 저온 열처리를 진행하는 것이 유리하다고 판단되었다.

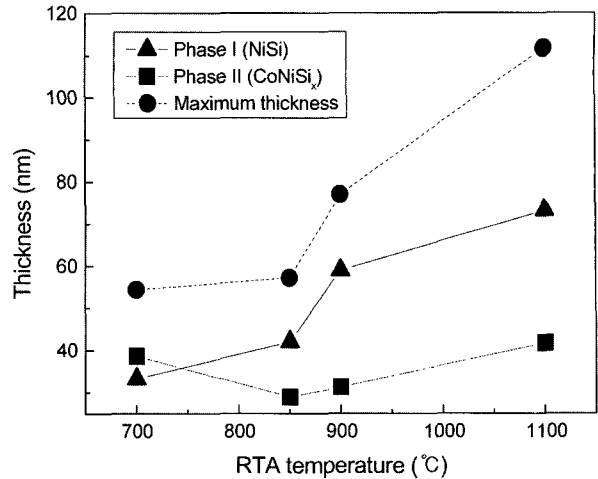


Fig. 4. Plot of the silicide thickness with RTA temperature.

Fig. 4에는 Fig. 3의 이미지를 이미지분석 프로그램으로 정량화시켜 퀘속어닐링온도에 따른 각 상의 두께 변화와 전체상의 두께를 모두 고려한 총 두께를 나타내었다. 상 II(CoNiSi_x)가 열처리온도에 큰 영향을 안 받는 것과 달리 상 I(NiSi)는 급격히 30 nm에서 2.3배나 증가할 수 있었고, 상 I의 과도성장은 총 실리사이드의 두께를 55 nm에서 110 nm 까지 변화될 수 있었다.

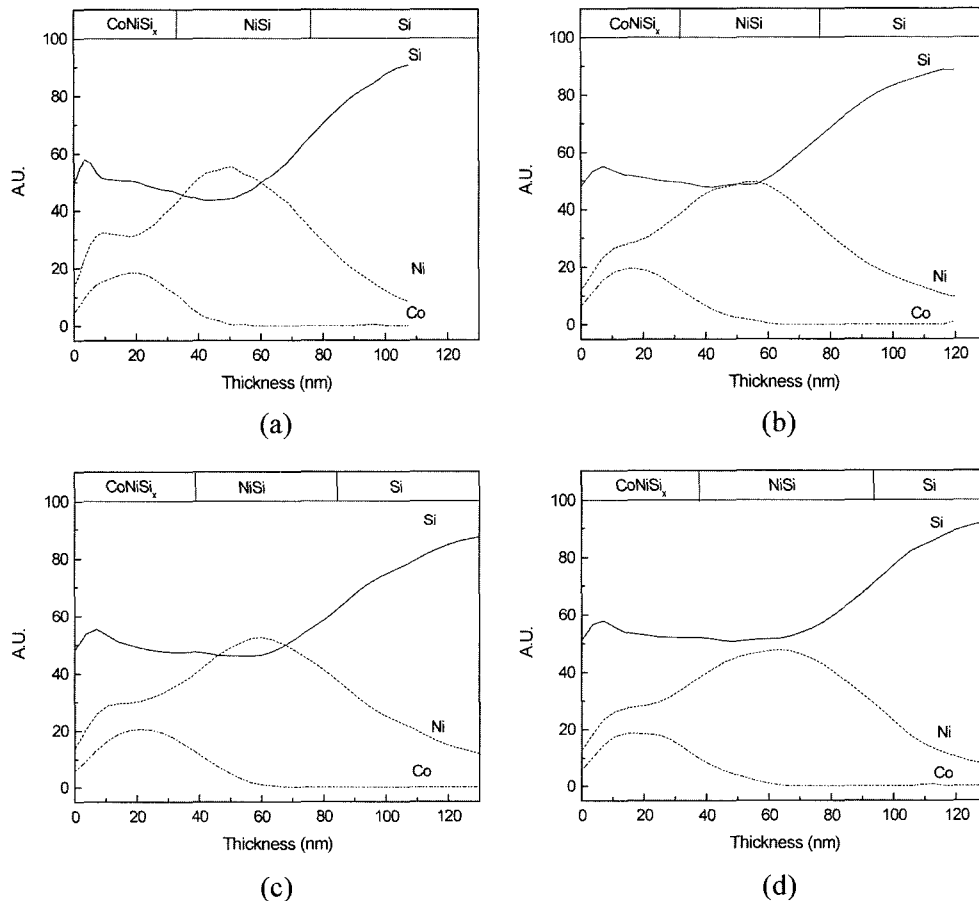


Fig. 5. Auger depth profiles of the the silicides with silicidation temperatures of (a) 700°C , (b) 850°C , (c) 900°C and (d) 1100°C .

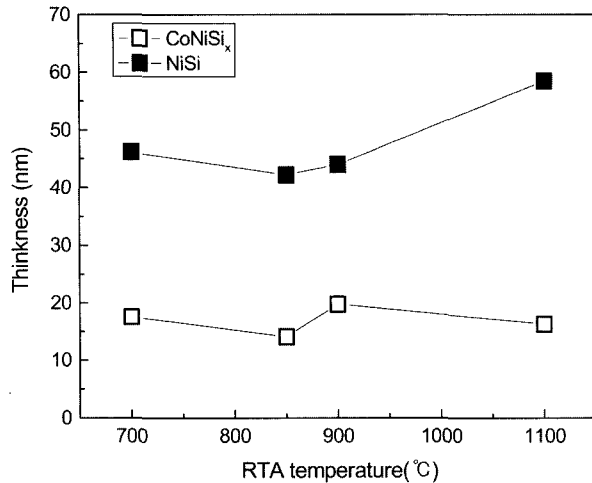


Fig. 6. Plot of the silicide thicknesses with RTA temperature.

이러한 결과로부터 가능하면 얇고, 균일한 저저항 복합 실리사이드층을 위해서는 첫번째는 온도를 가능하면 850°C 이내로 조절하여 NiSi의 과도 성장을 제어하는 방법과, 두 번째 방안은 Ni의 상대두께는 작게하여 NiSi 층의 두께를 억제하는 방안이 가능함을 알 수 있었다.

Fig. 5에는 각 어닐링 온도에서 표면으로부터 Ni, Co, Si 성분 에 대한 오제이 두께 분석을 실시한 결과를 나타내었다. 표면부에는 일단 Ni, Co, Si가 공존하여 3상의 CoNiSi_x 실리사이드가 위치한다고 판단하였고 그 이후에 Co가 급격히 줄어들고 Ni와 Si가 존재하는데 Ni와 Si가 NiSi₂인 경우에는 고저항이 나타나므로 Fig. 2에서 측정된 저저항을 가지려면 NiSi 형태로 존재하는 것이라고 추론 하였다. 그래프의 상부에는 Ni를 기준으로 두번 미분하여 0이 되는 각점을 각 상의 경계라고 가정하여 각 상의 상대적 위치를 나타낸 바를 같이 표현하였다. 정성적으로는 어닐링 온도가 커지면 상대적으로 NiSi층의 두께가 커지며 이는 Fig. 3의 미세조직 결과와 잘 일치하였다.

Fig. 6에는 Fig. 5의 각 상의 두께를 스퍼터링 속도를 고려하여 환산하여 나타내었다. Fig. 4의 결과와 비교하여 CoNiSi_x(상II)은 RTA 온도에 따라 큰 변화없이 20 nm 정도를 보이고, NiSi(상I)은 온도가 증가함에 따라 45~65 nm 정도로 증가하고 있다.

이러한 오차는 투과전자현미경의 두께가 매우 국부적인 부분에서의 두께 정보를 보이는 반면, Auger 두께 분석은 약 1 mm²의 큰 거시적인 정보를 분석한 것을 고려한다면, 상기 미세구조와 성분분석 결과는 정성적으로 CoNiSi_x 상은 1100°C까지의 RTA 온도에 안정적이며 NiSi가 온도상승에 따라 급격히 성장함을 동일하게 나타내고 있다고 판단되었다.

4. 결 론

1. 기존 CoSi₂와 NiSi의 장점만을 채용한 15 nm-Co/

15 nm-Ni/Si 구조로부터 제조된 CoNiSi_x 복합실리사이드가 1100°C-40 sec의 고온 열처리에서도 약 7 Ω/sq. 정도의 저저항으로 안정할 수 있음을 확인하였다. 이는 실리사이드 이후의 고온공정에서도 이러한 실리사이드가 저저항을 유지할 수 있어서 고집적 반도체의 실리사이드로 활용될 수 있음을 의미하였다.

2. Co/Ni/Si(100) 구조의 복합층은 CoNiSi_x와 NiSi의 2상으로 이루어진 복합실리사이드를 형성하였다.

3. NiSi는 RTA 온도의 증가에 따라 우선성장하여 커질 수 있었으나 1100°C까지 NiSi₂로 천이되지 않고 저저항의 NiSi로 존재하였다. 반면 CoNiSi_x는 RTA 온도에 큰 영향을 받지 않고 안정하였다.

4. 목적하는 더 얇은 두께의 복합실리사이드를 위해서는 Ni와 Co의 상대두께 조절과 RTA 온도를 낮춤으로써 조절이 가능하였다.

감사의 글

이 논문은 2004년도 서울시립대학교 학술연구조성비에 의하여 연구되었습니다. 이에 감사드립니다.

참 고 문 헌

1. J. Y. Dai, Z. R. Guo, S. F. Tee, C. L. Tay, Eddie Er and S. Redkar, Appl. Phys. Lett., **78**(20), 3091 (2001).
2. J. Prokop, C. E. Zybilla and S. Veprek, Thin Solid Films, **359**, 39 (2000).
3. C. Detavernier, R. L. Van Meirhaeghe, F. Cardon, K. Maex, H. Bender and S. Zhu, J. Appl. Phys., **88**(1), 133 (2000).
4. The International Technology RoadMap For Semiconductor, Front End Process, p. 25, SIA, 2003 Edition (2003).
5. S. L. Hsia, T. Y. Tan, P. Smith and G. E. Seebauer and D. E. Batchelor, J. Electrochem. Soc., **146**, 4240 (1999).
6. J. B. Lasky, J. S. Nakos, O. J. Cain and P. J. Geiss, IEEE Trans. Electron Devices, **38**(2), 262 (1991).
7. R. T. Tung, MRS Symp. Proc., **427**, 481 (1996).
8. M. L. A. Dass, D. B. Fraser and C. S. Wei, Appl. Phys. Lett., **58**(12), 1308 (1991).
9. S. P. Murarka, J. Electrochem. Soc., **129**, 293 (1982).
10. S. H. Cheong and O. S. Song, Korean J. Mater. Res., **15**(5), 279 (2003).
11. G. B. Kim and H. K. Baik, Appl. Phys. Lett., **69**(23), 3498 (1996).
12. D. B. Williams and C. Barry Carter, Transmission electron microscopy: a textbook for materials science, p.155, Plenum Press, New York, (1996)
13. A. Lauwers, A. Steegen, M. de-Potter, R. Lindsay, A. Satta, H. Bender and K. Maex, J. Vac. Sci. Technol. B., **19**(6), 2026 (2001).
14. M. Y. Wang, C. W. Chang, C. M. Wu, C. T. Lin, C. H. Hsieh, W. S. Shue, M. S. Liang, VLSI Technology Digest, 157. (2003).
15. M. Garcia-Mendez, M. H. Farias, D. H. Galvan-Martinez, A. Posada-Amarillas and G. Beamson, Surface Science, **532-535**, 952, (2003).