
외부 전계 링을 갖는 LDMOST의 항복전압 특성

오동주* · 염기수**

Breakdown Voltage Characteristics of LDMOST with External Field Ring

Dong-joo Oh* · Kee-soo Yeom**

이 논문은 2003년도 정보통신부의 정보통신기초기술연구지원사업(정보통신연구진흥원)으로 수행한 연구결과입니다.

요 약

본 논문에서는 차세대 RF 전력 소자로 기대하고 있는 LDMOST의 BV(Breakdown; 항복전압) 특성을 향상시키는 새로운 구조를 제안하였다. 제안한 구조는 외부 전계 링이라 하며 드리프트 영역 둘레에 3차원적인 구조로 형성된다. 외부 전계 링은 드리프트 영역에서 전계를 완화시키는 역할을 함으로써 BV 특성을 향상시키는 효과를 얻을 수 있다. 3차원 TCAD 시뮬레이션 결과, 외부 전계 링의 접합 깊이와 도핑 농도의 증가에 따라 LDMOST의 BV가 증가함을 확인할 수 있었다. 따라서 기존의 p+ sinker 공정을 사용하여 외부 전계 링 구조를 추가한다면 LDMOST의 BV 특성을 크게 향상시킬 수 있다.

ABSTRACT

In this paper, we have proposed a new structure of LDMOST, which has been expected as a next generation RF power device, to improve the BV(Breakdown Voltage) characteristics. The proposed structure, named external field ring, is formed around a drift region by the three dimensional structure. The external field ring relieves the electric field in the drift region and improves the BV characteristics. By the three dimensional TCAD simulations, it was found that the BV of LDMOST was increased by the increase of the junction depth and doping concentration of the external field ring. Therefore, the BV characteristics of the LDMOST can be remarkably improved by addition of external field ring using an existing p+ sinker process.

키워드

LDMOST, breakdown voltage, power amplifier, RF, TCAD

1. 서 론

LDMOST(Laterally Diffused Metal Oxide

Semiconductor Transistor)는 다수 캐리어 소자로서 스위칭 응답이 빠르고 입력 임피던스가 높은 특성을 갖는 전력 소자이다. 최근에 많은 관심을 받고 있는 LDMOST는 상대적으로 쉽고 안정적인 실리콘

공정기술을 적용할 수 있기 때문에 III-V 화합물 반도체를 대체할 것으로 전망되고 있다. LDMOST와 같은 전력 소자에 있어서 가장 중요한 요소는 항복 전압(breakdown voltage; BV)이다. 좀더 높은 고출력 소자의 필요성에 따라 LDMOST의 BV 특성 향상을 위한 연구가 필수적이라 할 수 있다.

그림 1에 전통적인 LDMOST의 구조를 나타내었다. p-substrate 위에 n-epi 층을 쌓은 후 p-well을 형성하고 n+ 소스(Source)/드레인(Drain)을 갖는 구조이다. p-well과 p-substrate는 p+ sinker 공정을 통하여 전기적으로 연결된다.

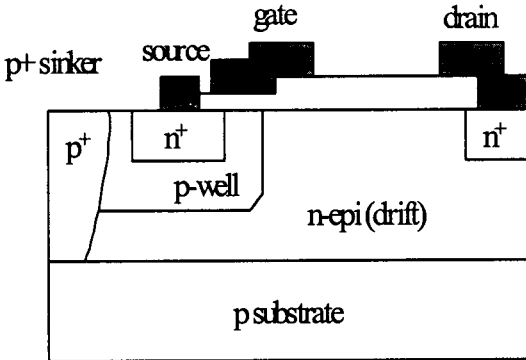


그림 1. 전통적인 LDMOST의 단면도
Fig 1. Cross section of conventional LDMOST

LDMOST 구조의 가장 큰 특징은 보통의 MOSFET에서의 LDD(Lightly Doped Drain)에 해당하는 낮은 도핑 영역인 드리프트 영역이다. 낮은 도핑의 드리프트 영역을 사용함으로써 큰 드레인 전압이 인가되었을 전계가 커지는 것을 억제하며 BV를 증가시켜 높은 전압에서 소자를 동작시킬 수 있는 효과를 얻을 수 있다. LDMOST의 BV 특성 향상을 위하여 드리프트 영역의 설계에 많은 방법이 시도되어 왔다.

가장 대표적인 것이 RESURF(REDUCED SURFACE FIELD)이다[1]-[4]. RESURF는 상대적으로 얇은 드리프트 영역을 사용하여 공핍영역을 드리프트 영역 내에 확대시켜 표면에서의 전계를 완화시키는 방법이다. 최근에는 RESURF에 추가적인 구조를 더하여 BV특성을 향상시키는 여러 가지 방법이 제안되고 있다[5]-[9]. 무선 통신의 사용 주파수가 점점 높아지는 추세를 고려해볼 때 BV를 높게 유지하기 위해서는 더욱 더 복잡한 공정이 필요하게 되고, 이런 공정을 단순하게 하면서도 BV의 특성을 향상시키는 소자의 구조를 개발하는 것이 중요하다. 여러 가지 개발된 LDMOST의 구조 중 간단한

공정과 소자 구조를 가지면서도 BV 특성을 효율적으로 높일 수 있는 내부 전계 링(internal field ring; IFR)을 갖는 LDMOST를 그림 2에 나타내었다[5]-[7].

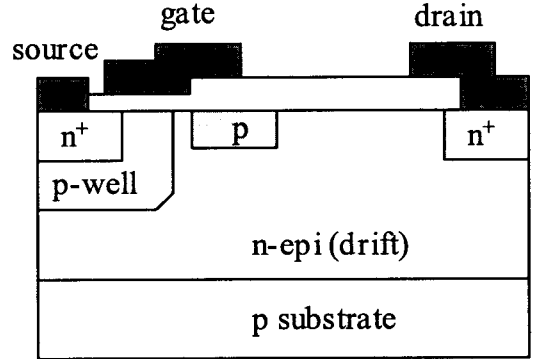


그림 2. 내부 전계 링을 갖는 LDMOST의 단면도
Fig 2. Cross section of LDMOST with IFR

내부 전계 링은 게이트 끝부분에서의 Si/SiO₂계면에 pn 접합을 형성하여 드리프트 영역에서의 전계를 분산시켜 항복전압을 증가시키는 구조로서, 이러한 구조를 이용하여 항복전압을 50% 이상 증가시키는 결과가 발표된 바 있다[5]. 드리프트 영역에 추가적인 공핍 영역을 형성하여 전계를 분산시킨다면 BV 특성은 더욱 향상될 것이며, 그에 따른 방법을 본 논문에서는 제시하고자 한다.

그림 3에서는 본 논문에서 처음으로 제안하는 구조인 외부 전계 링을 갖는 LDMOST 구조를 나타내고 있다. 드리프트 영역 내부뿐만 아니라 측면에도 전계 링을 추가한다면, 드리프트 영역 전체적으로 공핍영역을 형성하여 전계를 분산시킬 수 있으며 이를 "외부 전계 링(external field ring; EFR)"이라 명명하였다.

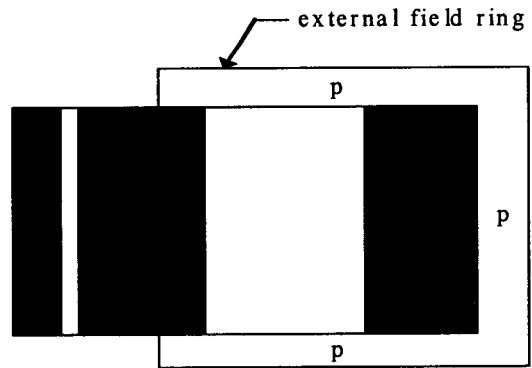


그림 3. 외부 전계 링을 갖는 LDMOST의 평면도
Fig 3. Plane figure of LDMOST with EFR

본 논문에서는 ISE사의 TCAD 도구인 ISE TCAD version 8.5를 이용하여 3차원 소자 구조를 생성하고 전류-전압(I-V) 관계를 분석하여 외부 전계 링을 갖는 LDMOST의 BV 특성 향상에 대한 정량적인 해석 결과를 제시하였다.

II. ISE TCAD 시뮬레이션 및 검증

본 연구에서 사용한 ISE TCAD 프로그램의 정확도를 검증하기 위해, 이미 검증된 해석적 BV 모델과 TCAD 시뮬레이션 결과를 비교하였다. 그림 4에서는 RESURF LDMOST의 해석적 모델과 TCAD 시뮬레이션 결과를 나타내고 있다.

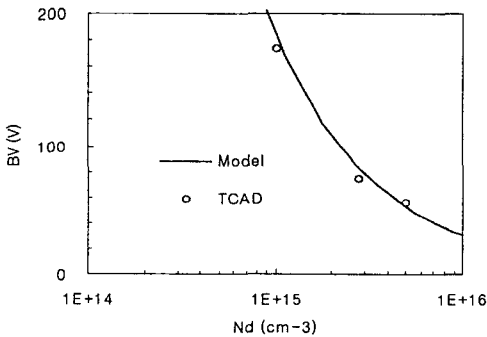


그림 4. RESURF LDMOST의 BV TCAD 시뮬레이션
Fig 4. BV TCAD simulation of RESURF LDMOST

위의 그림 4에서 볼 수 있는 바와 같이 ISE TCAD가 소자의 물리적 현상을 잘 재현하고 있다는 것을 확인 할 수 있으며, 본 논문에서 사용된 파라미터의 값은 아래와 같다.

| | | |
|-----------|--------------------|-----------------------|
| N_a | doping (substrate) | 1015 cm ⁻³ |
| t_{ox} | oxide thickness | 1 μ m |
| t_{epi} | n-epi thickness | 20 μ m |

내부 전계 링을 갖는 LDMOST의 해석적 BV 모델은 RESURF LDMOST의 BV 모델에서 드리프트 영역의 유효두께를 재계산하는 방법으로 개발되었으며[10], 아래 값을 추가하여 계산하였다.

| | | |
|----------|---------------------------|---------------|
| x_{rj} | field ring junction depth | 1.262 μ m |
|----------|---------------------------|---------------|

구조상 두 소자의 차이는 내부 전계 링에 대한 p 이온 주입 공정이 추가된 것으로, 이런 간단한 구조 변화에 의하여 BV 특성을 크게 향상시킬 수 있다.

그림 5에서는 드리프트 영역의 도핑을 변화시키며 제안된 모델과 TCAD 시뮬레이션의 BV 결과를 나타내었다. 제안된 모델과 TCAD 시뮬레이션 결과가 잘 일치하며, ISE TCAD가 내부 전계 링을 갖는 LDMOST의 BV 현상을 정확히 예측하고 있음을 확인할 수 있다.

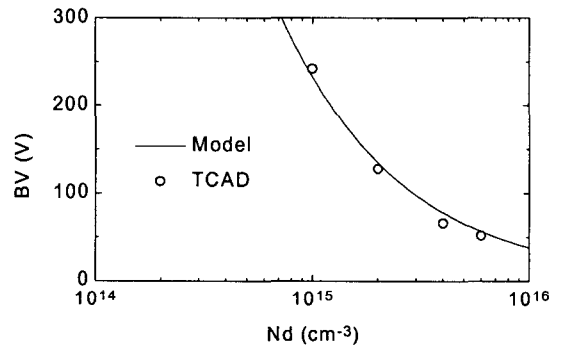


그림 5. 내부 전계 링을 갖는 LDMOST의 해석적 BV 모델과 TCAD 시뮬레이션 결과
Fig 5. Analytic BV model and TCAD simulation of LDMOST with IFR

그림 4와 그림 5를 비교해 보면, $N_d=1015\text{cm}^{-3}$ 일 때 BV가 각각 173V와 240V 정도의 값을 가지는 것을 알 수 있다. 이 결과로 내부 전계 링을 사용할 경우 30%이상의 BV 증가가 있으며, 소자 파라미터의 최적화를 통하여 기존 논문상에서 발표된 최대 50%까지 BV 특성을 향상시킬 수 있을 것이다. 여기서 드리프트 영역둘레에 추가적인 공핍영역을 형성한다면 BV 향상을 기대할 수 있게 되는데 본 논문에서는 외부 전계 링을 추가하여 그 효과를 확인하였다.

III. 외부 전계 링을 갖는 LDMOST의 BV 특성

3.1 외부 전계 링을 갖는 LDMOST의 구조

본 논문에서 제안한 구조는 전통적인 RESURF LDMOST의 외부에 전계 링을 추가하는 것이며 위의 그림 3에 나타낸 바 있다. 외부 전계 링은 드리

프트 영역 둘레에 형성되며 드리프트 영역에서의 전계를 완화시키는 역할을 하여 BV 특성을 향상시키게 된다. 이 구조는 소자 면적이 다소 커지는 단점이 있으나 공정이 비교적 간단하여 공정 및 소자 파라미터 최적화가 쉽고 실제 소자 제작이 용이할 것으로 판단된다. 이 구조는 본 논문에서 최초로 제안되었으며 3차원 TCAD 시뮬레이션을 이용하여 BV 특성을 분석하였다.

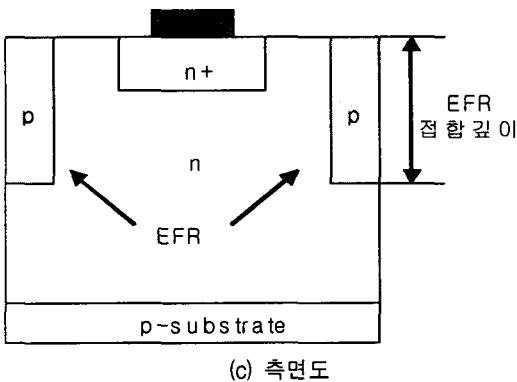
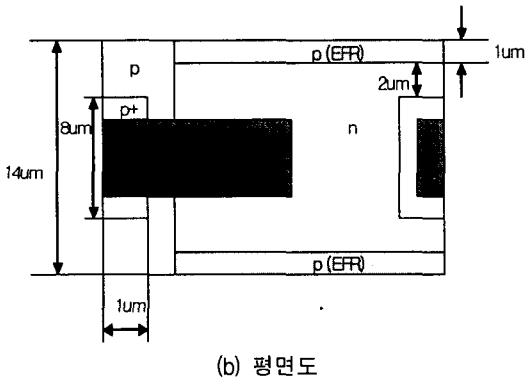
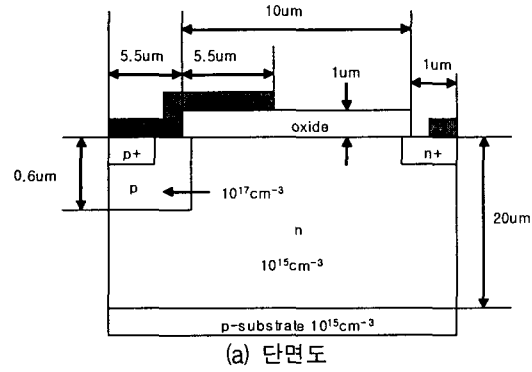


그림 6. 외부 전계 링을 갖는 LDMOST의 3차원 구조
Fig 6. 3 dimensional structure of LDMOST with EFR

그림 6에 TCAD 시뮬레이션을 위한 3차원 소자 구조와 소자 파라미터를 나타내었다. 본 논문에서는 시뮬레이션을 위한 구조를 간단히 하기 위해서 $V_S=V_G=V_B=0$ 으로 가정하여 pn 구조로 단순화하였다. 이는 3차원 TCAD 시뮬레이션에서 메시(mesh)의 수가 급격히 증가함에 따라 발생하는 수렴 문제를 최소화하기 위함이다. 본 논문에서 외부 전계 링을 추가한 LDMOST에 대한 BV 특성을 3차원 TCAD 시뮬레이션 결과를 통하여 제시하였다. 외부 전계 링의 추가에 의하여 BV 특성이 향상됨을 확인할 수 있으며, 외부 전계 링의 도핑 농도와 접합 깊이에 따라 BV 특성의 변화가 있음을 확인하였다.

3.2 외부 전계 링의 접합 깊이에 따른 BV 특성

외부 전계 링의 접합 깊이에 따른 BV 특성을 그림 7에서 나타내었다. 외부 전계 링의 도핑 농도는 $10^{15}cm^{-3}$ 이며 TCAD 시뮬레이션 툴의 특성 때문에 계단 도핑으로 가정하여 소자 구조를 만들었다. 외부 전계 링의 도핑 농도는 실제 공정에서 만들어지는 값보다 작게 설정되었는데, 이는 높은 도핑 농도를 사용하는 경우 EFR/드리프트 접합에서 메시가 급격히 증가하여 수렴을 하지 않는 문제가 발생하였기 때문이다.

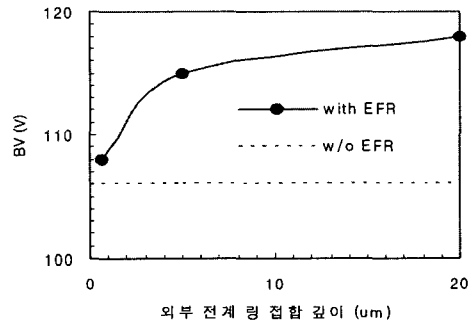


그림 7. 외부 전계 링의 접합 깊이에 따른 BV
Fig 7. Junction depth of EFR vs. BV

그림 7로부터 외부 전계 링의 접합 깊이가 증가함에 따라 BV가 증가하는 것을 볼 수 있다. 외부 전계 링의 접합 깊이가 증가하면 EFR/드리프트 접합에서의 공핍 영역이 수직적으로 확장되어 전계를 크게 분산시키는 효과가 생기기 때문이다. 하지만 외부 전계 링의 접합 깊이가 $5\mu m$ 이상이 되면

BV 증가율이 완만해짐을 볼 수 있는데, 이는 항복 현상이 일어나는 p-well/드리프트 접합으로부터 거리가 먼 외부 전계 링 부분의 영향은 크지 않기 때문이다. 그림 7로부터 외부 전계 링이 추가되는 경우에는 외부 전계 링이 없을 때 보다 6.5%(접합 깊이가 5 μ m일 때)에서 9.3%(접합 깊이가 20 μ m일 때)까지 증가하는 것을 알 수 있다. 실제 소자 제작에서는 이보다 높은 도핑 농도가 사용될 것이므로 도핑 농도에 따른 BV 특성 분석이 필요하다.

3.3 외부 전계 링의 도핑 농도에 따른 BV 특성

외부 전계 링의 도핑 농도에 따른 BV 특성을 그림 8에서 나타내었다.

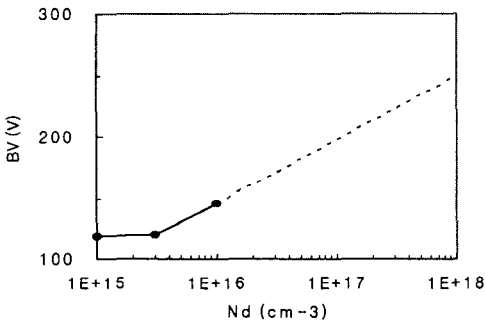


그림 8. 외부 전계 링의 도핑 농도에 따른 BV
Fig 8. Doping Concentration of EFR vs. BV

그림 8로부터 외부 전계 링의 도핑 농도가 증가함에 따라 BV가 증가 하는 것을 볼 수 있다. 이는 EFR/드리프트 접합에서 외부 전계 링 도핑 농도의 증가에 따라 EFR/드리프트 접합의 전계를 증가시키는 반면 항복 현상이 발생하는 p-well/드리프트 접합의 전계를 완화시키기 때문이다. 이 구조에서의 외부 전계 링의 도핑 농도 $N_a=10^{15}cm^{-3}$ (BV=118V)부터 $N_a=3 \times 10^{15}cm^{-3}$ (BV=120V)까지 완만한 증가를 하다가 이후 $N_a=10^{16}cm^{-3}$ (BV=145V) 까지 급격한 증가를 보이는 경향을 확인할 수 있었다. 메시 증가에 따른 수렴 문제로 인하여 높은 도핑 농도에서의 결과를 얻을 수는 없었지만, 그림 8의 BV 증가 경향이 지속된다면 외부 전계 링의 도핑 농도가 $10^{18}cm^{-3}$ 일 경우 $10^{15}cm^{-3}$ 일 때보다 150% 가까이 BV 증가를 보일 것으로 추정할 수 있다.

IV. 결 론

외부 전계 링이 LDMOST의 BV에 미치는 영향에 대하여 3차원 TCAD 시뮬레이션을 이용하여 계산하였다. 3차원 시뮬레이션에서 메시 수의 한계와 수렴 문제 때문에 많은 데이터를 얻을 수는 없었지만, 이 결과를 통하여 외부 전계 링의 접합 깊이와 도핑 농도의 증가에 대하여 BV 특성이 크게 향상되는 것을 확인 할 수 있었다. 만약 p+ sinker 공정을 사용하여 외부 전계 링을 구현한다면, 외부 전계 링을 깊게 그리고 큰 도핑 농도를 갖도록 하여 BV 특성을 크게 향상시킬 수 있을 것이다. 이것은 최대 160% 정도의 BV 특성의 향상을 기대할 수 있다. 위의 결과로부터 내부 전계 링과 본 논문에서 제안된 외부 전계 링을 동시에 사용한다면 일반적인 RESURF LDMOST에 비하여 190% 이상 BV의 증가가 가능하다는 사실을 확인할 수 있었다.

참고문헌

- [1] Zahir Parpia and C. A. T. Salama, "Optimization of RESURF LDMOS Transistors: An Analytical Approach," IEEE Trans. Electron Devices, vol. 37, no. 3, 1990.
- [2] Taylor Efland, Peter Mei, Dan Mosher, Bob Todd, "Self-Aligned RESURF To LOCOS Region LDMOS Characterization shows Excellent Rsp vs BV Performance," Power Semiconductor Devices and ICs, 1996. ISPSD '96 Proceedings., 8th International Symposium on, 20-23 May 1996.
- [3] Jongdae Kim, Sang-Gi Kim, Q. Sang Song, Sang Yong Lee, Jin-Gun Koo, and Dong Sung Ma, "Improvement on P-channel SOI LDMOS Transistor by Adapting a New Tapered Oxide Technique," IEEE Trans. Electron Devices, vol. 46, no. 9, 1999.
- [4] E. C. Griffith, J. A. Power, S. C. Kelly, P. Elebert, S. Whiston, D. Bain, and M. O'Neill, "Characterization and Modeling of LDMOS Transistors on a 0.6 μ m CMOS Technology," Proceedings of the 2000 International Conference, March 2000.
- [5] A. Nezar and C. A. T. Salama, "Breakdown Voltage in LDMOS Transistors Using Internal Field Rings," IEEE Trans. Electron Devices, vol. 38, no. 7, 1991.
- [6] Jorgen Olsson, Niklas Rorsman, Lars Vestling,

Christian Fager, Johan Ankarcrona, Herbert Zirath, Klas-Hakan Eklund, "1 W/mm RF Power Density at 3.2GHz for a Dual-Layer RESURF LDMOS Transistor", IEEE Trans. Electron Devices, vol. 23, no. 4, 2002.

- [7] Zia Hossain, Mohamed Imam, Joe Fulton, Masami Tanaka, "Double-resurf 700V N-channel LDMOS with Best-in-class On-resistance," Power Semiconductor Devices and ICs, 2002. Proceedings of the 14th International Symposium on, 4-7 June 2002.
- [8] Shengdong Zhang, Johnny K. O. Sin, Tommy M. L. Lai, Ping K. Ko, "Numerical Modeling of Linear Doping Profiles for High-Voltage Thin-Film SOI Devices," IEEE Trans. Electron Devices, vol. 46, no. 5, 1999.
- [9] M. Shindo, M. Morikawa, T. Fujioka, K. Nagura, K. Kurotani, K. Odaira, T. Uchiyama, I. Yoshida, "High Power LDMOS for Cellular Base Station Applications," Proceedings of 2001 International Symposium on Power Semiconductor Devices & IC's, 2001.
- [10] 오동주, 염기수, "내부 전계 링을 갖는 LDMOS의 해석적 항복전압 모델," 한국해양정보통신학회 추계종합학술대회, vol. 7, no. 2, 2003

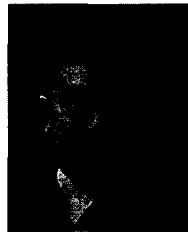
저자소개

오동주(Dong-Joo OH)



2003년 2월 한밭대학교 정보통신공학과 졸업
2003년 3월~현재 한밭대학교 정보통신전문대학원 석사과정
※관심분야 : RF 소자 및 회로, ESD

염기수(Kee-Soo Yeom)



1986년 2월 서울대학교 자원공학과 졸업(공학사)
1988년 2월 연세대학교 전자공학과 졸업(공학석사)
1996년 5월 미시간대학교 전기공학과 졸업(공학박사)
1996년 5월~1998년 9월 LG반도체 중앙연구소 선임연구원
1999년 10월~현재 한밭대학교정보통신컴퓨터공학부 부교수
※관심분야 : RF 소자 및 회로, EMI/EMC