
MOSFET의 1/f noise에 의한 CMOS Ring Oscillator의 Jitter 분석

박세훈*

Jitter Analysis of CMOS Ring Oscillator Due to 1/f Noise of MOSFET

Se-Hoon Park*

본 연구는 2002년도 안동대학교의 국제학술교류보조금 지원에 의하여 이루어진 연구로서,
관계부처에 감사드립니다.

요 약

MOSFET의 1/f 잡음은 개별 Random Telegraph Signal(RTS)의 중첩에 의해 생성되는 것으로 알려져 있다. 본 연구는 CMOS 링발진기 노드에 병렬로 RTS 전류원을 연결하여 1/f 잡음에 의한 Jitter를 분석하였다. RTS의 진폭 변화에 따른 Jitter 및 Jitter Ratio의 변화를 조사하여 RTS 진폭과 Jitter 및 Jitter Ratio의 크기가 선형적으로 비례함을 밝혔고, 링발진기의 출력 FFT를 분석하여 Jitter의 원인이 높은 차수의 고주파 위상잡음에 있음을 밝혔다.

ABSTRACT

It has been known that 1/f noise of MOSFET is generated by the superposition of single random telegraph signals (RTS). In this study, jitters caused by 1/f noise of MOSFET are analysed with RTS supplied to all of the nodes of the CMOS ring oscillator under investigation. Through the analysis of the variations of jitters and jitter ratios with varying values of the amplitude of RTS, it is found that the jitters and the jitter ratios are proportional to the amplitude of RTS. And the analysis of FFT of the outputs of the ring oscillator reveals that the jitters are closely related to the phase noise of the high order harmonics of the ring oscillator outputs.

키워드

1/f noise, Random Telegraph Signal(RTS), Jitter, 링발진기

1. 서 론

정보 통신 장비 및 제품의 경량화, 이동성 그리고 고성능화는 시스템의 집적 회로화에 크게 의존하고 있다. IC의 높은 집적도는 기본 소자의 소형화에 직결되어 있으며 현재 상용화된 MOSFET의

최소 선폭단위는 90 nm 이하에 이르고 있다. 소자가 소형화됨에 따라 시스템의 성능이 소자의 잡음에 의해 제한되게 되어 그 동안 주목을 받지 못했던 1/f 잡음에 대한 관심이 높아지고 있다[1].

1/f 잡음은 MOSFET에서 발생하는 소자 고유의 잡음으로 집적도가 높은 시스템에서 제품의 성능에 미치는 영향이 증가 하고 있다. 그 예로서, 1/f

잡음은 아날로그 회로에서 발진기회로의 위상 잡음을 일으키고 디지털 회로에서 Jitter의 원인이 되고 있다. 본 논문은 1/f 잡음이 인가된 링 발진기의 시뮬레이션을 통하여 잡음의 진폭이 Jitter의 크기에 미치는 영향을 분석 한다.

II. MOSFET의 1/f 잡음

MOSFET의 산화막과 반도체의 경계는 소자의 성능에 영향을 미치는 가장 중요한 부분이다. 산화막-반도체 경계의 에너지 준위 밀도는 MOSFET의 문턱전압과 직결되어 있고 소자의 동작을 이상적인 값에서 벗어나게 한다. 현대의 집적회로 기술의 발달에 따라 산화막-반도체 경계 에너지 준위의 값은 108~1010 cm⁻²eV⁻¹의 범위의 낮은 값을 유지하고 있어 소자에 미치는 영향을 최소화하고 있지만, 산화막 내에 존재하는 에너지 준위는 소자 고유의 잡음인 1/f 잡음의 원인이 되고 있다.

MOSFET의 1/f 잡음은 산화막과 반도체의 경계에서 가까운 거리에 있는 산화막 내에 존재하는 산화막 에너지 준위와 MOSFET 채널 캐리어의 결합과 분리에 의해 발생하는 것으로 알려져 있다[2]. 산화막 에너지 준위와 캐리어의 결합과 분리에 의해서 발생하는 채널 캐리어 숫자의 변화는 채널의 전도도의 변화를 일으키고, 결과적으로 소자 고유의 잡음인 1/f 잡음이 발생하게 된다. 이러한 캐리어 숫자 변화에 의한 소자 고유의 잡음은 전력밀도 스펙트럼에서 저주파 영역에서 주파수에 반비례하여 변화하기 때문에 1/f 잡음이란 명칭을 얻게 되었다.

Skocpol 등은 일정한 크기(0.1 μm×1.0 μm)의 MOSFET에서 게이트 전압을 조절하여 산화막-반도체 경계 에너지 준위의 점유 변동에 따른 드레인 전류의 변동을 관찰할 수 있었다[3]. 이러한 전류의 변동은 시간 영역에서 Random Telegraph Signal(RTS)로 불린다[3]. 이것은 한 개의 캐리어와 한 개의 산화막 에너지 준위의 결합과 분리에 의해 발생하는 채널 전류의 변화이며, 시간 영역에서 RTS가 된다.

Kirton 등은 MOSFET의 1/f 잡음은 개별 산화막-반도체 경계 에너지 준위에 의해 발생하는 RTS의 중첩에 의해 발생한다는 것을 밝혔다 [4]. MOSFET의 RTS는 산화막-반도체 경계 에너지 준위에 의한 채널 캐리어의 포획(capture)과 방출(emission)의 연속으로 이루어진다. 캐리어의 포획 시간 상수는 채널의 캐리어 숫자의 감소시간을 결

정하는 시간 상수에 대응하고, 그림 1에서 높은 전류가 유지되는 시간간격(capture time, τ_c)으로 나타나고, 캐리어의 방출 시간 상수는 채널 캐리어 숫자의 증가시간을 결정하는 시간 상수에 대응하고 낮은 전류가 유지되는 시간간격(emission time, τ_e)으로 나타난다. 캐리어의 포획 시간 상수(τ_c)와 방출 시간 상수(τ_e)는 지수 함수 분포를 가진 것으로 밝혀졌다[2].

본 연구에서는 링 발진기의 각 단자에 10개 썩의 RTS 전류 신호원을 입력시켜 1/f 잡음에 대한 Jitter를 조사한다. 먼저 지수함수 분포를 가진 random number를 생성하여 SPICE의 piecewise linear(PWL) 전류원의 시간 요소로 입력하였다. 즉 RTS를 지수함수 분포된 시간 요소를 가진 SPICE의 piecewise linear(PWL) 전류원으로 모델링 하였다. RTS의 진폭은 2 μA에서 10 μA의 범위에 있는 값을 사용하였고 평균 펄스 폭은 10 nsec 이다.

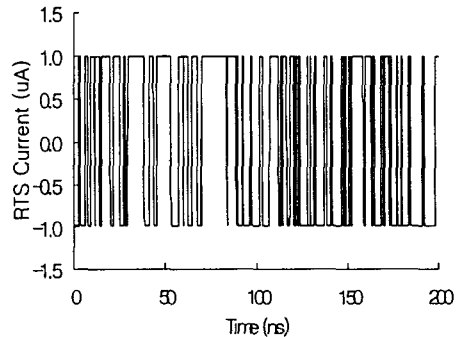


그림 1. RTS 신호를 모델링한 Piecewise Linear (PWL) 신호

Fig. 1 A Piecewise Linear model of the RTS signal

III. 링 발진기(Ring Oscillator)

링 발진기는 많은 디지털과 통신 시스템에서 기본발진 회로로 사용되고 있다. 클럭 회복 회로, 디스크 드라이버, 그리고 주파수 합성기 등에서 링 발진기는 VCO(Voltage Controlled Oscillator)로 사용되고 있다. 동작 주파수가 높아지는 현대의 디지털 시스템은 링 발진기의 성능에 대한 보다 엄격한 Jitter 규격을 요구하고 있다. 링 발진기에서 회로의 어느 임의의 노드에서 발생한 Jitter는 사라지지 않고 시간에 따라 축적이 된다. 따라서 링 발진기는 최소한의 Jitter를 가지는 것이 필수적이다.

Jitter의 발생 원인은 여러 가지가 있다. 그 가운데 전원과 접지에서 공급되는 잡음이 가장 우세하다[5]. 그러나 전원과 접지의 잡음 이외에도 열잡음과 1/f 잡음이 Jitter의 발생에 기여한다. 열잡음은 백색 잡음으로 불리기도 하여 동작 주파수 전체에 영향을 미치지만 power spectral density(PSD)가 작아서 크게 주목 받지 못하고 있다. 그러나 저주파 영역에 있는 1/f 잡음은 열잡음에 비해 PSD가 크고 링 발진기의 long-term Jitter에 영향을 미친다.

그림 2는 simulation에 사용된 RTS 전류원이 병렬로 연결된 CMOS 링 발진기이다. 실제 MOSFET의 RTS를 모델링하기 위해 각 노드마다 10개의 RTS가 병렬로 연결되어 있다. 링 발진기의 시뮬레이션을 위해 TSMC 0.18 μm 소자가 사용되었고, 링 발진기의 기본 주파수는 2.75 GHz(주기:T=36.337 ns)이다.

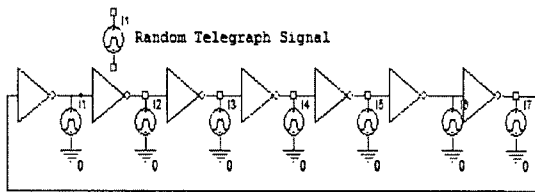


그림 2. 10개의 병렬 RTS 전류 잡음원이 7개의 노드에 연결된 링 발진기

Fig. 2 Ring Oscillator with 10 parallel RTS current noise sources at each of 7 nodes.

IV. 시뮬레이션 결과 및 토론

Jitter는 디지털신호의 천이시간이 시스템의 기준 천이시간과 다를 때 발생한다. 고속 디지털 전송시스템에서 Jitter는 시스템의 안전한 동작을 위한 set-up time을 증가시켜 시스템의 속도를 감소시키는 원인이 된다. 시간영역에서의 Jitter는 주파수 영역에서 Phase Noise에 대응된다. 본 연구에서는 RTS 이외의 다른 원인에 의한 Jitter의 발생을 차단한 상태에서, RTS에 의해서만 발생하는 Jitter를 조사했다.

Jitter에는 정의 방법에 따라 두 가지의 Jitter, 즉 Cycle Jitter와 Cycle to Cycle Jitter가 있다[5]. Cycle Jitter는 측정 구간의 평균 주기를 기준으로 각 주기의 편차 값에 대한 root mean square(RMS) 값이며, Cycle to Cycle Jitter는 인접한 주기 간의 차이 값에 대한 RMS 값이다. Cycle Jitter는 장시간 범위의 Jitter를 표현하는데 사용되고 Cycle to

Cycle Jitter는 짧은 시간 범위의 Jitter를 표현하는데 사용된다.

Cycle Jitter는 다음과 같이 계산 된다. 링 발진기의 출력 신호가 음에서 양의 값으로 변하면서 n 번째 '0'을 지나가는 시간이 t_n 이면 그 순간의 주기 T_n 은 다음과 같이 정의 된다.

$$T_n = t_{n+1} - t_n \tag{1}$$

이러한 주기의 평균을 \bar{T} 라고 할 때, 각각의 주기, T_n 과 \bar{T} 의 차이 즉 $\Delta T_n = T_n - \bar{T}$ 는 일반적인 개별 Jitter의 의미를 가진다. 그러나 이러한 개별 Jitter의 일정시간 동안의 평균값은 '0'의 값을 가지므로 Jitter의 크기를 평가하기에는 적합하지 못하다. Jitter의 크기를 보다 명확하게 정의하기 위해서는 ΔT_n 의 RMS 값이 사용되며 Cycle Jitter라고 정의한다. Cycle Jitter, ΔT_c 는 다음 식으로 정의 된다.

$$\Delta T_c = \lim_{N \rightarrow \infty} \sqrt{\frac{1}{N} \sum_{n=1}^N \Delta T_n^2} \tag{2}$$

여기에서 N은 계산에 사용된 주기의 숫자이다. 이와는 달리 Cycle to Cycle Jitter, ΔT_{cc} 는 인접 주기 사이의 차이에 대한 RMS 값이며 다음 식으로 주어진다.

$$\Delta T_{cc} = \lim_{N \rightarrow \infty} \sqrt{\frac{1}{N} \sum_{n=1}^N (T_{n+1} - T_n)^2} \tag{3}$$

그림 3은 RTS의 진폭이 0에서 10 μA로 변화할 때 Jitter와 Jitter Ratio의 변화를 보여준다. Cycle to Cycle Jitter가 Cycle Jitter에 비해 큰 값이지만 그 차이가 미미함을 볼 수 있다. 또한 Jitter의 크기와 Jitter Ratio는 RTS의 진폭에 비례해서 증가함을 볼 수 있다. Jitter Ratio는 Jitter의 평균주기에 대한 상대적 크기이며 다음 식으로 주어진다.

$$Jitter\ Ratio = \frac{\Delta T_c (or \Delta T_{cc})}{\bar{T}} \tag{4}$$

표 1은 Cycle Jitter와 Cycle to Cycle Jitter의 데

이터에 보간법을 적용해 구한 선형선의 기울기를 정리한 것이다. Cycle Jitter의 경우 Jitter의 절대값은 단위 μA 당 약 $1.36 \times 10^{-13} \text{sec}$ 의 증가를 보이고 Jitter Ratio는 μA 당 약 $3.72 \times 10^{-4} \text{sec/sec}$ 의 증가를 보인다. Cycle to Cycle Jitter의 경우에도 유사한 값을 얻었다.

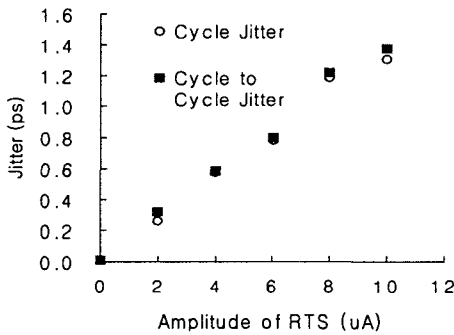
따라서 RTS 전류원의 진폭 증가는 해당 노드 전하의 변동을 증가시키고 결과적으로 Jitter의 크기를 증가 시켰다. 이때 RTS 증가에 따른 주파수의 변화는 0.24%로 아주 미미하지만 Jitter의 변화는 최대 240배 이상 증가하였다. 즉 RTS 진폭 증가에 따라 평균 주기는 일정하지만 주기의 변화가 큼을 직접적으로 보여 준다.

표 1 RTS 진폭 변화에 따른 Jitter와 Jitter Ratio 그래프(그림 3)의 기울기

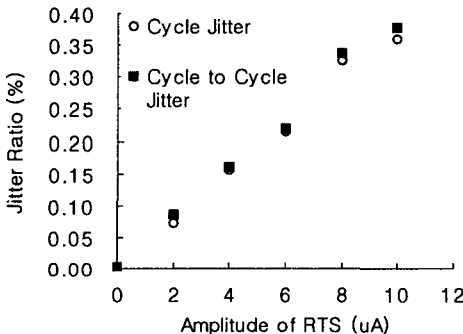
Table. 1 The slopes of Jitter and Jitter Ratio curves(Fig. 3)

기울기	Cycle Jitter		Cycle to Cycle Jitter	
	Jitter(s/ μA)	Jitter Ratio(1/ μA)	Jitter(s/ μA)	Jitter Ratio(1/ μA)
기울기	1.36×10^{-13}	3.72×10^{-4}	1.39×10^{-13}	3.83×10^{-4}

시간 영역에서의 Jitter는 주파수 영역에서 위상 잡음(phase noise)에 대응한다. RTS 진폭 변화에 따른 Jitter의 증가를 주파수 영역에서 분석하기 위해 출력 신호에 Fast Fourier Transform (FFT)를 실행 하였다. 그림 4는 RTS의 진폭에 따른 처음 4개의 고조파의 위상잡음을 보여준다. RTS 진폭이 증가함에 따라 4개 고조파의 위상잡음이 증가함을 보여 준다. 그림 4 (a)의 첫 번째 고조파는 RTS 진폭이 변화에 따라 위상잡음의 변화가 거의 없다. 따라서 RTS의 진폭이 첫 번째 고조파의 위상잡음에 크게 영향을 받지 않음을 알 수 있다.



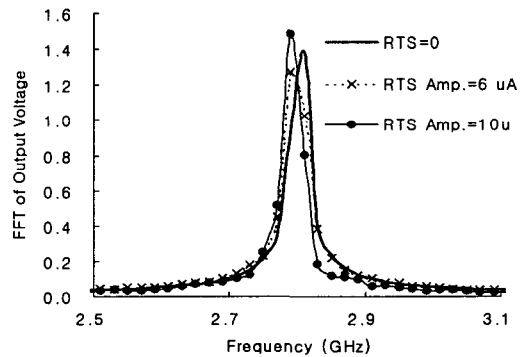
(a) Jitter vs. RTS 진폭



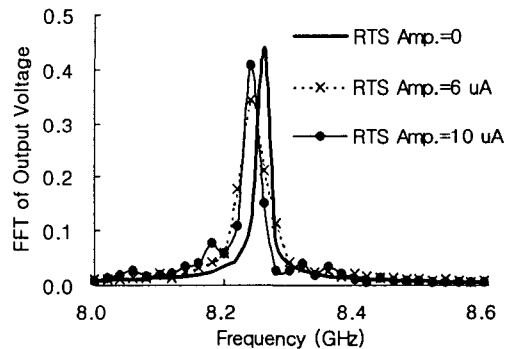
(b) Jitter Ratio vs. RTS 진폭

그림 3 RTS 진폭 변화에 따른 링 발진기의 (a) Jitter와 (b) Jitter Ratio 변화

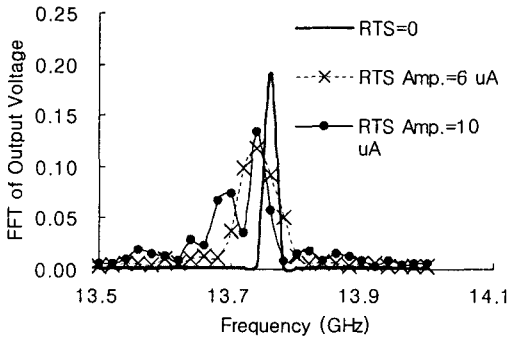
Fig. 3 Variation of (a) Jitters and (b) Jitter Ratios as a function of amplitude of RTS



(a) 1차 고조파(1st Harmonic)



(b) 2차 고조파(2nd Harmonic)



(c) 3차 고조파(3rd Harmonic)

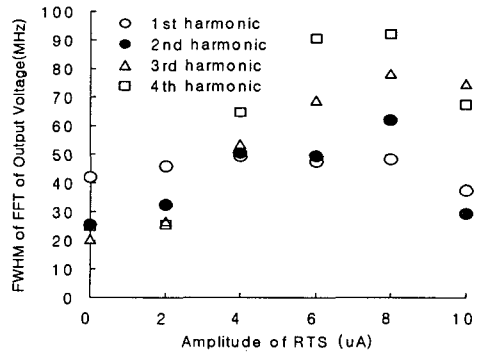
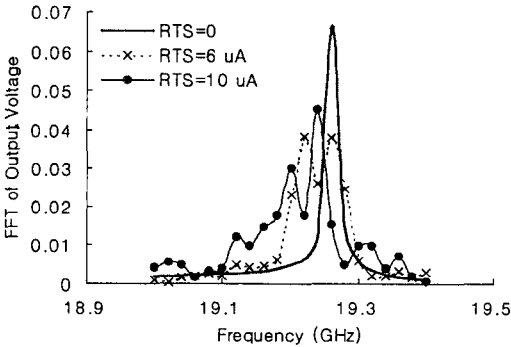


그림 5. RTS 진폭 변화에 따른 링발진기의 출력 FFT의 FWHM

Fig. 5 The variation of the FWHM in FFT of the output of the ring oscillator as a function of the amplitude of RTS with each harmonic as a parameter



(d) 4차 고조파(4th Harmonic)

그림 4. RTS 진폭 변화에 따른 링발진기의 출력 위상잡음 변화

Fig. 4 The variation of the phase noise of the output of the ring oscillator as a function of the amplitude of RTS

그러나 두 번째부터 네 번째 고조파에서 RTS의 진폭에 따라 출력 신호 FFT의 대역폭(Bandwidth)이 증가하거나 고조파의 peak 주파수가 분리 되는 것을 관찰할 수 있다. 위상잡음의 크기는 신호의 FFT의 대역폭에 비례하므로 대역폭의 Full Width of Half Maximum(FWHM)을 그림 5에서 비교 하였다.

그림 5에서 RTS 진폭이 증가함에 따라 대역폭의 FWHM이 고조파가 분리되기 전까지 증가함을 볼 수 있다. 따라서 Jitter는 첫 번째 고조파를 제외한 두 번째 이상 고조파의 Phase Noise의 증가와 고조파 주파수의 분리에 의한 것임을 알 수 있다.

V. 결론

RTS에 의해 모델링 된 1/f 잡음을 CMOS 링발진기의 각 노드에 공급하여 Jitter를 시뮬레이션 하였다. RTS 진폭 0에서 10 μA 범위에서는 Cycle Jitter는 $1.36 \times 10^{-13} \text{ s}/\mu\text{A}$, Cycle to Cycle Jitter는 $1.39 \times 10^{-13} \text{ s}/\mu\text{A}$ 의 비율로 선형적으로 증가하였다. 그리고 Cycle Jitter Ratio는 $13.72 \times 10^{-4} \mu\text{A}^{-1}$, Cycle to Cycle Jitter Ratio는 $3.83 \times 10^{-4} \mu\text{A}^{-1}$ 의 비율로 선형적으로 증가하였다. 즉 RTS 만이 유일한 잡음원일 경우, CMOS 링발진기의 Jitter는 RTS의 진폭에 비례한다. 출력신호의 FFT 분석은 RTS 진폭이 증가함에 따라 2차 이상의 고조파 위상잡음이 증가하거나 고조파 주파수가 분리됨을 보여준다. 결론적으로 링발진기의 Jitter는 두 번째 이상 고조파의 Phase Noise의 증가와 고조파 주파수의 분리에 기인한 것이다.

참고문헌

- [1] H. Wong, "Low-frequency noise study in electronic devices: review and update", *Microelectronic Reliability*, 43, p585, 2003.
- [2] M. J. Kirton, M. J. Uren, S. Collins, M. Schulz, A. Karmann, and K. Scheffer, "Individual defects at the Si:SiO₂ interface",

Semicond. Sci. Technol. 4, p1116, 1989.

- [3] K. S. Ralls, W. J. Skocpol, L. D. Jackel, R. E. Howard, L. A. Fetter, R. W. Epworth and D. M. Tennant, "Discrete Resistance Switching in Submicrometer Silicon Inversion Layers: Individual Interface Traps and Low-Frequency ($1/f$) Noise", Phys. Rev. Lett, 52, p228, Jan. 1984.
- [4] M. J. Uren, D. J. Day, and M. J. Kirton, "1/f and random telegraph noise in silicon metal-oxide-semiconductor field effect transistors", Appl. Phys. Lett. 47 1195 1985.
- [5] F. Herezel and Behzad Razavi, "A Study of Oscillator Jitter Due to Supply and Substrate Noise", IEEE Trans. Circuits and Systems, 46, No 1, p56, Jan. 1999.

저자소개

박세훈(Se Hoon Park)



1980 경북대학교 전자공학 학사
1982 경북대학교 전자공학 석사
1983~1986 현대전자 반도체 사업부

1992 미국 아리조나 주립대학 공학박사

1993~1995 한국 전자 통신 연구원 반도체 연구소

1995~현재 안동대학교 전자정보산업학부 부교수

※ 관심분야 : SoC 설계, 아날로그 집적회로 설계