

복수버퍼를 가진 다단상호연결네트워크의 비균일 트래픽 환경하에서의 해석적 모델링[☆]

Performance Evaluation of Multibuffered Multistage Interconnection Networks under Nonuniform Traffic Pattern

문 영 성*
Yongsong Mun

요 약

다단상호연결네트워크의 성능평가가 실제적인 환경을 고려하기 위하여는 비균일 트래픽이 존재할 때 및 복수버퍼를 가진 때의 성능평가가 필수적이나 기존의 비균일트래픽하에서의 연구는 입력버퍼의 경우보다 상대적으로 모델링이 쉬운 출력버퍼를 가지고 있을 때를 고려한다든가 블럭킹 상태를 고려하지 못한다든, 단일버퍼만 고려한다든가 하는 결점을 가지고 있다. 따라서 본 논문에서는 입력버퍼를 가진 뱀연형 다단상호연결네트워크이 비균일트래픽하에서 모델링하고 성능평가를 하는데 특히 다중의 입력버퍼를 가졌을 경우를 해석적으로 모델링하고 그 모델로부터의 결과와 시뮬레이션으로부터의 결과를 비교하여 구해진 모델의 우수성을 입증한다.

Abstract

Analytical performance evaluation is crucial for justifying the merit of the design of Multistage Interconnection Networks(MINs) in different operational conditions. While several analytical models have been proposed for the performance evaluation of MINs, they are mainly for uniform traffics. Even the models for nonuniform traffics have various shortcomings. In this paper, an accurate model for the performance evaluation of multibuffered banyan-type MIN's under nonuniform traffic condition is obtained. The accuracy of proposed models are conformed by comparing with the results from simulation.

Keyword : Performance Evaluation, Multibuffer, Multistage Interconnection Networks

1. 서 론

1.1 연구의 배경

뱀연형 다단상호연결네트워크의 고안된 구조가 트래픽이나 버퍼의 변화등의 여러 가지 동작상황 하에서 원하는 성능목표치를 만족시킬 수 있는지를 알아보기 위하여 해석적 성능평가는 매우 중요하다. 그러나 기존의 성능평가 연구는 주로 입력트래픽이 균일할 때를 가정한 것이어서 실제적인 환경을 고려하기 위하여는 비균일 트래픽이

존재할 때 성능평가가 필수적이라 하겠다. 그러나 비균일트래픽하에서의 기존의 연구도 입력버퍼의 경우보다 상대적으로 모델링이 쉬운 출력버퍼를 가지고 있을 때를 고려한다든가 블럭킹 상태를 고려하지 못한다든가 또는 고려하더라도 비현실적인 가정을 한다든가 하는 결과를 초래하였다.

버퍼가 없을 때의 다단상호연결네트워크의 성능평가는 비교적 단순하게 구현될 수 있으며 따라서 많이 연구되어 왔다. 버퍼가 있을 때는 상대적으로 버퍼가 없을 때보다는 복잡해지며 여러 가지 방법이 제안 되었다. 이러한 기존 모델들은 모델의 단순함으로 인한 결과의 부정확성이나, 모델이 너무 복잡하다거나, 비현실적인 가정에 의존한다거나 하는 여러가지 단점을 가지고 있는바 본

* 종신회원 : 숭실대학교 컴퓨터학부 부교수
mun@computing.ssu.ac.kr(제 1저자)

☆본 연구는 숭실대학교 교내연구비 지원으로 이루어졌음.

인은 이러한 단점을 해결하기 위하여 균일트래픽 하에서 다중의 입력버퍼를 갖는 배연형의 다단상호연결네트워크의 성능평가를 위한 해석적 모델을 연구하였다[1]. 그러나 실제적인 환경을 고려하기 위하여는 비균일 트래픽이 존재할 때 성능평가가 필수적이라 하겠으나, 균일트래픽 보다는 어려우며 비균일 트래픽이 존재할 때의 연구결과도 유사한 문제점들을 가지고 있는바 그 근원은 역시 블럭킹 상태를 제대로 고려하지 못한다는 데 있다 [2,3]. 출력버퍼는 내부 링크의 속도가 계속 증가해야 하는 문제점으로 인해 실용적인 구조를 만들기가 어렵다. 따라서 입력버퍼를 가진 구조를 위한 모델의 개발이 중요하며 이 경우에도 비균일 트래픽 환경하에서 블럭킹 상태를 효과적으로 모델링하는 것이 가장 중요한 점이다.

따라서 본 논문에서는 다중의 입력버퍼를 가진 배연형 다단상호연결네트워크이 비균일트래픽하에서 원하는 성능목표치를 만족시킬 수 있는지를 알아 보기 위하여 해석적 모델을 개발한다. 다중버퍼를 가지고 있을 때를 가정하여 변수들을 정의하고 정의된 변수들을 사용한 마코브체인(Markov Chain)을 이용하여 상태천이도를 만든다. 상태천이도로부터 상태식을 얻고 이를 이용하여 성능평가를 위한 해석적 모델을 구한다. 이렇게 해석적 모델을 구한후에는 그 정확성을 입증하기 위하여 해석적 모델과 같은 환경하에서 시뮬레이션하여 그 결과를 해석적 모델로 부터의 결과와 비교하여 구해진 모델의 정확성 및 우수성을 입증한다.

2. 복수 버퍼 모델

2.1 가정

복수버퍼를 가진 MIN에서는 각 교환소자의 각 입력포트에 유한개의 크기를 가진 버퍼가 존재한다. 버퍼모듈은 한 입력포트에 있는 버퍼전체를 그리고 버퍼는 버퍼모듈의 각 공간을 의미하는 것으로 정의한다. 다음 두 조건 중 한 개가 만족

되면 패킷은 다음 단으로 이동할 수 있다. 첫째 조건은 다음 단에 최소 한 개의 빈 버퍼가 있을 때 이고, 두 번째 조건은 다음 단의 모든 버퍼에 패킷이 차 있으며 이 패킷들이 이동 할 수 있을 때 이다. 네트워크의 동작과 가정들은 단일버퍼 모델에서와 동일하나 버퍼모듈의 가능한 상태 수는 세개가 아니고 버퍼모듈의 크기에 따라 달라진다. 또한 버퍼는 선입선출의 원리로 동작한다고 가정한다.

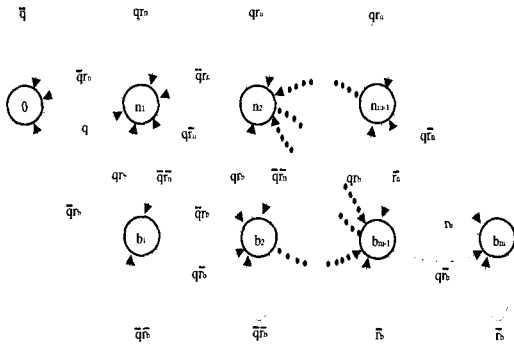
2.2 버퍼모듈의 상태

버퍼모듈의 크기가 m 이면 다음과 같이 $2m+1$ 개의 상태가 존재한다.

- 빈상태: 버퍼모듈은 비어있다.
- 상태 n_u : 버퍼모듈은 u 개의 패킷을 가지고 있으며 이 중 가장 오래된 패킷 (즉, 버퍼모듈의 최전단에 위치한 패킷)이 경쟁에 아직 참여한 적이 없을 때이다.
- 상태 b_u : 버퍼모듈은 u 개의 패킷을 가지고 있으며 이 중 가장 오래된 패킷이 이전 시간 슬롯에서 경쟁에서 졌었거나 다음 단의 버퍼공간이 허용되지 않아서 이동을 못했을 경우이다.

각 시간슬롯에서는 각 버퍼모듈의 가장 오래된 패킷끼리만 서로 경쟁한다. 그러므로 가장 오래된 패킷이 보통패킷인가 블럭된 패킷인가 하는 점이 중요하다. 단일버퍼 모델에서와는 달리 복수개의 버퍼가 있을 때는 전선블럭킹(Head of line blocking)이라는 또다른 형태의 블럭킹이 존재한다. 이는 패킷이 동일 버퍼모듈내에서 자신보다 앞에 있는 패킷으로 인해 이동할 수 없을 때에 발생한다. 전선블럭킹으로 인하여 블럭된 패킷은 경쟁에 참여한 적이 없기 때문에 가장 오래된 패킷이 되었을 때에 어느 특정한 목적지를 선호하지 않는다. 그러므로 전선블럭킹을 경험했던 패킷과 새로 도착한 패킷과는 구별할 필요가 없으므로 경쟁에 참

여하지 않았던 모든 패킷은 보통 패킷으로 취급된다. 가장 오래된 패킷은 경쟁에 지거나 다음단에 버퍼공간이 없으면 블럭된 패킷으로 취급된다. 다음 시간슬롯에서는 이 블럭된 패킷은 이전 시간슬롯에서와 같은 목적지로 가려고 재 시도된다. 본 논문에서 제시되는 모델의 상태천이도는 다음 그림과 같다.



(그림 1) 복수버퍼모델의 상태천이도

2.3 정의

- n : 교환단의 개수
- m : 버퍼모듈의 크기.
- $SE(k)$: k 교환단의 어느 한 교환소자
- $P_0(ki, t) [P_0(ki^c, t)]$: $SE(k)$ 의 i 번 입력포트의 [보측] 버퍼모듈이 t_b 에 비어있을 확률
- $\overline{P}(ki, t)$: $SE(k)$ 의 i 번 입력포트의 버퍼모듈이 t_b 에 다 차있지 않을 확률
- $P_n(ki, t) [P_n(ki^c, t)]$: $SE(k)$ 의 i 번 입력포트의 [보측] 버퍼모듈의 최전단이 t_b 에 보통 패킷을 가지고 있을 확률
- $P_b(ki, t) [P_b(ki^c, t)]$: $SE(k)$ 의 i 번 입력포트의 [보측] 버퍼모듈의 최전단이 t_b 에 블럭된 패킷을 가지고 있을 확률
- $P_b^h(ki, t) [P_b^l(ki, t)]$: $SE(k)$ 의 i 번 입력포트의 버퍼모듈의 최전단이 t_b 에 위쪽 [아래쪽] 출력포트로 향할 경우임
- $P_{m_u}(ki, t) [P_{b_u}(ki, t)]$: $SE(k)$ 의 i 번 입력포트

의 버퍼모듈이 상태 $n_u [b_u]$ 에 있을 확률.

- $r(ki)$: k 단의 i 번째 입력포트에 있는 버퍼모듈의 최전단의 보통패킷이 위쪽 출력포트로 가려할 확률
- $r_x(ki, t) [r_x(ki^c, t)]$: k 단의 i 번째 입력포트에 있는 [보측] 버퍼모듈의 최전단의 블럭된 패킷이 위쪽 출력포트로 가려할 확률
- $q(ki, t)$: 패킷이 t_d 동안에 k 단의 i 번째 입력포트에 올 준비가 되어 있을 확률
- $r_n(ki, t) [r_b(ki, t)]$: $SE(k)$ 의 i 번 입력포트의 버퍼모듈의 최전단에 있는 보통 [블럭된] 패킷이 t_d 동안에 이동할 확률
- $r_{nn}^h(ki, t) [r_{nn}^l(ki, t)]$: $SE(k)$ 의 i 번 입력포트의 버퍼모듈의 최전단에 있는 보통패킷이 t_d 동안에 원하는 위쪽 [아래쪽] 출력 포트로 갈 수 있는 확률. 보측버퍼모듈의 최전단이 블럭상태에 있으면 이 블럭된 패킷은 아래쪽 출력포트로 향한다고 가정함.
- $r_{nb}^h(ki, t) [r_{nb}^l(ki, t)]$: $SE(k)$ 의 i 번 입력포트의 버퍼모듈의 최전단에 있는 보통패킷이 t_d 동안에 보측버퍼모듈의 최전단에 있는 블럭된 패킷과의 경쟁에서 이겨서 위쪽 [아래쪽] 출력 포트로 갈 수 있는 확률.
- $r_{bn}^h(ki, t) [r_{bn}^l(ki, t)]$: $SE(k)$ 의 i 번 입력포트의 버퍼모듈의 최전단에 있는 블럭된 패킷이 t_d 동안에 위쪽 [아래쪽] 출력 포트로 갈 수 있는 확률. 이 때 보측버퍼모듈은 비어 있거나 보통 패킷을 가지고 있다고 가정한다.
- $r_{bb}^h(ki, t) [r_{bb}^l(ki, t)]$: $SE(k)$ 의 i 번 입력포트의 버퍼모듈의 최전단에 있는 블럭된 패킷이 t_d 동안에 위쪽 [아래쪽] 출력 포트로 갈 수 있는 확률. 이 때 보측버퍼모듈도 블럭된 패킷을 가지고 있다고 가정한다.
- $P^{na}(ki, t)$: $SE(k)$ 의 i 번 입력포트의 버퍼모듈이 t_d 동안에 패킷을 받을 빈 공간이 있을 확률. 이 때에는 이 버퍼를 향한 블럭된 패킷은 없다고 가정한다.
- $P^{ba}(ki, t) [P^{bba}(ki, t)]$: $SE(k)$ 의 i 번 입력포트

의 버퍼모듈이 t_d 동안에 패킷을 받을 빈 공간이 있을 확률. 이 때에는 이 버퍼를 향한 한 [두] 개의 블럭된 패킷이 있다고 가정한다.

- $X_n^h(ki, t)$ [$X_n^l(ki, t)$]: $SE(k)$ 의 i 번 입력포트의 버퍼모듈에서 위쪽 [아래쪽] 출력 포트로부터 향한 보통 패킷이 블럭될 확률
- $X_b^h(ki, t)$ [$X_b^l(ki, t)$]: $SE(k)$ 의 i 번 입력포트의 버퍼모듈에서 위쪽 [아래쪽] 출력 포트로부터 향한 블럭된 패킷이 블럭될 확률
- $T(ki, t)$: $SE(k)$ 의 i 번 입력포트의 버퍼모듈이 패킷을 받을 확률. 다시 말해서 $SE(k-1)$ 의 대응되는 출력포트로부터 패킷이 전송될 확률.
- $SP_n(ki, t)$: 모든 $P_{nu}(ki, t)$ 의 합.
- $SP_b(ki, t)$: 모든 $P_{bu}(ki, t)$ 의 합.

$r_{nn}(k, t)$, $r_{nb}(k, t)$, $r_n(k, t)$, $r_{bn}(k, t)$, $r_{bb}(k, t)$, $r_b(k, t)$ 등은 모두 가장 오래된 패킷의 경우에만 고려된다. 그리고 $P^{na}(ki, t)$, $P^{ba}(ki, t)$, $P^{bba}(ki, t)$ 등은 버퍼 모듈에 대해서 고려된다.

2.4 변수 계산

정의에 의하여 $SP_b(ki, t)$ 와 $SP_n(ki, t)$ 는 각각 $P_{bu}(ki, t)$ 와 $P_{nu}(ki, t)$ 의 합으로 구해진다.

$$SP_n(ki, t) = \sum_{u=1}^m P_{nu}(ki, t)$$

$$SP_b(ki, t) = \sum_{u=1}^m P_{bu}(ki, t)$$

$r_{nn}^h(ki, t)$, $r_{nn}^l(ki, t)$, $r_{nb}^h(ki, t)$ 와 $r_{nb}^l(ki, t)$ 는 다음과 같이 구해진다. $RXC = (1 - r_x(ki^c, t))$, $RX = (1 - r_x(ki, t))$, $RC = (1 - r(ki^c))$, $R = (1 - r(ki))$ 로 가정한다.

$$r_{nn}^h(ki, t) = r(ki)P_0(ki^c, t) + [0.5r(ki)r(ki^c) + r(ki)RC]SP_n(ki^c, t) + r(ki)RXC \times SP_b(ki^c, t)$$

$$r_{nn}^l(ki, t) = R \times P_0(ki^c, t) + [0.5R \times RC + R \times r(ki^c)]SP_n(ki^c, t) + R \times r_x(ki^c, t)SP_b(ki^c, t)$$

$$r_{nb}^h(ki, t) = 0.5r(ki)r_x(ki^c, t)SP_b(ki^c, t)$$

$$r_{nb}^l(ki, t) = 0.5R \times RXC \times SP_b(ki^c, t)$$

버퍼모듈이 다 차있지 않을 확률 ($\overline{P(k, t)}$)은 다음과 같다.

$$\overline{P(ki, t)} = 1 - P_{nm}(ki, t) - P_{bm}(ki, t)$$

패킷의 버퍼모듈이 상태 b_u 에 있다면 목적지의 버퍼모듈은 상태 n_u 나 b_u 에 있어야 한다. 이 상황을 더 자세히 고려해보면 이전의 시간슬롯에서 패킷을 받았다면 그 버퍼모듈은 상태 $n_u(ki, t)$ ($1 \leq u \leq m$)나 $b_u(ki, t)$ ($2 \leq u \leq m$)에 있게 된다. 패킷을 받지 않았다면 상태 b_m 에 있게 된다. 그러므로 $P^{ba}(ki, t)$ 는 다음과 같다.

$$P^{ba}(ki, t) = T(ki, t-1) \times A + [1 - T(ki, t-1)] \frac{P_{bm}(ki, t)r_b(ki, t)}{P_{bm}(ki, t)}$$

여기에서 A 는 아래와 같다.

$$A = \frac{\sum_{u=1}^m P_{nu}(ki, t) + \sum_{u=2}^m P_{bu}(ki, t) + P_{nm}(ki, t)r_n(ki, t) + P_{bm}(ki, t)r_b(ki, t)}{1 - P_0(ki, t) - P_{b1}(ki, t)}$$

$P^{na}(ki, t)$ 도 같은 방법으로 얻어진다.

$$P^{na}(ki, t) = T(ki, t-1) \times A + [1 - T(ki, t-1)] \times B$$

여기에서 B 는 아래와 같다.

$$B = \frac{P_0(ki, t) + \sum_{u=1}^{m-1} P_{nu}(ki, t) + \sum_{u=1}^{m-1} P_{bu}(ki, t) + P_{bm}(ki, t)r_b(ki, t)}{1 - P_{nm}(ki, t)}$$

패킷이 다음 단으로 이동하기 위해서는 먼저 원하는 출력포트로 갈수 있어야 하고 또한 목적지의 버퍼가 가용해야 한다. 그러므로 $r_n(ki, t)$ 는 다음과 같다.

$$r_n(ki, t) = r_{nm}^h(ki, t)P^{na}((k+1)e, t) + r_{nb}^h(ki, t)P^{ba}((k+1)e, t) + r_{nm}^l(ki, t)P^{na}((k+1)f, t) + r_{nb}^l(ki, t)P^{ba}((k+1)f, t)$$

$r_{bn}^h(ki, t)$, $r_{bn}^l(ki, t)$, $r_{bb}^h(ki, t)$ 와 $r_{bb}^l(ki, t)$ 는 다음과 같이 구해진다.

$$r_{bn}^h(ki, t) = r_x(ki, t)P_0(ki^c, t) + [0.5r_x(ki, t)r(ki^c) + r_x(ki, t)RC]SP_n(ki^c, t)$$

$$r_{bn}^l(ki, t) = RX \times P_0(ki^c, t) + [0.5RX \times RC + RX \times r(ki^c)]SP_n(ki^c, t)$$

$$r_{bb}^h(ki, t) = 0.5r_x(ki, t)r_x(ki^c, t)SP_b(ki^c, t) + r_x(ki, t)RXC \times SP_b(ki^c, t)$$

$$r_{bb}^l(ki, t) = 0.5RX \times RXC \times SP_b(ki^c, t) + RX \times r_x(ki^c, t)SP_b(ki^c, t)$$

$P^{ba}(k, t)$ 는 다음과 같다.

$$P^{ba}(ki, t) = \frac{P_{bm}(ki, t)r_b(ki, t)}{P_{bm}(ki, t)} = r_b(ki, t)$$

$r_b(ki, t)$ 는 다음과 같다.

$$r_b(ki, t) = r_{bn}^h(ki, t)P^{ba}((k+1)e, t) + r_{bb}^h(ki, t)P^{ba}((k+1)e, t) + r_{bn}^l(ki, t)P^{ba}((k+1)f, t) + r_{bb}^l(ki, t)P^{ba}((k+1)f, t)$$

k단의 i번 입력포트의 버퍼가 이전의 단의 교환요소의 위쪽 출력포트에 연결되어 있다면, ($2 \leq k \leq n$)일 때 이 입력포트에서의 수율 $T(ki, t)$ 은 다음과 같다.

$$T(ki, t) = SP_n((k-1)g, t)r_n^h((k-1)g, t) + SP_n((k-1)g^c, t)r_n^h((k-1)g^c, t) + SP_b((k-1)g, t)r_b^h((k-1)g, t) + SP_b((k-1)g^c, t)r_b^h((k-1)g^c, t)$$

k단의 i번 입력포트의 버퍼가 이전의 단의 교환요소의 아래쪽 출력포트에 연결되어 있다면, ($2 \leq k \leq n$)일 때 이 입력포트에서의 수율은 다음과 같다.

$$T(ki, t) = SP_n((k-1)g, t)r_n^l((k-1)g, t) + SP_n((k-1)g^c, t)r_n^l((k-1)g^c, t) + SP_b((k-1)g, t)r_b^l((k-1)g, t) + SP_b((k-1)g^c, t)r_b^l((k-1)g^c, t)$$

또한 수율을 다음과 같이 표현할 수도 있다.

$$T(ki, t) = q(ki, t)[\overline{P(ki, t)} + P_{nm}(ki, t)r_n(ki, t) + P_{bm}(ki, t)r_b(ki, t)] \quad (1 \leq k \leq n)$$

$q(ki, t)$ ($2 \leq k \leq n$)는 다음과 같이 구해진다.

$$q(ki, t) = \frac{T(ki, t)}{P(ki, t) + P_{nm}(ki, t)r_n(ki, t) + P_{bm}(ki, t)r_b(ki, t)}$$

2.5 경계조건

처음 단보다 전단은 없으므로 $q(1i, t)$ 는 네트워크의 입력단에 주어진 트래픽 부하로 주어져야 한다. 마지막 단에서 한 SE의 두개의 버퍼는 블럭된 상태에 있을 수 없으므로 $r_n(ni, t)$ 와 $r_b(ni, t)$ 는 다음과 같이 계산된다.

$$r_n(ni, t) = r_{nn}^h(ni, t) + r_{nn}^l(ni, t) + r_{nb}^h(ni, t) + r_{nb}^l(ni, t)$$

$$r_b(ni, t) = r_{bn}^h(ni, t) + r_{bn}^l(ni, t)$$

2.6 상태식

상태식을 얻기 위해서는 먼저 $X_n^h(ki, t)$, $X_n^l(ki, t)$, $X_b^h(ki, t)$, $X_b^l(ki, t)$ 들을 구해야 한다.

$$\begin{aligned}
 X_n^h(ki, t) &= r_{nn}^h(ki, t)(1 - P^{na}((k+1)e, t)) \\
 &+ r_{nb}^h(1 - P^{ba}((k+1)e, t)) \\
 &+ 0.5r(ki)r(ki^c)SP_n(ki^c, t) \\
 &+ 0.5r(ki)r_x(ki^c, t)SP_b(ki^c, t)
 \end{aligned}$$

$$\begin{aligned}
 X_b^h(ki, t) &= r_{bn}^h(ki, t)(1 - P^{ba}((k+1)e, t)) \\
 &+ r_{bb}^h(ki, t)(1 - P^{ba}((k+1)e, t)) \\
 &+ 0.5r_x(ki, t)r(ki^c)SP_n(ki^c, t) \\
 &+ 0.5r_x(ki, t)r_x(ki^c, t)SP_b(ki^c, t)
 \end{aligned}$$

$$\begin{aligned}
 X_n^l(ki, t) &= r_{nn}^l(ki, t)(1 - P^{na}((k+1)e, t)) \\
 &+ r_{nb}^l(ki, t)(1 - P^{ba}((k+1)e, t)) \\
 &+ 0.5R \times RC \times SP_n(ki^c, t) \\
 &+ 0.5R \times RXC \times SP_b(ki^c, t)
 \end{aligned}$$

$$\begin{aligned}
 X_b^l(ki, t) &= r_{bn}^l(ki, t)(1 - P^{ba}((k+1)e, t)) \\
 &+ r_{bb}^l(ki, t)(1 - P^{ba}((k+1)e, t)) \\
 &+ 0.5RX \times RC \times SP_n(ki^c, t) \\
 &+ 0.5RX \times RXC \times SP_b(ki^c, t)
 \end{aligned}$$

$X_n^h(ni, t)$, $X_n^l(ni, t)$, $X_b^h(ni, t)$, $X_b^l(ni, t)$ 은 다음과 같다.

$$\begin{aligned}
 X_n^h(ni, t) &= 0.5r(ni)r(ni^c)SP_n(ni^c, t) \\
 &+ 0.5r(ni)r_x(ni^c, t)SP_b(ni^c, t)
 \end{aligned}$$

$$\begin{aligned}
 X_n^l(ni, t) &= 0.5(1 - r(ni))(1 - r(ni^c))SP_n(ni^c, t) \\
 &+ 0.5(1 - r(ni))(1 - r_x(ni^c, t))SP_b(ni^c, t)
 \end{aligned}$$

$$X_b^h(ni, t) = 0.5r_x(ni, t)r(ni^c)SP_n(ni^c, t)$$

$$X_b^l(ni, t) =$$

$$0.5(1 - r_x(ni, t))(1 - r(ni^c))SP_n(ni^c, t)$$

따라서 상태식은 다음과 같이 구해진다.

$$\begin{aligned}
 P_0(ki, t+1) &= [1 - q(ki, t)][P_0(ki, t) \\
 &+ r_n(ki, t)P_{m1}(ki, t) + r_b(ki, t)P_{b1}(ki, t)]
 \end{aligned}$$

$$\begin{aligned}
 P_{m1}(ki, t+1) &= q(ki, t)P_0(ki, t) \\
 &+ q(ki, t)r_n(ki, t)P_{m1}(ki, t) \\
 &+ q(ki, t)r_b(ki, t)P_{b1}(ki, t) \\
 &+ [1 - q(ki, t)][r_n(ki, t)P_{n2}(ki, t) \\
 &+ r_b(ki, t)P_{b2}(ki, t)]
 \end{aligned}$$

$$\begin{aligned}
 P_{b1}(ki, t+1) &= [1 - q(ki, t)][(1 - r_n(ki, t)) \\
 &P_{m1}(ki, t) + (1 - r_b(ki, t))P_{b1}(ki, t)]
 \end{aligned}$$

다음 식들은 ($2 \leq u \leq m-1$) 일 때 성립한다.

$$\begin{aligned}
 P_{nu}(ki, t+1) &= q(ki, t)r_n(ki, t)P_{nu}(ki, t) \\
 &+ q(ki, t)r_b(ki, t)P_{bu}(ki, t) \\
 &+ (1 - q(ki, t))[r_n(ki, t)P_{n(u+1)}(ki, t) \\
 &+ r_b(ki, t)P_{b(u+1)}(ki, t)]
 \end{aligned}$$

$$\begin{aligned}
 P_{bu}(k, t+1) &= (1 - q(k, t))[(1 - r_n(k, t))P_v(k, t) \\
 &+ (1 - r_b(k, t))P_{bu}(k, t)] \\
 &+ q(k, t)[(1 - r_n(k, t))P_{n(u-1)}(k, t) \\
 &+ (1 - r_b(k, t))P_{b(u-1)}(k, t)]
 \end{aligned}$$

버퍼모듈이 다 차 있을 때는 다음의 식들이 성립한다.

$$\begin{aligned}
 P_{nm}(ki, t+1) &= q(ki, t)r_n(ki, t)P_{nm}(ki, t) \\
 &+ q(ki, t)r_b(ki, t)P_{bm}(ki, t)
 \end{aligned}$$

$$\begin{aligned}
 P_{bm}(ki, t+1) &= q(ki, t)[(1 - r_n(ki, t))P_{n(m-1)}(ki, t) \\
 &+ (1 - r_b(ki, t))P_{b(m-1)}(ki, t)] \\
 &+ (1 - r_n(ki, t))P_{nm}(ki, t) \\
 &+ (1 - r_b(ki, t))P_{bm}(ki, t)
 \end{aligned}$$

2.7 $r(ki)$ 의 계산

$r(ki)$ 의 값은 Lin과 Kleinrock의 논문에서의 r_{ij} 를 구하기 위한 변환방법(Transformation Method)을 사용하여 구해진다 [2]. 이 방법은 메모리 액세스 패턴을 라우팅 확률로 변환하는 방법이다. 그러므로 시간 t 에 관계없이 일정한 값을 갖는다. 예를들어 3단의 다단상호연결네트워크에서 네트워크의 입력포트 0로 연결된 프로세싱 요소가 출력포트 0에 연결된 메모리 모듈 0를 액세스 하려는 확률이 A_0 라면 이는 (제1단에서 위로 가려는 확률) \times (제2단에서 위로 가려는 확률) \times (제3단에서 위로 가려는 확률) 일 것이다. 즉, $A_0 = r_{11} \times r_{21} \times r_{31}$ 이다. 마찬가지로 메모리 모듈 1을 액세스하려는 확

를 A_1 은 (제1단에서 위로 가려는 확률) \times (제2단에서 위로 가려는 확률) \times (제3단에서 아래로 가려는 확률)일 것이다. 즉, $A_1 = r_{11} \times r_{21} \times (1 - r_{31})$ 이다. 이 두식으로부터 r_{31} 을 구할 수 있다.

$$r_{31} = \frac{A_0}{A_0 + A_1}$$

마찬가지로 나머지 r_{ij} 도 다음과 같이 구해진다.

$$r_{32} = \frac{A_2}{A_2 + A_3}$$

$$r_{33} = \frac{A_4}{A_4 + A_5}$$

$$r_{34} = \frac{A_6}{A_6 + A_7}$$

$$r_{21} = \frac{A_0 + A_1}{A_0 + A_1 + A_2 + A_3}$$

$$r_{22} = \frac{A_4 + A_5}{A_4 + A_5 + A_6 + A_7}$$

$$r_{11} = \frac{A_0 + A_1 + A_2 + A_3}{A_0 + A_1 + A_2 + A_3 + A_4 + A_5 + A_6 + A_7}$$

따라서 $r(1i) = r_{11} (i=0 \sim 7)$, $r(2i) = r_{21} (i=0 \sim 3)$, $r(2i) = r_{21} (i=4 \sim 7)$, $r(3i) = r_{31} (i=0, 1)$, $r(3i) = r_{32} (i=2, 3)$, $r(3i) = r_{33} (i=4, 5)$, $r(3i) = r_{34} (i=6, 7)$ 가 된다.

2.8 수율과 전달지연시간

마지막단의 출력포트 i 가 교환요소의 위쪽 출력포트라면 이 출력포트에서의 수율은 다음과 같다.

$$\begin{aligned} TNET(i, t) = & SP_n(ng, t)r_n^h(ng, t) \\ & + SP_n(ng^c, t)r_n^h(ng^c, t) \\ & + SP_b(ng, t)r_b^h(ng, t) \\ & + SP_b(ng^c, t)r_b^h(ng^c, t) \end{aligned}$$

마지막단의 출력포트 i 가 교환요소의 아래쪽 출력포트라면 이 출력포트에서의 수율은 다음과

같다.

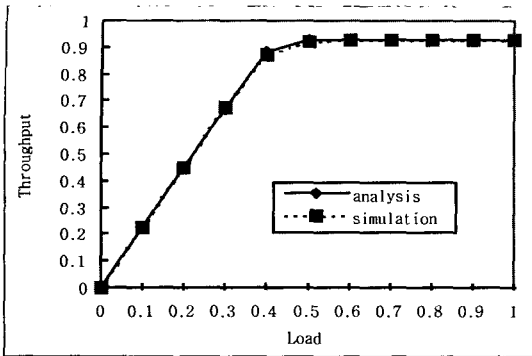
$$\begin{aligned} TNET(i, t) = & SP_n(ng, t)r_n^l(ng, t) \\ & + SP_n(ng^c, t)r_n^l(ng^c, t) + SP_b(ng, t)r_b^l(ng, t) \\ & + SP_b(ng^c, t)r_b^l(ng^c, t) \end{aligned}$$

정상상태에서의 k 단의 i 입력포트에서 발생하는 전달지연시간은 리틀의 식을 이용해 계산된다[4].

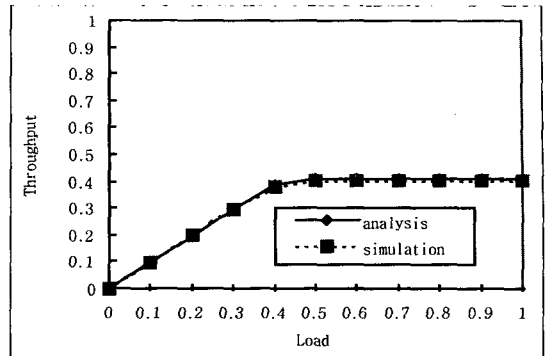
3. 실험 및 결과

본 논문에서 구해진 모델의 정확성을 입증하기 위하여 해석적모델로부터 얻어진 값과 시뮬레이션에서 얻어진 값과 비교하였다. 시뮬레이션에서는 95%의 신뢰도 구간을 사용하였다. 네트워크의 크기는 64×64 에서 구하였다. 즉, 6개의 단으로 구성되어 있다. 버퍼의 크기는 복수개의 버퍼에서 구하였다. 각 프로세서에 걸린 트래픽 부하는 0에서부터 1일때(즉, 항상 패킷이 있을 때)까지 구할 수 있다. 비균일트래픽에서도 가장 연구가 많이되고 있는 핫스팟 트래픽을 입력시켰다. 즉, 첫번째 메모리 모듈이 0.035의 확률로 액세스되고 나머지 메모리 모듈들은 균등하게 액세스될 때(즉, $0.965/63=0.0153$)이다. 즉, 첫번째 메모리 모듈은 다른 메모리 모듈보다 2배 이상의 확률로 비균일하게 더 많이 액세스됨을 의미한다.

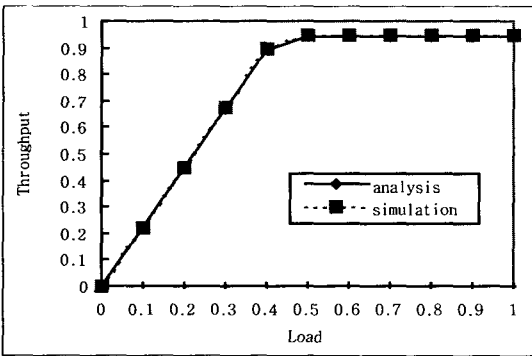
그림 2와 3은 버퍼의 크기가 2일 때, 즉 두 개의 패킷을 저장할 수 있을 때의 결과이며 그림 4와 5는 버퍼의 크기가 4일 때의 결과이다. 트래픽 부하는 0에서부터 0.1씩 증가시켜 1까지 증가시켜 보았다. 모든 경우에서 해석적 모델로부터의 결과는 시뮬레이션의 결과와 매우 근접하게 일치하고 있다. 결론적으로 본 논문에서 구해진 모델은 YLL 모델보다 어떤 크기의 네트워크 크기 및 버퍼크기 그리고 트래픽 부하에서도 정확하므로 실용적 크기의 MIN의 성능에 대한 정확한 척도를 제공하고 있다.



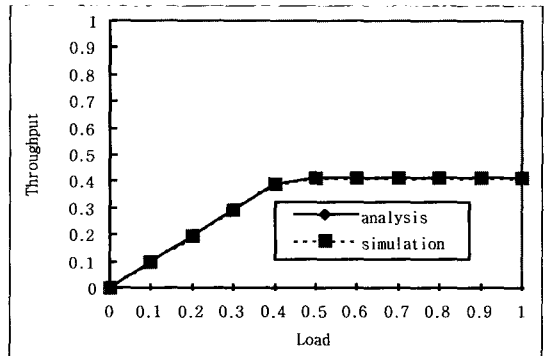
(그림 2) 버퍼크기가 2일 때 첫 번째 메모리 모듈의 출력



(그림 3) 버퍼크기가 2일 때 나머지 메모리 모듈의 출력



(그림 4) 버퍼크기가 4일 때 첫 번째 메모리 모듈의 출력



(그림 5) 버퍼크기가 4일 때 나머지 메모리 모듈의 출력

4. 결론

다단상호연결네트워크의 성능평가에서 정확한 결과를 얻기 위하여서는 연속된 단간 그리고 인접한 시간슬롯간의 패킷 이동의 상관관계를 효과적으로 묘사하는 것이 필요하다. 또한 좀더 현실적인 경우를 반영하기 위하여 비균일트래픽하에서의 성능을 정확하게 나타낼 수 있는 복수버퍼 모델이 필요하다. 본 논문에서는 블럭상태를 효과적으로 도입함으로써 비균일트래픽 상황하에서의 복수개의 입력버퍼를 가진 다단상호연결네트워크의 성능을 상대적으로 간결하면서도 정확하게 나타내는 모델을 제시하였다. 제시된 모델의 정확성을 입증하기 위하여 시뮬레이션으로부터의 결과와 비교하였다. 트래픽 부하는 가장 작은 0서부터 가장 큰 1까지 0.1 단위씩 증가시켜 그 때마다 결과

를 구하였다. 버퍼의 크기는 버퍼의 크기가 4까지 변화시켰다. 4까지만 증가시킨 것은 어느 크기 이상으로 버퍼의 크기를 증가시키는 것은 추가적으로 얻어지는 수율이 작기 때문에 실용적이지 않기 때문이다.

성능평가결과 이러한 여러가지 다양한 조건하에서도 결과가 매우 정확하게 나타났다. 시뮬레이션 결과와의 비교에서 볼 때 네트워크의 크기나 버퍼의 크기 그리고 트래픽 크기의 변화에 관계없이 항상 정확한 결과를 보여주었다. 또한 다른 네트워크 구조에 적용하기 위하여 쉽게 변형될 수 있을 것으로 예상된다.

참고문헌

[1] Y. Mun and H.Y. Youn, "Performance analysis

- of finite buffered multistage interconnection networks," IEEE Trans. Comput., Vol. C-43, No. 2, pp. 153~162, Feb. 1994.
- [2] T. Lin and L. Kleinrock, "Performance analysis of finite-buffered multistage interconnection networks with a general traffic pattern," in Proc. 1991 ACM SIGMETRICS Conf., pp. 68~78, May 1991.
- [3] H.S. Kim and A. Leon-Garcia, "Performance of buffered banyan networks under nonuniform traffic pattern," IEEE Trans. Commun. Vol. COM-38, No. 5, pp. 648~658, May 1990.
- [4] D.C. Little, "A proof of the queueing formula $L = \lambda W$ " Operations Res., Vol. 9, pp. 383~387, 1961.
- [5] H.Y. Youn and C. Chevli, "Local hot spot control with bypassing for multistage interconnection networks," Proc. the 1991 Symp. on Applied Computing, pp. 273~282, April 1991.
- [6] S.L. Scott and G.S. Sohi, "Using feedback to control tree saturation in multistage interconnection networks," Proc. the 16th Annual Int'l Symp. on Computer Archit., pp. 167~176, 1989.
- [7] C.P. Kruskal and M. Snir, "The performance of multistage interconnection networks for multiprocessors," IEEE Trans. Comput., Vol. C-32, pp. 1091~1098, Dec. 1983.
- [8] M. Kumar and J.R. Jump, "Performance of unbuffered shuffle-exchange networks," IEEE Trans. Comput., Vol. C-35, pp. 573~578, June 1986.
- [9] T. Szymanski and S. Shaikh, "Markov chain analysis of packet-switched banyans with arbitrary switch lines, queue lines, link multiplicities and speedups," Proc. IEEE INFOCOM '89, pp. 960~971, April 1989.

● 저 자 소 개 ●



문 영 성

1983년 연세대학교 전자공학과 졸업(학사)
 1986년 알버타대학교 대학원 전자공학과 졸업(석사)
 1999년 텍사스대학교 대학원 컴퓨터학과 졸업(박사)
 1994년~현재 : 송실대학교 컴퓨터학부 부교수
 관심분야 : Mobile IP, IPv6, GRID, QoS, 성능분석, 이동단말 인증, Honeypot
 E-mail : mun@computing.ssu.ac.kr