

AAL 유형 2 셀 스위칭을 지원하는 ATM 스위치의 성능 평가 및 AAL 유형 2 스위치 모듈의 FPGA 구현

The Performance Evaluation of an ATM Switch supporting AAL Type 2 cell Switching and The FPGA Implementation of AAL Type 2 Switch Module

손 승 일*
Seung-il Sonh

요 약

본 논문에서는 네트워크가 많은 endpoint를 가질지라도 낮은 비트율의 데이터를 효율적으로 전송할 수 있는 AAL 유형 2 스위치를 포함하는 ATM 스위치 구조를 제안한다. 컴퓨터 프로그램으로 모델링한 ATM 스위치는 AAL 유형 1, AAL 유형 2, AAL 유형 3/4 및 AAL 유형 5 셀로 이루어진 모든 유형의 AAL 셀에 대해 셀 스위칭을 지원하고 있다. 우리는 2가지 방식의 스위치를 제안하고 있는데, 하나는 개별적인 입력 포트마다 AAL 유형 2 셀 처리를 지원하는 스위치 패브릭이고, 다른 하나는 모든 입력 포트에 대한 전체적인 AAL2 셀 처리를 지원하는 스위치 패브릭이다. 시뮬레이션 결과는 후자의 방식이 전자의 방식보다 우수한 것으로 나타났다. 그러나, 전자의 방식이 구현이 용이하고, 확장성에 대한 장점을 가지고 있다. 따라서 본 논문에서는 전자의 방식을 채용한 AAL 유형 2 스위치 모듈을 VHDL 언어를 사용하여 설계하였으며, 이를 FPGA로 구현하였다. 설계된 칩은 52MHz에서 동작하였다. 본 논문의 ATM 스위치 패브릭은 범용의 ATM 스위치 패브릭으로서 뿐만 아니라 ATM 네트워크 상으로 모바일 통신, 현대의 서비스 및 무선 ATM등에 폭넓게 응용될 것으로 사료된다.

Abstract

In this paper, we propose ATM switch architecture including AAL type 2 switch which can efficiently transmit low-bit rate data, even if the network has many endpoints. We simulate the architecture of ATM switch fabric that is modeled in computer program and analyze the performance according to offered loads. ATM switch proposed in this paper can support cell switching for all types of AAL cells which consist of AAL type 1, AAL type 2, AAL type 3/4 and AAL type 5 cells. We propose two switch fabric methods; One supports the AAL type 2 cell processing per input port, the other global AAL type 2 cell processing for every input port. The simulation results show that the latter is superior to the former. But the former has a merit for easy implementation and extensibility. In this paper, the AAL Type 2 switch module which adapts the former method is designed using VHDL language and implemented in FPGA chip. The designed AAL Type 2 switch module operates at 52MHz. The proposed ATM switch fabric is widely applicable to mobile communication, narrow band services over ATM network and wireless ATM as well as general ATM switching fabric.

Keyword : ATM Switch, AAL Type 2, VOQ, FPGA

1. 서론

ATM(Asynchronous Transfer Mode)은 데이터, 비디오, 음성 등과 같은 다양한 트래픽을 전송하는 차세대 멀티미디어 모바일 통신 시스템인 IMT-

2000에서 응용될 수 있을 것으로 예견되는 분야이다.[1]~[4] ATM 기술은 망 자원의 이용 및 다양한 서비스 제공이 매우 효율적이라는 장점을 가진다. 그러나, 기존의 AAL 유형들로는 저속의 짧은 가변길이의 패킷을 사용하는 서비스를 지원하는 것에는 오히려 비효율적이었다.[5] AAL 유형 2는 저속이면서 짧은 가변의 길이를 가지는

* 정 회 원 : 한신대학교 정보통신학과 부교수
saisonh@hanshin.ac.kr(제1저자)

패킷들을 사용하며 지연에 민감한 특성을 가지는 응용들을 대역폭 활용의 효율성 제고 및 처리지연의 감소를 지원하기 위해 만들어 졌다.[6,7] 따라서, AAL 유형 2는 이것을 만든 목적중의 하나이기도 했던 Wireless ATM(WATM)의 지원뿐만 아니라 위성통신, ATM 망을 통한 협대역(Narrow Band) 서비스들의 지원에 널리 사용될 것이 예상된다.[5]

AAL 유형 2는 하나의 VCC(Virtual Channel Connection)내에 복수의 AAL 2 채널(Channel)들을 다중화할 수 있게 함으로서 ATM 셀을 효율적으로 사용한다. 따라서 AAL 유형 2의 스위칭을 위해서는 기존의 ATM 셀 스위치 외에 추가적으로 ATM 셀 페이로드 내의 AAL 유형 2 CPS-Packet의 스위칭 처리가 필요해 졌다. 그러나 기존의 연구결과 AAL 유형 2의 스위칭 기능과 기존의 ATM 스위치 패브릭과의 연계성을 고려하지 않고, AAL 유형 2의 스위칭 패브릭에 대한 설계를 수행하고 있다.[1] 본 논문에서는 대용량의 AAL 유형 2 스위치를 포함하는 ATM 스위치의 구조를 제안하고 컴퓨터 시뮬레이션을 통해 성능 분석을 수행하였다. 본 논문에서의 시뮬레이션 결과를 바탕으로 AAL 유형 2 스위치를 FPGA를 이용하여 구현하였다.

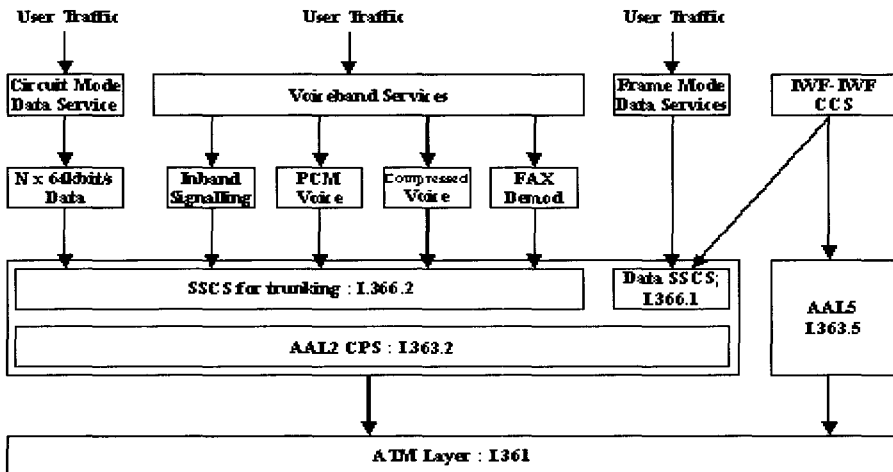
2. AAL유형 2 스위치의 동작 개요

2.1. AAL 유형 2를 이용한 응용분야

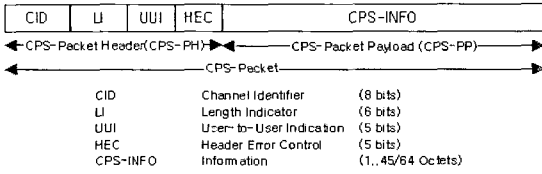
AAL 유형 2는 CPS(Common Part Sublayer)와 SSCS(Service Specific Convergence Sublayer)라는 서브계층으로 나뉜다. CPS는 서로 다른 SSCS 프로토콜들이 특정 AAL 유형 2 사용자 서비스 또는 그룹 서비스를 지원하기 위해 정의되었다.

그림 1은 다양한 서비스를 지원하는 AAL 유형 2를 보여주고 있다. AAL 유형 2 CPS 는 ATM 네트워크를 통해 하나의 CPS 사용자로부터 다른 CPS 사용자에게 CPS-SDU를 전송하는 기능을 제공한다. AAL 유형 2 CPS의 사용자는 SSCS 엔터티와 계층관리(Layer Management, LM)로 구성된다. 또한, CPS-SDU 데이터 전송, 다수의 AAL 유형 2 채널을 다중화 및 역다중화하는 서비스를 제공하며, 각각의 AAL 유형 2 채널에서 CPS-SDU 순서를 보전한다. 그러나 손실된 CPS-SDU는 재전송에 의해 복구되지 않는다.

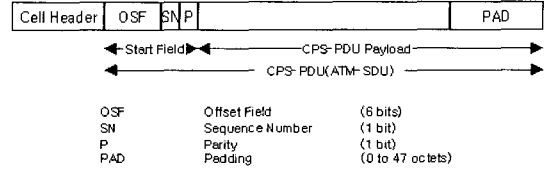
AAL 유형 2 프로토콜을 통해 아래와 같은 데이터 전송에 대해 효율적인 전송을 제공할 수 있다.[8]~[10] 모뎀을 통한 음성 데이터 전송, Demodulation/Remodulation을 통한 팩스 데이터 전송,



〈그림 1〉 AAL 유형 2 서비스를 지원하는 ATM 프로토콜



〈그림 2〉 AAL 유형 2 CPS-Packet의 구성



〈그림 3〉 CPS-PDU의 구성

Nx64kbps 채널에 대한 회로모드의 데이터 전송, DTMF(Dual Tone Multi-Frequency) 패킷을 통한 DTMF 정보 전송 및 SAR기능을 통한 프레임모드 데이터 전송 등에 효율적인 전송을 제공 가능하다.

구성된다. 48옥텟 CPS-PDU는 ATM-SDU이다. CPS-PDU 형식은 그림 3에 나타나 있다.

2.2. AAL 유형 2 CPS-PDU 포맷 및 어셈블리

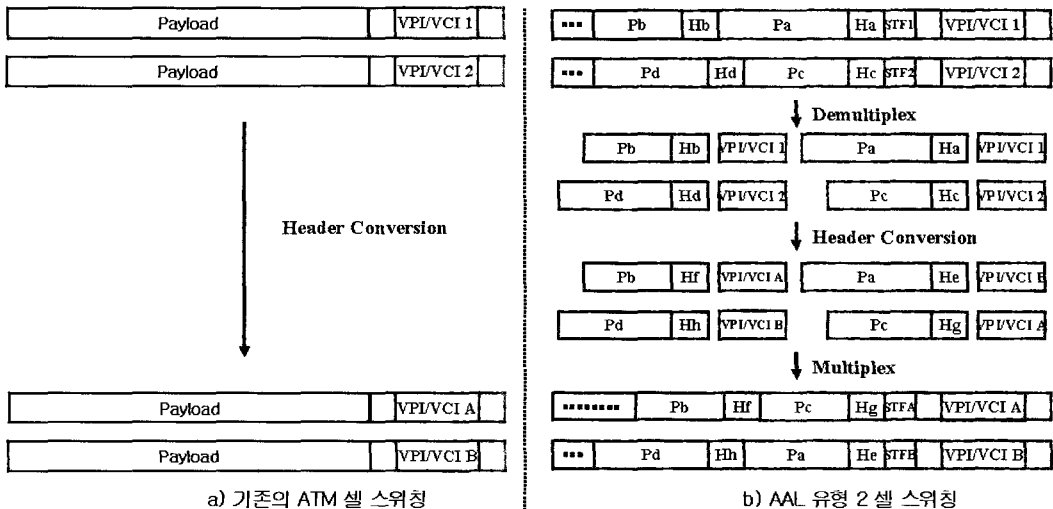
2.3. AAL 유형 2 셀 스위칭

CPS-Packet의 포맷과 CPS-Packet이 AAL 유형 2 CPS PDU에 패키징되는 과정을 설명한다. CPS-Packet은 3옥텟의 CPS-Packet Header (CPS-PH)와 연이은 CPS-Packet Payload(CPS-PP)로 구성된다. CPS-Packet의 포맷은 그림 2에 나타나 있다. CID(Channel Identifier)는 채널에서 AAL 유형 2 사용자를 식별한다.

CPS-Packet 헤더에 있는 CID는 ATM 헤더에서의 VCI(Virtual Channel Identifier)와 같은 방식으로 ATM 네트워크에서 스위칭할 수 있다. AAL 유형 2 스위치에서 AAL 유형 2 셀은 CPS 패킷으로 역다중화된 다음, 동일한 목적지를 갖는 CPS 패킷을 새로운 AAL 유형 2 셀로 할당한다. 전역 CID를 사용하여 소규모 네트워크에서는 단순 라우팅을 수행할 수 있다. 대규모의 네트워크를 다루기 위해서는 아래와 같은 과정으로 스위칭이 이루어진다.

LI(Length Indicator)는 6비트로 페이로드의 옥텟 길이를 이진 부호화하여 저장한다. CPS-PDU는 1 옥텟의 STF(Start Field)와 47옥텟의 페이로드로

ATM 스위치에서 AAL 유형 2를 같이 스위칭하지 않는 이유는 ATM 스위치는 VPI/ VCI 값을 스위칭 하나 AAL 유형 2는 그 외에도 CID 테이



〈그림 4〉 일반적인 ATM 셀과 AAL 유형2셀의 스위칭 비교

- 1) ATM 헤더에 있는 VPI, VCI와 CPS 패키지를 AAL 유형 2 셀로부터 얻는다.
- 2) VPI/VCI 및 CID를 새로운 VPI/VCI 및 CID로 변환한다.
- 3) 각 CPS 패키지의 HEC를 생성한다.
- 4) 동일한 목적지를 갖는 CPS 패키지들을 하나의 AAL 유형 2 셀로 할당한다.
- 5) 만약에 CPS 패키지가 두 부분으로 분할되어진다면(split), CSF의 값을 계산한다.

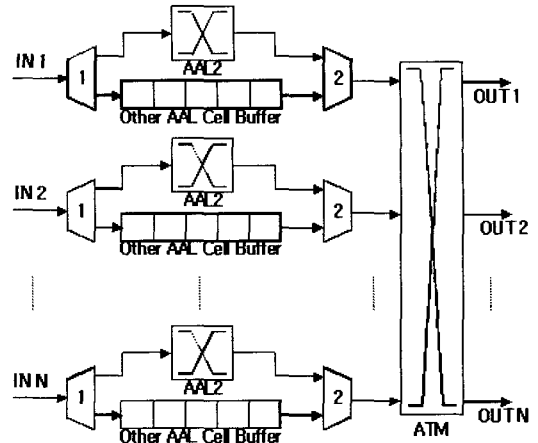
블도 스위칭 해줘야 하기 때문에 ATM 스위치 내부에 존재할 수가 없다. 그림 4는 ATM 셀 스위칭과 AAL 유형 2 셀 스위칭 과정을 보여주고 있다. a)는 ATM 셀 스위칭 과정을 보여주고 있다. ATM 스위치는 페이로드의 변화가 발생하지 않고 순수하게 VPI/VCI의 스위칭만 수행한다. b)는 AAL 유형 2 셀 스위칭의 예를 보여주고 있다. 그림에서 보이는 것과 같이 AAL 유형 2 스위치는 VPI/VCI의 스위칭 이외에도 페이로드에서 AAL 유형 2의 패키지를 분할하여 CID를 포함한 스위칭을 실시한 후 재조립하게 된다.

3. AAL 유형 2 스위치를 결합한 ATM 스위치의 구조 제안

본 논문에서 제안하는 ATM 스위치의 내부 구조는 VOQ(Virtual Output Queue) 방식[11,12]을 이용하고 중재 알고리즘으로는 iSLIP[13]~[15] 이용한 중재를 수행하여 전체적인 성능 평가를 수행하였다.

3.1. 제안 1

그림 5와 같이 AAL 유형 2 스위치는 ATM 스위치 외부에 존재하며 입력되는 셀중에서 AAL 유형 2 셀을 AAL 유형 2 스위치로 보내주어 스위칭 후 ATM 스위치로 보내어지게 되어있다. 디멀티플렉서1에서는 입력되어온 셀을 AAL 유형 2 셀과 다른 AAL 셀로 나누어 다른 AAL 셀은 Other AAL 셀 버퍼로 이동하고 AAL 유형 2 셀

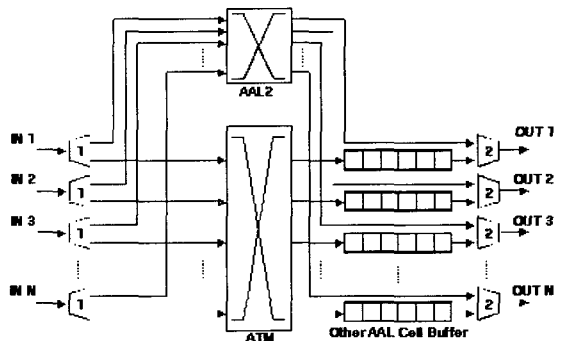


〈그림 5〉 AAL2를 포함하는 ATM 스위치의 구조(제안 1)

은 AAL 유형 2 스위치로 이동하여 스위칭하게 한다. 디멀티플렉서2는 AAL 유형 2 스위치에서 나온 셀에 우선권을 주어 AAL 유형 2 셀이 존재할 경우 AAL 유형 2 셀을 먼저 ATM 스위치로 보내어 스위칭 하게 된다.

3.2. 제안 2

위의 제안 1은 VOQ의 입력단에 Other AAL 셀 버퍼를 두어서 입력단에서 AAL 유형 2 스위치에서 나온 AAL 유형 2 셀과 경합 후 VOQ로 입력되게 되어있고 각 입력단별로 AAL 유형 2 스위치를 두게끔 되어있는 반면 제안 2는 그림 6과 같이 각 포트에서 입력되어온 셀이 디멀티플렉서



〈그림 6〉 AAL2를 포함하는 ATM 스위치의 구조(제안 2)

1에 의해 AAL 유형 2 셀 일 경우 하나의 AAL 유형 2 스위치로 입력되어 스위칭 후 출력단의 멀티플렉서2에 입력되게 된다. 출력단의 멀티플렉서2는 AAL 유형 2 스위치를 거쳐 나온 셀에 우선권을 두어 AAL 유형 2 셀이 존재할 경우 AAL 유형 2 셀에 대해 서비스를 실시하고 다른 AAL 셀은 출력단 버퍼에서 잠시 대기후 AAL 유형 2 셀이 멀티플렉서2에 존재하지 않을 경우 출력단 밖으로 나가게 된다.

내부로 입력하여 주었다. 그리고 VOQ 입력단 버퍼, Other AAL 셀 버퍼 의 크기, AAL 유형 2 재조립 버퍼의 크기를 모두 256 셀 크기로 하여 성능평가를 실시하였다. AAL 유형 2 셀의 Offered Load를 증가시키며 Other AAL 셀 버퍼의 셀 손실률과 최대 크기를 확인하여 최적의 버퍼 크기를 도출해내고 AAL 유형 2 셀의 Offered Load 증가에 따른 VOQ 입력단 버퍼의 셀 손실률과 최대 버퍼 크기를 확인하여 두 제안에 대한 성능을 비교 하였다.

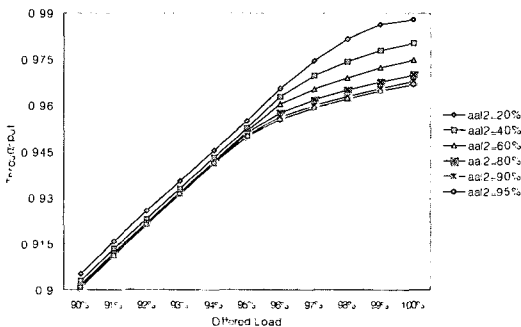
4. 제안한 ATM 스위치의 성능 분석

4.1. 컴퓨터 시뮬레이션 모델

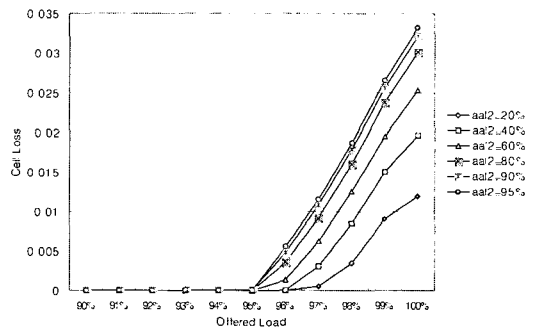
본 논문의 앞에서 제안한 제안 1, 제안 2의 스위치 모델을 컴퓨터를 이용하여 시뮬레이션 하였다. AAL 유형 2 스위치와 ATM 스위치, Offered Load가 가능한 트래픽 생성기를 C언어를 이용하여 설계하여 트래픽 생성기에서 생성된 트래픽을 AAL 유형 2 스위치 모듈과 ATM 스위치 모듈에 입력하여 성능을 측정하였다. 스위치의 포트는 8개의 포트에 하여 스위칭 하였다. 각 포트별로 10만 셀의 Idle 셀을 입력하여 스위칭 한 후 각 포트별로 100만 셀을 입력해주어 100만 셀에 대한 결과 값을 이용하여 분석하였으며, 셀의 상태는 Random Uniform 셀을 생성하여 스위치의

4.2. 제안 1을 적용한 성능평가 분석

ATM 스위치로 입력된 Offered Load별 AAL 유형 2의 Offered load를 각각 20, 40, 60, 80, 90, 95%로 입력해주었을 때의 성능을 그림 7에서 보여주고 있다. Offered Load가 증가됨에 따라 AAL 유형 2의 Offered Load별로 최종 전송률을 보여주고 있다. AAL 유형 2에 대해 AAL 유형 2 스위치가 스위칭한 후 ATM 스위치를 거쳐 출력 되는 방식으로 AAL 유형 2의 Offered Load가 증가 할 수록 전송률이 낮게 나타남을 확인할 수 있다. 그리고 AAL 유형 2 스위치를 거쳤을 때 AAL 유형 2 스위치의 위치에서 발생하는 오버헤드로 인해 95% 이상의 높은 Offered Load에서 전체적인 ATM 스위치의 전송률이 높지 않음을 확인하였다.



<그림 7> AAL 유형 2 셀의 offered load 별 ATM 스위치의 전송률(제안 1)



<그림 8> ATM 스위치의 AAL Type 2 스위치 Offered Load별 손실률(제안 1)

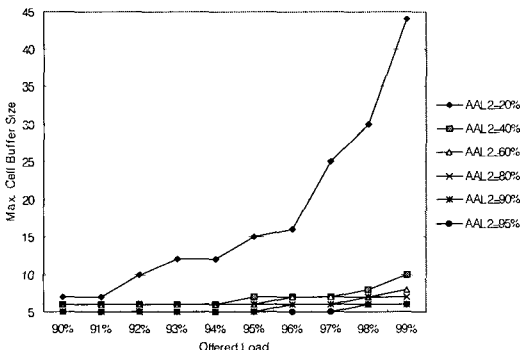
그림 8은 ATM 스위치로 입력된 Offered Load의 증가에 따른 셀 손실률을 보여주고 있다. AAL 유형 2 셀의 Offered Load를 증가시킴에 따라 ATM 스위치 셀 손실률이 증가함을 확인할 수 있다. 이는 AAL 유형 2 스위치의 대기시간에 의해서 AAL 유형 2 스위치로 입력되는 셀보다 출력되는 셀이 더 많아지기 때문이다.

그림 9는 Other AAL 셀 버퍼의 최대 크기를 보여주고 있다. 전체 스위치의 Offered Load가 증가함에 따른 Other AAL 셀 버퍼의 최대 버퍼 크기를 보여주고 있다. Other AAL 셀 버퍼의 이용률이 제안 2보다 낮게 나타남을 확인 하였다.

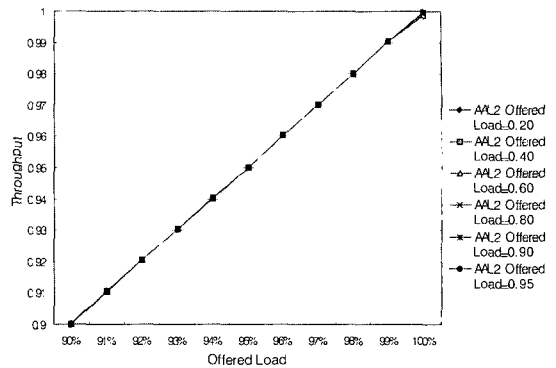
4.3. 제안 2를 적용한 성능평가 분석

제안 1에서의 조건을 같이하여 성능평가를 실시하였다. 그림 10은 ATM 스위치의 Offered Load의 증가에 따른 스위치모듈의 전송률을 나타내고 있다. 그리고 AAL 유형 2의 Offered Load를 증가시켰을 때의 성능을 나타내고 있다. 스위칭 결과가 이상적으로 나옴을 확인하였으나, 이는 패킷간의 경합이 입력이 아닌 출력단에서 행해지는 출력단 버퍼와 동일하게 처리되기 때문이다.

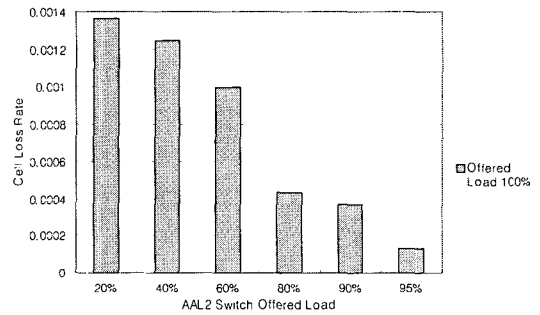
그림 11의 AAL 유형 2 스위치의 Offered Load에 따른 Other AAL 셀 버퍼의 셀 손실을 나타내고 있다. Other AAL 셀 버퍼의 셀 손실은 ATM



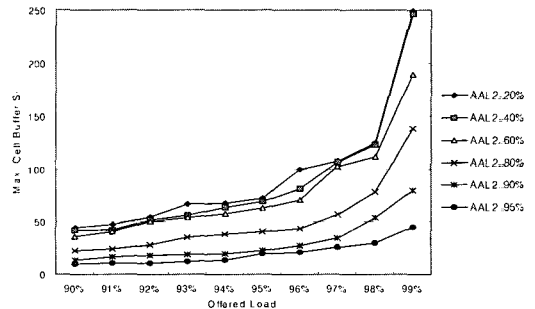
〈그림 9〉 Other AAL 셀 버퍼의 최대 크기(제안 1)



〈그림 10〉 AAL 유형2 셀의 offered load 별 ATM 스위치의 전송률(제안 2)



〈그림 11〉 AAL 유형 2의 offered load 별 Other AAL 셀 버퍼의 셀 손실률(제안 2)



〈그림 12〉 Other AAL 셀 버퍼의 최대 크기(제안 2)

스위치의 Offered Load가 100%에서 셀 손실을 가짐을 확인할 수 있었다. 제안 2는 AAL 유형 2 셀을 ATM 스위치에 입력시키지 않았기 때문에 ATM 스위치의 과부하를 막아 그림 10과 같은 이

상적인 전송률을 확인할 수 있었다. VOQ 입력단 버퍼 또한 AAL 유형 2 셀의 Offered Load가 증가할수록 버퍼의 이용률이 낮아짐을 확인하였다.

그림 12는 ATM 스위치 Offered Load의 증가에 따른 Other AAL 셀 버퍼의 최대 버퍼 크기를 나타내고 있다. Other AAL 셀 버퍼는 버퍼사이즈가 256셀 일때 ATM 스위치의 Offered Load가 99%일 때 까지 셀 손실이 발생하지 않음을 확인하였다. 그리고 AAL 유형 2 셀의 Offered Load가 증가할수록 Other AAL 셀 버퍼 또한 증가함을 확인하였다.

4.4. 제안 1과 제안 2의 성능 비교 분석

제안 1은 입력단에서 AAL 유형 2 셀에 대하여 각각의 포트별로 스위칭하여 VOQ로 입력하는 방식으로 AAL 유형 2 스위치의 제조립 버퍼의 셀 손실이 발생하지 않음을 확인하였다. 제안 2는 출력단 버퍼 방식으로 스위칭하게 됨으로 출력단의 버퍼의 비중이 커지게 된다. 그래서 제안 2의 Other AAL 셀 버퍼의 이용률이 제안 1보다 높게 나타나고, 설계시에도 버퍼의 크기를 크게 설정하여야 한다. 그림 13은 Other AAL 셀 버퍼의 비교를 보여주고 있다.

제안 1과 제안 2의 전송률을 95%까지의 로드를 증가시켜 성능평가할 경우 제안 1과 제안 2는 셀 손실이 발생하지 않고 스위칭이 가능함을 확

〈표 1〉 각 제안별 특징 비교

구분	제안 1	제안 2
특징	<ul style="list-style-type: none"> - AAL 2 스위치의 컴포넌트화 가능 - 확장성이 용이함 (스위치의 크기에 영향을 받지않음) - 작은 규모의 Other AAL 셀 버퍼 사용 (최대 44패킷) - 하나의 포트에 대한 스위칭으로 구현이 용이함 	<ul style="list-style-type: none"> - 출력단 버퍼방식으로 변형되어 버퍼의 이용률 증가 - 컴포넌트화 불가능 (새로운 모듈에 맞게 설계 필요) - AAL 2 스위치의 패킷 대기시간의 증가가 필요 - 포트가 증가할수록 설계모듈이 복잡해짐
검토	설계의 용이성과 모듈의 확장성에 있어서 장점을 가지는 제안 방법 1에 대한 VLSI 설계	

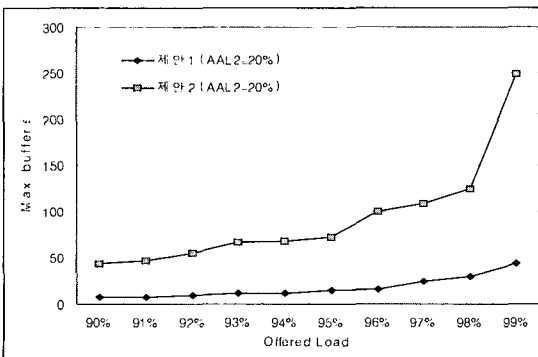
인하였다.

시뮬레이션에서 사용된 버퍼의 크기를 256 셀로 하였을 때 AAL 유형 2의 모든 Offered Load대해 제안 1은 95%까지 셀 손실이 발생하지 않음을 확인 하였고 제안 2는 98%까지 셀 손실이 발생하지 않음을 확인 하였다. 그림 13과 표 1에서 비교된 성능과 특징을 토대로 제안 1 방식의 모듈을 FPGA로 구현하였다.

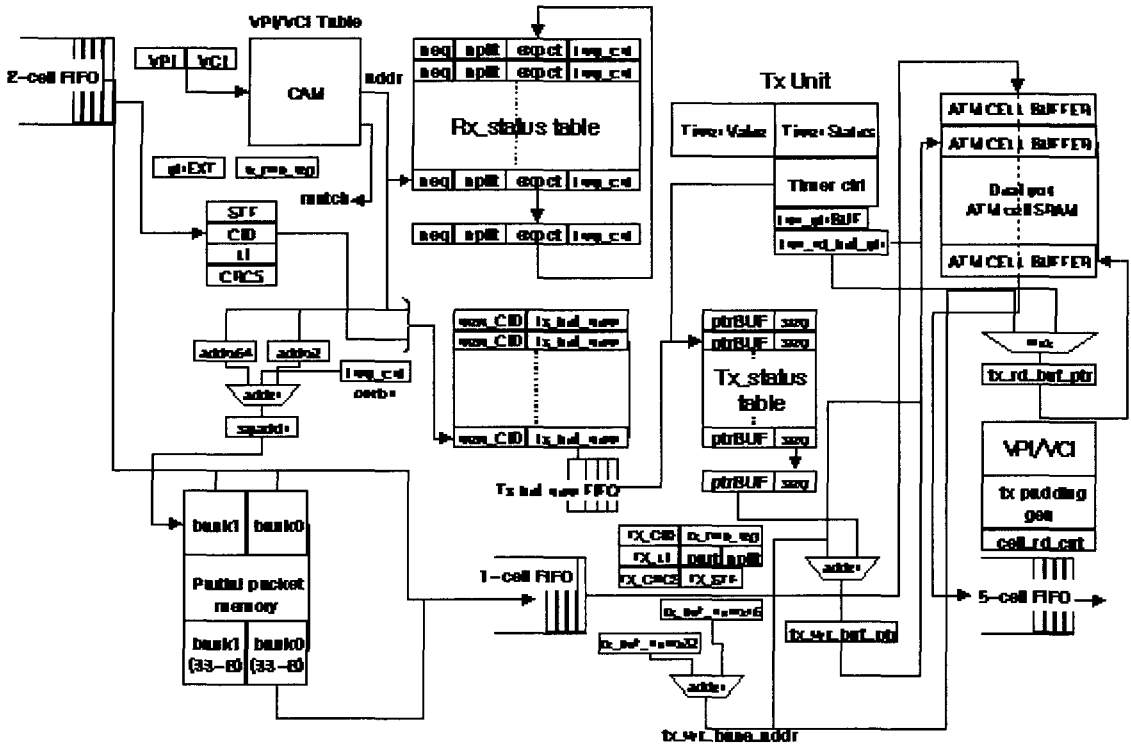
5. 제안 1의 AAL 유형 2 스위치 모듈 설계

본 논문에서 설계하는 ATM AAL 유형 2 스위치는 2개의 부분으로 구성되어 있는데, 하나는 AAL 유형 2 셀에 대한 수신부이고, 다른 하나는 제조립되는 AAL 유형 2 패킷을 전송하는 전송부이다. 그림 14은 ATM AAL 유형 2 스위치 패브릭에 대해 본 논문에서 구현한 전체 블록도이다.

전송단의 구성은 먼저 UTOPIA 프로토콜을 통해 물리적 계층으로부터 ATM 셀을 수신하여 버퍼링하는 2 ATM 셀을 저장할 수 있는 FIFO 블록과 매 셀 타임 슬롯마다 수신된 AAL 유형 2 셀을 처리하기 위해 수신된 VPI 및 VCI 정보와의 매칭여부를 판별하기 위해 현재 호(Call)가 설



〈그림 13〉 제안별 Other AAL 셀 버퍼의 비교



〈그림 14〉 AAL Type 2 스위치의 전체 블록도

정되어 있는 VPI/VCI 정보를 저장하고 있는 CAM(Content Addressable Memory) 블록, 그리고 수신되는 AAL 유형 2 패킷의 VPI/VCI 정보에 따라 수신 패킷의 재조립을 위해 필요한 정보를 관리하고 있는 Rx 상태 테이블(Rx Status Table), 또한 VPI/VCI 정보에 매칭이 발생하였을 경우 최종적인 CID를 번역하기 위하여 입력된 CID 정보와 매칭 주소를 사용하여 새로운 CID 값 및 해당되는 전송 버퍼 번호를 담고 있는 메모리 부분, 수신된 AAL 유형 2 패킷이 아직 완전한 패킷이 아니라 일부분만을 수신하였을 때, 부분적으로 수신된 AAL 유형 2 패킷을 저장하고 있다가 다시 나머지 패킷이 수신되었을 때 완전한 패킷을 전송단으로 보내기 위해 부분 패킷을 저장하고 있는 부분 패킷 메모리(Partial Packet Memory) 부와 완전한 패킷이 수신되었을 때 전송을 위해 전송단 ATM 셀 버퍼로 AAL 2 패킷을 전송하게 되는

데 전송단과 수신단 사이의 Rate matching을 위해 전송단과 수신단 사이에 패킷 버퍼링을 수행하는 1 셀 FIFO 및 각 패킷에 해당하는 tx_buf_num FIFO 부로 구성되어 있다. 그리고 수신단을 통해서 수신된 AAL 유형 2 패킷의 재조립을 위해 필요한 중간 단계에서 사용하는 ptrEXT 레지스터, 1 옥텟 rx_tmp_reg 레지스터, 수신된 CPS 패킷의 STF, CID, LI, 및 CRC5 레지스터가 존재한다. 또한 split 필드는 3 옥텟의 CPS 패킷 헤더가 수신되어야 전체적인 Rx 상태 테이블의 값을 설정할 수 있는데, 일부분의 CPS 패킷만을 수신하였을 경우에는 몇 옥텟의 헤더를 더 수신하여야 완전하는 CPS 패킷 헤더를 수신할 수 있는지의 여부를 알려주는 기능을 하는 필드이다. 그리고, tmp_cnt 필드는 완전한 CPS 패킷이 수신되지 않았을 경우에 CPS 패킷 헤더를 포함하여 관련된 CPS 패킷의 몇 옥텟이 현재 부분 패킷 메모리에 저장되어 있

는지 알려주는 필드이다. 그리고, `expct` 필드는 수신되고 있는 CPS 패킷중에서 사용자 정보(CPS-info)가 앞으로 몇 옥텟이 더 수신되어야 완전한 CPS 패킷을 구성할 수 있는지를 알려주는 부분이다. 추가적으로 부분 패킷 메모리에 대한 액세스 주소 `spaddr` 필드는 각각의 VPI/VCI 값에 따라 66 옥텟의 배수가 되도록 설계하였는데, 이는 ITU-T I.363.2의 권고안에서 AAL 유형 2의 최대 사용자 정보 길이가 45 옥텟 혹은 64 옥텟까지 지원하도록 하고 있다. `PtrEXT` 레지스터는 53 옥텟의 ATM 셀에 대해 5 옥텟의 헤더를 제외하며 48 옥텟의 ATM 페이로드에 대해 현재까지 처리된 옥텟의 수를 알려주는 역할을 한다. ATM 페이로드 48 옥텟이 모두 처리되면 다시 리셋되어 새로운 VPI/VCI에 대해 동일한 역할을 수행하게 된다. 마지막으로 `seq` 필드는 VPI/VCI 채널을 통해 수신되는 CPS 패킷이 손실없이 정상적으로 수신되었는지를 식별하기 위해 사용되는 필드이며, 이는 모듈로 2로 동작하게 된다.

전송부는 기본적으로 수신부에서 완전한 CPS 패킷의 수신이 가능할 경우에 `tx_buf_num` FIFO를 통해서 해당되는 ATM 셀 버퍼에 대한 관련 정보를 읽어 1 셀 FIFO를 통해 CPS 패킷 데이터를 받아 `tx_buf_num`을 사용하여 읽은 `Tx_status` 테이블 정보를 이용하여 `tx_wr_buf_ptr` 주소를 계산하고, 이에 해당하는 위치에 CPS 패킷 데이터를 저장하게 된다. Tx 상태 테이블은 `ptrBUF` 필드와 `seq` 필드로 구성되어 있다. `ptrBUF` 필드는 현재 지정되어 있는 ATM 셀 버퍼에 몇 옥텟의 유효한 데이터가 수신되었는지를 알려주는 필드이다. ATM 셀은 53 옥텟이고, ATM 셀 헤더 5 옥텟을 제외하면 48 옥텟의 페이로드에 대한 관리를 수행하면 된다. 따라서, `ptrBUF` 필드가 48 값이 되면, 해당 ATM 셀 버퍼는 완전한 ATM 셀을 구성할 수 있게 되어 5 옥텟의 헤더를 부착하여 수신된 ATM 페이로드와 함께 외부로 전송되게 된다. 그리고, `seq` 필드는 1 비트이며, 각각이 ATM 셀이 생성될 때 모듈로 2로 동작하게 된다. ATM

셀 버퍼 메모리는 이중포트 메모리로 구현하였으며, 가변 길이의 패킷이 입력될 때, 이를 용이하게 관리하기 위하여 각각이 1 옥텟인 2개의 뱅크로 분할하여 구현하였다.

전송부는 수신부와는 달리 타이머 유닛을 내장하고 있다. 이전에 언급하였던 바와 같이 AAL 유형 2 스위치는 시간 지연에 민감한 가변 패킷의 처리를 지원해야 한다. 기존의 ATM 셀 스위치는 하나의 ATM 셀이 수신되면 바로 스위칭을 통해 해당 포트로 셀 전송이 가능하지만, 가변 길이의 CPS 패킷은 일반적으로 1개 이상의 CPS 패킷을 수신하여야 하나의 ATM 셀이 될 수 있기 때문이다. 즉, 임의의 CPS 패킷이 ATM 셀 버퍼에 도달하였을 때, 타이머 유닛이 활성화되는데, 이 때 타이머 값이 타이머 상태 테이블에 세팅되게 된다. 설정된 타이머 값은 매 ATM 셀 타임 슬롯마다 1씩 감소하며, 타이머 상태 테이블의 값이 0이 되면 ATM 셀 버퍼 48 옥텟이 완전히 채워지지 않아도 현재까지 수신된 CPS 패킷을 외부로 전송해야 한다. 전송부의 타이머 상태 테이블은 동적으로 변하는 각각의 VPI/VCI 채널에 대한 패킷 대기 시간을 저장하는 역할을 수행한다.

`Tx_rd_buf_ptr` 레지스터는 AAL 유형 2 스위치를 통해 외부로 ATM 셀을 전송하기 위해 Rate matching을 위해 사용되는 5 셀 FIFO로 전송할 ATM 셀 버퍼를 가리키는 포인터이다. 이 레지스터는 2가지 유닛으로 주소가 받게 되는데, 하나는 정상적으로 완전한 ATM 셀 버퍼를 채웠을 경우 해당 ATM 셀 버퍼를 읽어내기 위해 사용되는 `tx_wr_base_addr` 부터 오는 값과 ATM 페이로드 영역이 일부분만 채워져 있는데, 해당 채널의 타이머가 만료되었을 때 이 채널의 일부 페이로드를 읽어내기 위해 사용되는 `tmr_rd_buf_ptr` 부터 오는 값이다. `Tx_rd_buf_ptr`을 통해서 ATM 셀 버퍼의 내용을 읽을 때, 항상 2 옥텟 단위로 데이터를 읽도록 설계하였다.

전송부는 또한 각 채널에 대한 VPI/VCI 값의 설정 값을 저장하고 있는 VPI/VCI 메모리가 존재

〈표 2〉 FPGA로 구현한 ATM AAL 유형 2 스위치 사양

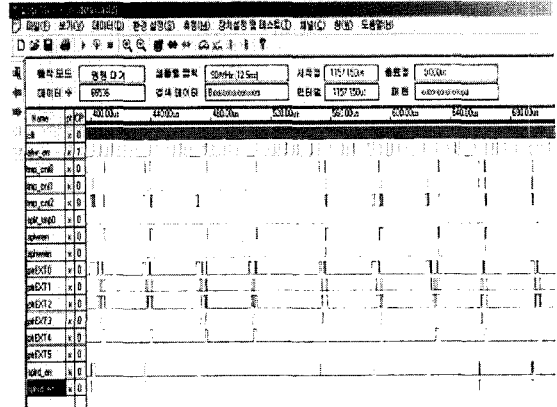
구분	AAL유형 2 전송부(Tx)	AAL유형 2 수신부(Rx)	최종 설계된 AAL유형 2 스위치
Target Library	vertexe(System Library V.1.37)		
FPGA Type	XCV1000E6H240C		
# of External I/O	240 핀		
# of gates	139,689	218,810	331,031
Frequency	11.5ns (86.53MHz)	13.78ns (72.55MHz)	19.034ns (52.54MHz)

한다. ATM 셀을 외부로 전송할 경우에는 먼저 해당 채널의 VPI/VCI 값을 먼저 읽어서 5 셀 FIFO에 전달한 이후에 48 옥텟의 페이로드를 ATM 셀 버퍼로부터 읽어와 5 셀 FIFO에 전달하게 된다. 그리고, 5 셀 FIFO는 매 ATM 셀 타임 슬롯마다 하나의 ATM AAL 유형 2 셀을 전송하게 된다.

FPGA로 구현한 ATM AAL 유형 2 스위치 모듈에 대한 사양을 표 2에 나타냈으며, 동작 주파수는 전송부와 수신부를 합쳐하였을 때, 52 MHz에서 동작하였다.[16] 동작 과정 검증 과정은 Xilinx 툴에서 P&R 과정을 완료한 후, P&R 시뮬레이션 모델을 생성하고 ModelSim 시뮬레이터를 이용하여 P&R 시뮬레이션 VHDL 모델에 대한 시뮬레이션을 수행함으로써 검증하게 된다.

최종적으로 본 논문에서는 설계한 AAL 유형 2 스위치 모듈에 대해 Xilinx FPGA에 구현하여 실장 테스트를 수행하였다. 그림 15는 본 논문에서 테스트를 위해 생성한 AAL 유형 2 스위치용 ATM 셀을 수신하는 과정을 보여주고 있다. Afwr_en 신호는 외부에서 ATM 셀이 16 비트 단위로 수신부의 FIFO에 쓰여질 때 활성화되는 신호이다.

완전한 ATM 셀은 54 바이트의 데이터가 수신되었을 때 처리 가능하며, 처리 가능한 ATM 셀



〈그림 15〉 Logic Analyzer를 사용한 수신부의 동작 검증파형

이 존재할 때, 셀 타임 슬롯 시작 신호가 활성화 되면 수신된 ATM 셀을 처리하게 된다. 셀 타임 슬롯 시작 신호가 활성화되면 먼저 5 바이트의 ATM 헤더 정보를 분석하게 되며, AAL 유형 2 셀이 판별되면 CAM 매칭 신호가 활성화되어 CPS 패킷을 처리하게 된다. 그러나 수신된 ATM 셀이 AAL 유형 2가 아니면, 수신된 ATM 셀을 패기하게 되며, 이 경우에는 기존의 ATM 스위칭 패브릭에서 처리하게 된다. 그림 15의 tmp_cnt 신호는 일부의 CPS 패킷이 존재할 때 수신된 유효 바이트의 수를 관리하게 되며, split 신호는 CPS 패킷 헤더가 완전하게 수신되지 않고 부분적으로만 수신되었을 때 향후 수신되어야 할 CPS 패킷의 헤더 바이트 수를 의미한다. 또한 splwren/sphwren 신호는 부분적인 CPS 패킷을 부분 패킷 메모리에 일시적으로 저장할 때 사용하는 메모리 쓰기 활성화 신호이다. 그리고 ptrEXT 신호는 ATM 셀의 페이로드에 해당하는 48 바이트의 데이터 처리를 추적하는 포인터이다. 이 포인터가 48 바이트가 되면 현재의 ATM 셀 타임 슬롯에 해당하는 ATM 셀을 모두 처리하였음을 의미한다. 마지막으로 splrd_en/sphrd_en 신호는 새로운 ATM 셀이 유입되었을 때, 이전에 부분적으로 유입되어 부분 패킷 메모리에 저장된 CPS 패킷 내용을 다시 읽어서 전송부로 전송할 때 ATM 셀

버퍼보다 먼저 처리해야 하는 부분이다. 부분 패킷 메모리에 저장되어 있는 CPS 패킷의 내용을 먼저 처리한 후, 새로 유입된 ATM 셀 내용을 처리하게 된다.

6. 결론

ATM 기술은 망 자원의 이용 및 다양한 서비스 제공이 매우 효율적이라는 장점을 가지지만, 기존의 AAL 유형들로는 저속의 짧은 가변길이의 패킷을 사용하는 서비스에 대한 지원이 어려운 점이 많았다. AAL 유형 2는 저속이면서 짧고 가변의 길이를 가지는 패킷들을 사용하며 지연에는 민감한 특성을 가지는 응용들을 대역폭 활용의 효율성 제고 및 처리 지연의 감소를 지원하기 위해 만들어 졌지만 AAL 유형 2 서비스를 지원하기 위해서는 기존의 ATM 스위치에 추가적인 처리가 필요해졌다.

본 논문에서는 이러한 AAL 유형 2 서비스를 지원하기 위해 AAL 유형 2 네트워크 구성방안을 검토해 보았고, 2가지 모델을 제안하여 각각에 대한 성능평가를 실시하였으며 각각의 장단점에 대해 분석하였다. 제안2는 ATM 스위치의 전송률의 증가를 확인할 수 있었으나 AAL 유형 2 스위치가 ATM 스위치의 포트 수만큼 입/출력 포트가 존재해야 하기 때문에 효율성이 떨어진다. 제안 1은 전송률은 낮으나 대기시간의 증가를 통한 전송률 증가를 가져올 수 있고, 입력단에 스위치를 위치시킴으로서 ATM 스위치의 포트 수와 무관한 AAL 유형 2 스위치를 사용할 수 있어 효율적이다.

그리고, 최종적으로 제안 1을 지원하는 AAL 유형 2 스위치 모듈을 설계하였다. FPGA로 구현하였을 때 52MHz에서 동작하는 것을 확인하였다.

Acknowledgement

This work is supported by Hanshin University Research Grants in 2004.

참고 문헌

- [1] Masahide Hatanaka, Toshihiro Masaki, Takao Onoye, "VLSI Architecture of Switching Control for AAL Type 2 Switch", IEICE Trans. Fundamentals, Vol.E83-A, No.3, pp435-441, Mar. 2000
- [2] Winthir Brunnbauer, Gordon Cichon, "Bringing two worlds together: AAL2 over IP for Radio Access Networks", IEEE GLOBECOM '01, Vol.4, pp2606-2610, Nov. 2001
- [3] Hiroshi Kawakami, Fumiaki Ishino, and et al., "QoS Management of AAL2 in IMT-2000 Networks", IEICE Trans. Fundamentals, Vol.E84-A, No.7, pp1636-1643, Jul. 2001
- [4] Soracha Nananukul, Sami Kekki, "Simulation Studies of Bandwidth Management for the ATM/AAL2 Transport in the UTRAN", VTC-2002, Vol.2, pp1134-1138, Sept. 2002
- [5] 이정훈, 이성창, 김정식, "AAL2 Switch 구조 및 성능연구", 대한전자공학회, 제37권 TC편 제9호, pp520-525, Sep. 2000
- [6] ITU-T Recommendation I.363, B-ISDN AAL Specification, Mar. 1993.
- [7] ITU-T Recommendation I.363.2, B-ISDN AAL Specification : Type 2 AAL, Aug, 1997
- [8] Manyoo Han , A. Nilsson, "Simulation Study of AAL Type 2", IEEE, pp522-528, 1998
- [9] ATM Trunking using AAL2 for Narrowband Services, ATM Forum Technical Specification, Dec. 1998
- [10] David J. Wright, "Voice over ATM : An Evaluation of Network Architecture Alternatives", IEEE Network, PP22-27, Sep/Oct. 1999
- [11] C. Koliass, L. Kleinrock, "The Odd-Even Input-Queueing ATM Switch: Performance Evaluation", ICC96, pp1674-1679,1996

- [12] C. Koliass, L. Kleinrock, "Throughput Analysis of Multiple Input-Queueing in ATM Switching", *Broadband Communications* 96, pp382-383, 1999
- [13] Nick McKeown, "The iSLIP Scheduling Algorithm for Input-Queued Switches", *IEEE/ACM Transactions on Networking*, Vol. 7, No. 2, pp188-201, Apr. 1999
- [14] Pankaj Gupta, Nick McKeown, "Designing And Implementing a Fast Crossbar Scheduler", *IEEE MICRO*, pp20-28, Jan/Feb, 1999
- [15] Richard O. LaMaire, "Two-Dimensional Round-Robin Schedulers for Packet Switches with Multiple Input Queues", *IEEE/ACM Transactions on Networking*, Vol.2, No.5, pp471-482 Oct. 1994
- [16] *Synthesis and Simulation Design Guide*, Xilinx, INC., 2002

● 저 자 소개 ●



손 승 일

1989년 연세대학교 전자공학과 졸업(학사)
1991년 연세대학교 대학원 전자공학과 졸업(석사)
1998년 연세대학교 대학원 전자공학과 졸업(박사)
1998년~2002년 호남대학교 컴퓨터공학과 조교수
2002년~현재 : 한신대학교 정보통신학과 부교수
관심분야 : ATM 통신 및 보안, ASIC 설계, etc.
E-mail : saisonh@hanshin.ac.kr