

# MOS Gate 형 전력 반도체의 개발 동향

윤 종 만

(폐어차일드코리아반도체 그룹장)

## 1. 서론

바이폴라 트랜지스터를 기본으로 발달해온 전력 반도체의 기술은 1970년 중반 이후 DMOSFET 이 개발된 이후<sup>(1)</sup> 높은 입력 임피던스에 의한 구동의 용이함과 빠른 스위칭의 장점 때문에 MOSFET 이 저전압, 저전력용의 전력 전자 시스템에서 대부분 사용되었다. 특히 IT 산업의 발달로 인하여 휴대 전화, Note PC 등의 휴대용 기기의 발달은 소형화, 고성능화, 지능화된 전력 소자를 요구했고 이에 따라 저전압 MOSFET의 비약적인 발전이 1990년대 말 이후 이루어졌다. 1982년에 기존 바이폴라 트랜지스터의 낮은  $V_{ce,sat}$  의 장점과 MOS 구동의 장점을 함께 갖춘 IGBT가 개발되면서<sup>(2)</sup> 대부분의 전력 반도체의 기술은 MOSFET 과 IGBT를 중심으로 발달하기 시작했다. 이후 MCT<sup>(3)</sup>, EST<sup>(4)</sup> 등의 MOS 구동형 다이리스터가 개발되기는 했으나 IGBT의 지속적인 발전으로 인해 실제 전력 전자 시스템에 거의 적용되지 않고 있다.

현재의 전력 반도체의 실리콘 기술은 low voltage MOSFET을 위한 trench gate<sup>(6)</sup>, High voltage MOSFET을 위한 cost-effective planar 기술과 charge balance 이론을 이용한 Super Junction MOSEFT<sup>(7)</sup>, IGBT를 위한 NPT(Non Punchthrough)<sup>(8)</sup> 기술, 그리고 Intelligent화 기술로 요약된다. 본 고에서는 이러한 실리콘 MOS-gate형 트랜지스터들의 개발 방향을 Low voltage 및 High voltage MOSFET 그리고 IGBT로 나누어 살펴보고자 한다.

## 2. MOSFET

1970년대 중반 DMOS 구조가 상용화 된 이후 1990년대

초반까지는 Planar gate 형 VDMOS가 주종을 이루었고, Avalanche ruggedness를 강화하기 위해 Deep p+를 갖는 구조가 일반적이었으며 그림 1에 나타난 바와 같이 실제 사용되는 공정의 수준 때문에 Low Voltage MOSFET(LV MOSFET)과 High Voltage MOSFET(HV MOSFET)의 구조는 내압을 위한 n- 드리프트 영역, 즉 n- 에피택셜 층의 두께를 제외하고는 거의 유사했다. 하지만 MOSFET의 channel, JFET, drift 등의 요소에 따른 온저항 비의 차이는 LV MOSFET 과 HV MOSFET의 개발 방향을 다르게 유도하게 되었고 1990년 중반 이후 전력 반도체 공정에 적용된 미세 공정들이 이러한 기술을 뒷받침하게 되었다. 즉, 그림 2(b)에서 나타난 바와 같이 HV MOSFET의 경우 내압과 연관 있는 n- drift 영역이 온저항의 대부분을 차지하는 반면, LV MOSFET의 경우 반도체 공정, 디자인에서 결정되는 채널, 소스, 축적층, 기판 저항 성분들이 대부분이므로 반도체

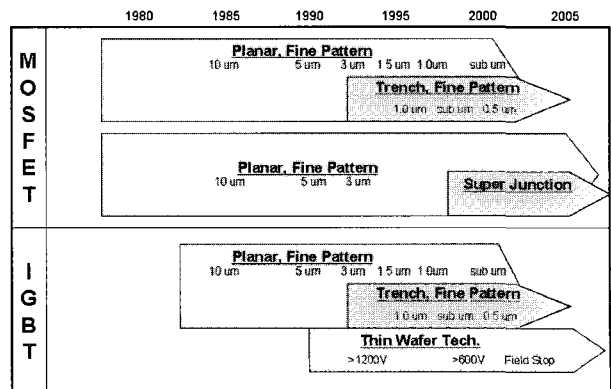
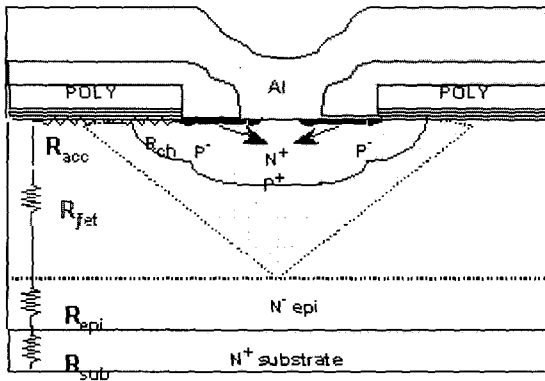


그림 1 MOSFET 과 IGBT 공정의 추이



(a) Planar MOSFET의 구조와 저항 성분

	30V MOSFET	600V MOSFET
$R_s$	7%	0.5%
$R_{n+}$	6%	0.5%
$R_{ch}$	28%	1.5%
$R_{acc}$	23%	96.5%
$R_{epi}$	29%	0.5%
$R_{sub}$	7%	0.5%

(b) 30V와 600V MOSFET의 성분별 비교

그림 2 Planar MOSFET의 구조와 저항 성분

공정의 발달, 특히 트렌치 공정의 발달에 따라 LV MOSFET은 채널 밀도의 증가, JFET 저항의 감소로 인하여 비약적인 발전을 하게 되었다.

### 2.1 Low Voltage MOSFET

1970년대 중반 DMOS 구조가 상용화 된 이후 1990년대 초반까지는 Planar gate 형 VDMOS가 주종을 이루었고 Avalanche ruggedness를 강화하기 위해 Deep p+를 갖는 구조가 일반적이었다. 또한 필요 내압을 견디기 위한 junction termination 영역을 제외한 실제 전류가 도통하는 active 영역의 poly gate, p- well, Deep p+ well, n+ source, contact, Metal layer의 형성을 위해 수십 마이크로 이상의 단위 셀이 필요했다. 공정기술의 발달과 poly gate에 자기 정렬시킨 구조의 개발에 따라 planar MOSFET의 크기는 비약적으로 축소되어 그림 3에 나타난 예에서 볼 수 있듯이 동일한 온 저항을 갖기 위한 silicon chip의 크기는 DMOS 초기에 비해 20% 이하의 수준까지 감소하였다.

그림 4의 예와 같이 Low Voltage planar MOSFET의 경우 poly 식각 이후 사진 공정이 필요하지 않는, 즉 oxide나 nitride spacer를 이용한 flat bottom형 p+ layer의 형성과

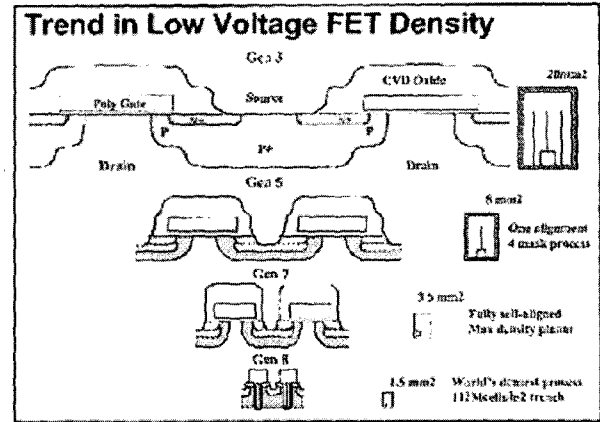


그림 3 Low Voltage MOSFET 발달의 예, Deep p+ planar > Self align Planar > Trench

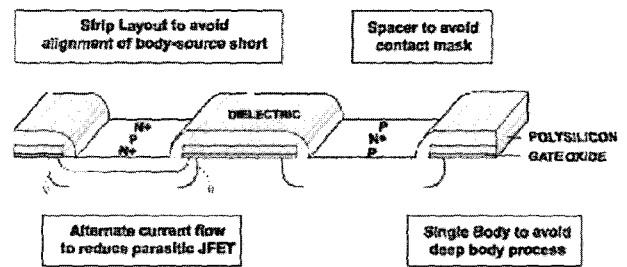
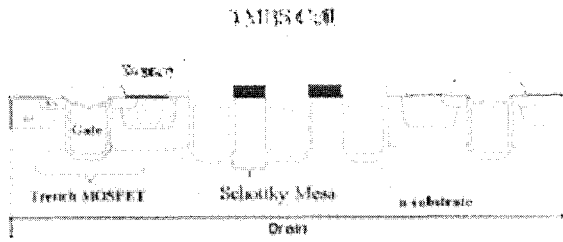


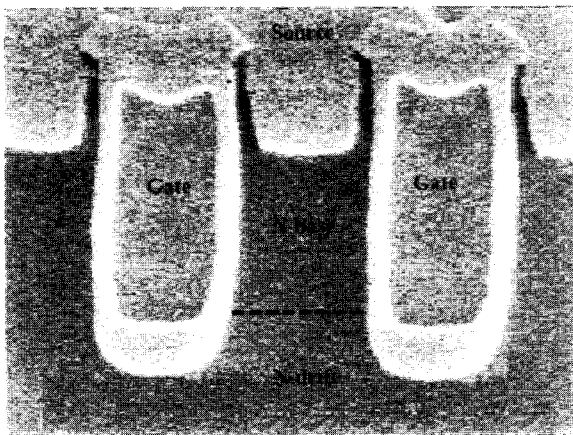
그림 4 초미세 Low Voltage Planar MOSFET(ST Micro)

contact 식각이 적용된 p well의 구조를 형성하고, p well 자체의 접합 깊이를 매우 작게 하여 JFET 저항을 최소화하는 등의 디자인으로 발전하였다. 특히 low voltage planar MOSFET은 trench MOSFET 대비 상대적으로 저비용으로 생산할 수 있으며 gate charge가 Trench MOSFET 대비 상대적으로 작은 장점이 있고 silicon의 크기에 따른 최대 전력 용량이 크므로 amplifier 등의 용도에서는 계속 사용될 것으로 판단된다.

Planar gate 형 MOSFET이 갖는 JFET 영역에서의 저항 성분, channel density의 한계로 인해 trench gate형 MOSFET의 개발로 이어지게 된다. Trench MOSFET은 채널을 통한 전류가 바로 예외 영역으로 주입되므로 JFET 영역에서의 저항 성분을 근본적으로 줄일 수 있어서 낮은 온 저항을 얻기에 용이하다. 작은 단위 셀에 대한 개발이 계속됨에 따라 단위 셀의 pitch는 1um, trench 폭은 0.2um까지 축소된 trench power MOSFET이 발표된 바 있다<sup>(8)</sup>. Trench MOSFET의 경우 단위 면적당 gate 영역의 밀도가 증가함에 따라 gate charge가 증가하는 단점이 있었다. 이러한 gate



(a) Shottky diode 내장형 Trench MOSFET<sup>(10)</sup>



(b) PN diode 없는 Shottky contact Trench MOSFET<sup>(11)</sup>

그림 5 Shottky 내장형 Low Voltage Trench MOSFET

charge는 고속 스위칭시의 스위칭 손실을 증가시키며 특히 높은 Cgd/Cgs 비율은 스위칭시의 oscillation을 증가시키는 역할을 하기도 한다. 따라서 채널 밀도를 크게 유지하면서도 Cgd를 감소시키기 위해 게이트 하단의 oxide 층의 두께를 증가시켜 대폭 감소시킨 TBO(Thick Bottom Oxide) gate 형 MOSFET<sup>(9)</sup> 등이 스위칭 손실을 최소화 하기 위한 개발 방향을 보여준다. 또한 low Voltage MOSFET이 주로 사용되는 DC-DC 컨버터의 효율을 증가시키기 위해서 schottky diode를 내장한 MOSFET의 개발도 활발히 진행되고 있으며, charge balance 기술을 접목시킨 device들이 개발되어 기존보다도 더욱 낮은 온 저항과 게이트 charge를 갖는 trench MOSFET들이 개발되고 있다.

실제로 low voltage MOSFET이 주로 사용되는 DC-DC 컨버터의 경우 구동 주파수가 점차 증가되어 가고 있고 이에 따라 낮은 온 저항 뿐 아니라 낮은 gate charge이 요구되므로 앞에서 주로 언급된 수직형(vertical) MOSFET 이외에도 구조적으로 작은 gate charge를 갖는 수평형(lateral) MOSFET의 개발도 활발해질 것으로 보인다.

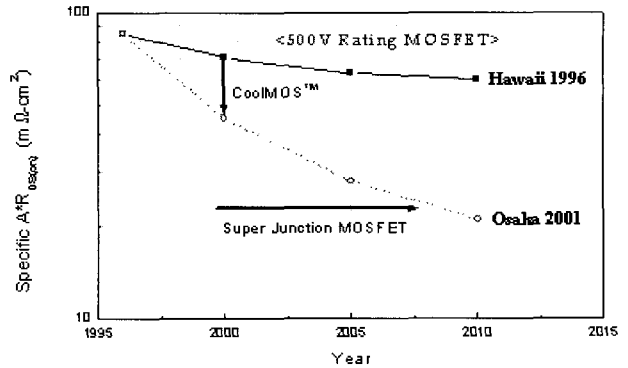


그림 6 500V MOSFET의 온 저항 감소 예상 추이

## 2.2 High Voltage MOSFET

그림 2의 표에서 나타낸 바와 같이 Low Voltage MOSFET과 달리 High Voltage MOSFET은 EPI 영역으로 이루어지는 Drift 영역에서의 Rdson 비중이 높기 때문에 1990년대 말까지 Planar gate형 MOSFET만이 사용되었다. 기존 MOSFET의 구조가 n-형의 silicon으로 이루어진 drift 영역을 갖고 이 drift 영역의 저항 성분(resistivity)은 소자의 BV에 의해 결정되므로 일정 이상으로 에피의 비저항을 감소시킬 수 없었다. 즉 silicon limit 이하의 온 저항을 실제 소자에서 구현 할 수는 없었다. 이에 따라 1996년 ISPSD의 workshop에서만해도 High voltage MOSFET은 그림 6와 같이 발달할 것으로 예상되었다. 즉, 그림 4의 low voltage MOSFET과 같이 unit cell의 자기 정렬, shallow p-well, low resistive JFET 영역의 구현을 통한 cell 구조의 최적화나 trench 구조의 적용 등으로 인해  $Rsp \propto BV^{2.5}$ 에 의한 silicon limit에 접근하는 것으로 예상되었다.

그런데, 1997년 Infineon에서 Charge Balance 이론을 이용한 Super Junction CoolMOS™ 가 출시된 이후 High Voltage MOSFET의 추세는 급격히 변화하기 시작했다<sup>(6)</sup>. Super Junction MOSFET은 그림 7에 나타낸바와 같이 전류 방향의 수직 방향으로 n형과 p형의 silicon을 연속하여 형성시킨 영역을 가지고 이 영역이 전압 차폐시 완전히 공핍되므로 높은 항복 전압을 얻을 수 있다. 이때 소자의 항복 전압은 n 영역의 비저항과 상관없이 np 영역의 pitch와 전류 방향의 길이에 의해서만 결정되므로 Super junction MOSFET은 기존 MOSFET에 사용된 에피 비저항보다 훨씬 낮은 비저항을 사용할 수 있으며 이에 의해 실제 전류가 흐르는 면적이 p 영역에 의해 작아짐에도 불구하고 훨씬 더 낮은 온 저항을 얻을 수 있다.

Super junction MOSFET은 Silicon limit으로 여겨졌던  $Rdson \sim BV^{2.5}$ 가 아닌  $Rdson \sim BV$ 의 특성을 갖게 되므로

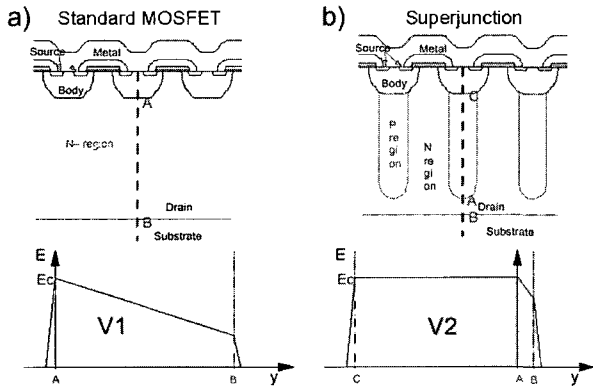


그림 7 Standard MOSFET 가 Super Junction MOSFET의 구조

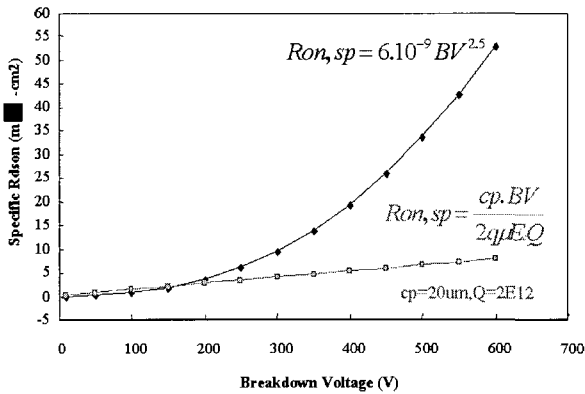


그림 8 항복 전압에 따른 온 저항의 변화  
 기준 MOSFET의 경우  $R_{sp} \propto BV^{2.5}$   
 Super Junction MOSFET의 경우  $R_{sp} \propto BV$

고압 MOSFET에서 더욱 더 유리한 특성을 갖게 되었다. 그림 8에서 보이는 바와 같이 200V 이상의 MOSFET인 경우 pitch를 20um로 사용할 경우에도 기준 MOSFET 보다 낮은 온 저항을 얻을 수 있음을 알 수 있다. 상용화된 600V super junction MOSFET의 경우 온 저항은 기준 MOSFET의 1/3 수준으로 감소하였으며 이에 따라 2001년 Osaka에서 개최된 ISPSD에서는 향후의 MOSFET 온저항의 감소 추이를 새롭게 예측하게 되었다. 하지만 이미 Infineon과 Fairchild 등에서 상용화된 Super Junction MOSFET의 경우 2001년 당시 예측된 온 저항보다 훨씬 낮은 30 mΩ-cm²대의 온 저항 값을 가지고 있으며, 기존 현재까지 출시된 Super Junction MOSFET 들은 다층 이온 주입/에피택셜 공정을 사용한 구조의 단점인 제조 단가 및 온 저항 감소 한계의 해결을 위해 많은 전력 반도체 회사들이 trench<sup>(12-13)</sup>나 초고압 이온 주입<sup>(14)</sup>등을 이용한 새로운 구조의 Super Junction

MOSFET의 개발을 위해 노력하고 있으므로 2010년 이전에 20mohm-cm<sup>2</sup> 미만의 Super Junction MOSFET이 시장에 출시될 것으로 예측된다. 그리고 수평형 고압 MOSFET이 적용되어 왔던 일부 HVIC 도 Lateral Super Junction MOSFET 구조의 적용에 따라 성능의 비약적인 발전과 칩 크기의 축소가 예상된다<sup>(15)</sup>.

### 3. IGBT

1980년대 개발된 IGBT는 HV MOSFET의 드레인 영역에 P+ 층이 하나 더 존재하여 게이트 온시에 p+ 층에서 정공이 주입되어 n- 층의 전도도를 매우 높임으로 인해 MOSFET의 게이트 구동 특성과 바이폴라 트랜지스터의 낮은 온 저항 특성을 함께 갖는 소자이다. 따라서 대전력 고압 분야에서는 바이폴라 트랜지스터를, 5/600V급의 분야에서는 MOSFET을 대체해나가고 있다. 특히 과거에는 MOSFET 대비 장점이 없는 영역으로 인식되어 온 400V 이하의 영역에서도 IGBT의 적용은 확대되어 가고 있다. 400V급 Ignition, Camera Strobe, 300V급 PDP sustain 용 IGBT들은 IGBT의 저전압 부분으로의 확대 적용되는 것에 대한 좋은 예이다.

IGBT는 게이트 구조에 의한 분류로는 MOSFET의 경우와 같이 planar gate 형과 Trench 게이트 구조로 나눌 수 있으며, Anode 구조에 의해서는 PT(Punch Through)와 NPT(Non Punch Through)형으로 분류될 수 있다. PT 형

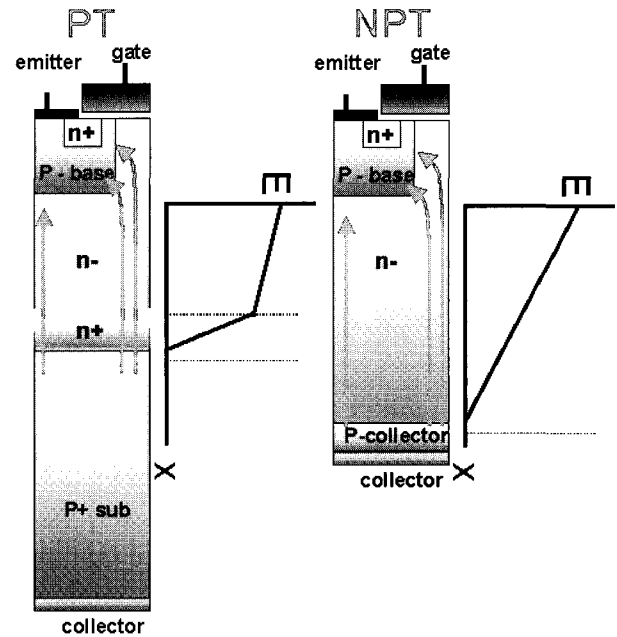


그림 9 PT(PunchThrough) 와 NPT(Non PunchThrough) IGBT의 구조와 전계(Electric Field)의 구조

IGBT는 p+ 기판위에 n+ buffer 및 N- drift 영역을 차례로 에피택셜 성장을 통해 성장시킨 후 반도체 공정을 사용하여 MOSFET 구조를 형성시킨 P+/N+/N- 구조이며, NPT IGBT는 N- Float Zone 웨이퍼에 MOSFET 구조를 형성시킨 후 항복 전압 가 허용되는 만큼 웨이퍼의 뒷면을 가능한 얇게 갈아낸 후 p 영역을 이온 주입에 의해 형성시킨 P/N- 구조이다. 1990년 중반까지는 Thin wafer 공정의 난이로 인해 1700V급 이상의 고전압 분야를 제외하고는 대부분 PT IGBT가 600V 및 1200V급 용도로 사용되어 왔으나 최근에는 Thin Wafer Technology가 발달함에 따라 NPT로 점차 바뀌어 가고 있다. 600V IGBT의 경우 silicon의 두께가 약 100 um 이하, 1200V급의 경우 약 200um 이하가 되어야 하므로 내압이 낮은 NPT IGBT가 도리어 고도의 생산 기술을 필요로 한다.

PT IGBT가 고속 스위칭을 위해 전자, 중성자, 혹은 양성자를 이용한 lifetime control을 별도로 필요로 하는 반면, NPT IGBT는 콜렉터의 이온 주입에 의해 스위칭 특성을 조절 할

수 있으므로 PT 대비하여 공정 비용이 적게 들고, 특성 산포가 작으며, Ruggedness가 우수하고 또한 병렬 운전이 용이한 장점이 있다. 최근에는 NPT IGBT 제작 기술을 이용하여 N- field stop layer를 n- drift 영역과 p collector 영역 사이에 형성시킨 Field Stop IGBT도 개발되어 시장에서의 사용이 확대되고 있다.

NPT와 더불어 IGBT의 뚜렷한 추세는 Trench gate형 IGBT의 확대 적용이다. 즉, 앞에서 언급한 바와 같이 IGBT는 실제 구조와 사용되는 n- drift 영역의 비저항이 고압용 MOSFET과 매우 유사하지만, 정공 전류에 의한 전도도 변조(Conductivity Modulation) 때문에 실제로 N- drift 영역에 의한 저항 성분이 매우 작다. 따라서 항복 전압을 유지하는 구조에서는 고압용 MOSFET과 유사하나 동작시의 저항 성분별로 보서는 anode 쪽의 PN diode에 의한 전압 성분의 외에는 저항 성분의 비가 저압용 MOSFET과 상당히 유사한 면을 갖는다. 따라서 낮은 순방향 전압 강하를 갖는 구조를 위해서는 trench IGBT 구조가 훨씬 더 유리하다.

2000년대 초까지는 순간적인 높은 전류가 요구되는 Camera strobe용이나 Induction Heating이나 Micro Wave oven 같은 Single ended topology등에 Trench gate IGBT가 사용되었고, 특히 PDP등 Inductor를 구동하지 않는 회로에서는 선호되어 왔으나 Motor Drive 등의 일반적인 용도에는 매우 높은 transconductance 때문에 사용이 제한되어 왔다. 즉, Trench IGBT의 경우 회로 단락시(Short Circuit) 순간적으로 너무 많은 전류가 흐르게 되어 보호 회로의 동작때까지 소자가 견딜 수 있는 SCWT(Short Circuit Withstanding Time)가 짧은 단점이 있었다. 하지만 Channel density, Emitter Ballast resistance 등의 최적화를 통해 Transconductance 와 Vce,sat, Switching 특성 등을 Motor Drive나 전원단 등이 요구하는 특성에 적합하도록 설계하는 노력이 계속 이루어지고 있어 향후 Planar gate형 IGBT를 대체해 나갈 것이다. 특히 IPM(Intelligent Power Module)과 같이 패키지 내에 구동 회로 및 과전류 제한(Over Current Protection), 단락 회로 보호(Short Circuit Protection)등의 보호 회로가 IGBT와 함께 탑재된 소자의 경우 Planar IGBT 대비 상대적으로 특성이 우수하나 견고함이 열세인 Trench IGBT의 적용이 확대될 것이다.

#### 4. 패키지

Low Voltage MOSFET의 온 저항은 수 mohm 수준으로 감소하고 있어 패키지의 wire 및 lead에 의한 저항 손실이 수십% 수준에 까지 이르게 되었다. 따라서 PCB 위의 foot print를 최소화하고 패키지에서의 저항 손실을 최소화 하기 위해, wire를 사용하지 않는 copper strap 기술 등이 기존 패

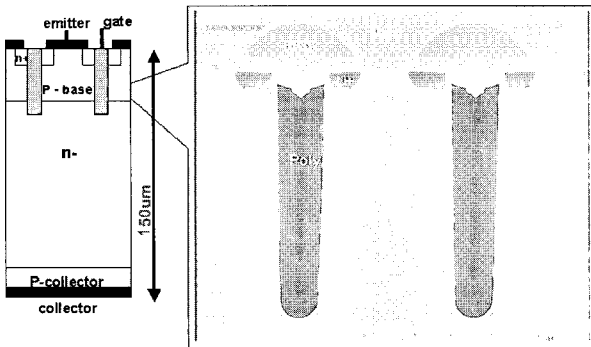


그림 10 Trench IGBT의 구조

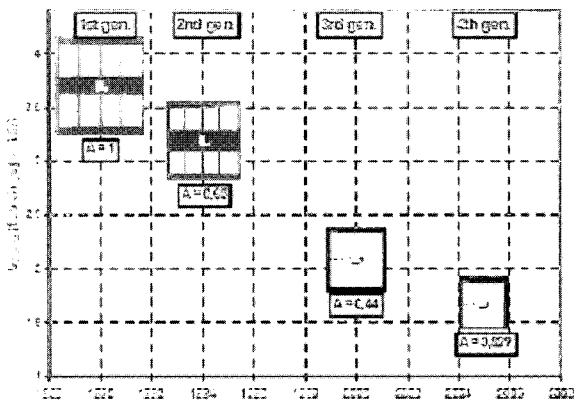


그림 11 1200V 급 IGBT의 발전 동향(Infineon) : NPT Planar > NPT Trench > FS Trench

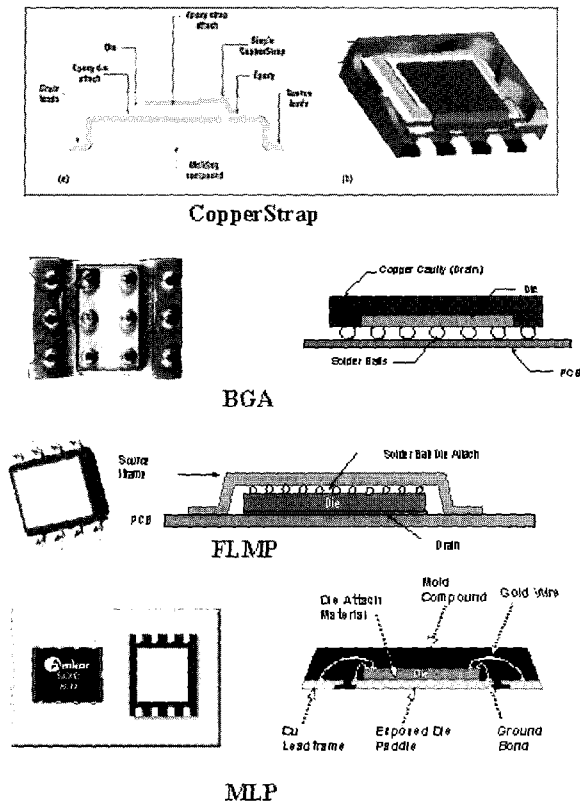


그림 12 Low Voltage MOSFET을 위한 다양한 패키지들

키지에 적용되었고 보다 나아가서는 lead를 없앤 BGA, CSP, MLP 등이 개발되어 상용화되고 있다.

고압 소자의 경우 상대적으로 온 저항 및  $V_{ce,sat}$ 이 크므로 고전적인 패키지들이 아직 많이 사용되고 있다. 하지만 시스템의 경박 단소화 및 효율화를 위해 모듈화가 상당히 이루어지고 있다.

### 5. 결론

반도체 공정과 설계 기술의 발달에 힘입어 MOS gate형 전

표 1 각 전력반도체별 기술 추이

Device	Current Technology	Future Technology
LV MOSFET	Trench	Self-Aligned / Ultra Fine Trench
MV MOSFET	Trench / Planar	Trench + Charge Balance
HV MOSFET	Planar	Super Junction
IGBT	NPT	Trench + Field Stop
Power Module	Driver + Power Module	Smart Power Module

력 반도체 실리콘 기술은 지속적인 발달을 하고 있으며 적용되는 시스템, 전압 용량에 따라 독특한 기술들이 개발되고 있다. 표 1과 같이 low voltage MOSFET은 초미세 공정을 기반으로 한 trench 기술을, high voltage MOSFET은 super junction 기술을, IGBT의 경우 NPT 기술을 기반으로 발달할 것이다. 또한 이러한 실리콘 기술을 다양한 패키지 기술과 시스템 기술이 뒷받침하여 궁극적으로 intelligent화 하는 방향으로 진행될 것으로 보인다.

### 참고문헌

- [1] M.J.Declereq and J.D.Plummer, "Avalanche breakdown high voltage D-MOS devices," IEEE Electron Devices, vol.ED-23,pp.1-6, 1976.
- [2] B. J. Baliga, "The Insulated Gate Rectifier(IGR): A New Power Switching Devices," IEDM Tech. Dig., pp.264-265, 1982.
- [3] V. A. K. Temple, "MOS Controlled Thyristors (MCTs)," IEDM Tech Dig., pp.282-285, 1984.
- [4] B. J. Baliga, "The MOS-gated Emitter Switched Thyristor," IEEE Electron Device Letter, vol.11, no.2, pp.5-77,1990
- [5] D. Ueda et al, "A New Vertical Power MOSFET Structure with Extremely reduced On-Resistance," IEEE Electron Devices, vol. ED-32, No.1, pp.2-6, 1985.
- [6] G. Deboy et al, "A New Generation of High Voltage MOSFETs breaks the limit of silicon," IEDM Tech. Dig., pp.683-685, 1998.
- [7] Miller and J. Sack, "A new Concept for a Non Punchthrough IGBT with MOSFET like Switching Characteristics," IEEE Power Electronics Specialists Conference, pp.21-25, 1989.
- [8] S. Peae et al, "Fully Self-Aligned Power Trench-MOSFET Utilizing 1 um Pitch and 0.2um trench Width," Proc. of 14th ISPSD, pp.29-32, 2002.
- [9] R. Blenhard et al, US patent 4,914,058, 1990.
- [10] D. Calafut, "Trench Power MOSFET Lowside Switch with Optimized Integrated Schottky Diode," Proc. of 16th ISPSD, pp.397-400, 2004.
- [11] A. Michandani, "A Novel N-Channel MOSFET Featuring an Integrated Schottky and No Internal P-N Junction," Proc. of 16th ISPSD, pp.405-408, 2004.
- [12] R Van et al, "Electrical Characteristics of Vertical

Vapor Phase Doped(VPD) RESURF MOSFETs,”  
Proc. of 16th ISPSD, pp.451-454, 2004.

- [13] M. Kodama et al, “Temperature Characteristics of a New 100V Rated Power MOSFET, VLMOS(Vertical LOCOS MOS),” Proc. of 16th ISPSD, pp.463-466, 2004.
- [14] M. Riib et al, “550V Superjunction 3.9 $\Omega$ mm<sup>2</sup> Transistor Formed by 25MeV Masked Boron Implantation,” Proc. of 16th ISPSD, pp.455-458, 2004.
- [15] D. R. Disney, “A New 600V Lateral PMOS Device with a Buried Conduction Layer,” Proc. of 15th ISPSD, pp.41-44, 2003.

### 〈 저 자 소 개 〉



#### 윤종만(尹鍾晚)

1989년 서울대학교 전기공학과 졸업. 1991년 동 대학원 전기공학과 졸업(석사). 1996년 동 대학원 전기공학과 졸업(박사). 1991년~1999년 삼성전자 반도체부문 근무. 현재 페어차일드 코리아 반도체 Device Concept 그룹장.