# 전자장비 회로기판의 열응력해석

## 권영주\*, 김진안\*\*

## Thermal Stress Analysis for the Printed Circuit Board of Electronic Packages

Kwon, Y. J.\* and Kim, J. A.\*\*

#### ABSTRACT

In this paper, the heat transfer analysis and thermal stress analysis of the PCB(Printed Circuit Board) equipped in electronic packages are carried out for various array types of chips on the PCB. And two structural PCB models are used in the analyses. The electronic chips on the PCB usually emit heat and this heat generates the thermal stress around the chip. The thermal load due to the heat generation of chips on the PCB may cause the malfunction of the electronic packages such as a monitor, a computer etc.. Hence, the PCB should be designed to withstand these thermal loads. In this paper, the heat transfer analysis and thermal stress analysis are executed for the PCB model with pins and the analysis results are compared with the results for the PCB model without pins. The analysis results show that the PCB model without pins is not good for the thermal stress analysis of PCB, even though these two models have similar heat transfer characteristics. The analysis results also show that the highest thermal stress occurs in the pin especially attached to the highest temperature chip, and the PCB constrained to the electronic package on the long side is structurally more stable than other cases. The analyses of the PCB are executed using the finite element analysis code, NISA.

Key words: Thermal Stress Analysis, Heat Transfer Analysis, PCB(Printed Circuit Board), Electronic Packages, Electronic Chip, Pin

## 1.서 론

최근 전자장비의 소형화/대형화, 집적화 및 다 기 능화에 부응하여 사용이 많아진 고성능 전자칩들은 해마다 발열 밀도가 증가되어 열발생율이 더욱 높아 지고 있다<sup>11</sup>, 이러한 발열밀도 증가에 따른 열적인 영 향으로 소자수명의 저하와 고장발생 부품특성의 변 화 및 절연물의 불량화에 큰 영향을 미치며 표면실장 부품특성의 변화 및 실장 부품의 접속부 파괴, 열팽 창에 의한 치수 변화 및 화학적 변화를 수반하고 있 기 때문에 전자장비 회로기관에 대한 열전달 및 열응 력 해석기술은 냉각기술<sup>[1]</sup>과 함께 전자장비의 신뢰성 및 내구성을 향상시키는데 필수적인 기술이라 할 수 있다.

컴퓨터나 휴대폰 등 많은 전자 장비에서 인쇄 회로

기관이 한 개의 시스템으로 작동하고 있는데, 이와 같 은 회로기판(PCB)의 설계 시 제시되는 기계적 문제점 으로는 첫째로 외부의 충격(운반시의 부주의나 지진 등에 의한 동적 충격)에 의해서 발생하는 내부 응력 및 변형텍, 둘째로 시스템 작동 시 여러 구성 부품들 에서 발생하는 열씬에 의한 구조물의 열응력 및 열 번 형<sup>15</sup>이다. 본 연구는 두 번째 문제점인 회로기관(PCB) 의 전자칩 주위에서 일어나는 열전달 현상을 정확하 게 해석하고 열전달로 인한 열응력의 발생이 회로가 판(PCB)의 전자침 주위의 치수 변화 및 칩배열 방법 에 미치는 영향을 측성하여 회로기판(PCB) 패널의 전 자침에 대한 최적 배열을 찾아 회로기판(PCB)의 열전 달로 인한 열응력을 비교하여 가장 이상적인 전자침 배열구조를 찾고자 한다. 특히 열응력에 취약하여 고 상 및 오작동 등의 주원인인 부착편을 고려하여 편 구 조의 취약 부를 규명하고 이와 같은 취약성을 극복할 수 있는 방법을 제시하고자 한다. 전자장비 회로기관 내의 최적의 전자칩 배열구조를 찾기위한 기존의 연 구<sup>(26,8)</sup>에서는 전자침에서 발생하는 열응력은 고려치

<sup>\*</sup>성회원, 홍익대학교 기계정보공학과 부교수 \*\*홍익대학교 대학원 기계정보공학과 - 논문투고일: 2004. 03. 31 - 십사완료일: 2004. 10. 01

않고 입전달 해석에만 의존하였기 때문에 정확한 해 석이 어려웠다고 사료된다. 전자 장비내의 회로기관 접속온도가 허용온도(90°C) 이상일 때 접속온도가 10°C씩 증가할 때마다 전자장비의 부품의 수명은 절 반으로 감소한다. 이와 같은 에너지 생성율의 증가는 장시간 동안의 신뢰성을 요구하는 전자장비에 있어서 가장 큰 길림돌이 되어 칩의 온도를 허용온도(90°C) 이하로 유지셔키는 것이 전자 장비에서 필수적인 과 제로 부각되고 있다. 일반적으로 전자장비의 냉각에 는 팬(fan)을 이용한 강제 대류 냉각이 증가하는 추세 이나 냉각 팬(fan)에서 말생하는 소음, 공간적인 제한 및 원가절감 등으로 인하여 아직도 자연 대류 방식이 이상적이다. 전자 장비를 자연 대류에 의해 효율적으 로 냉각시키면 단위 면적당 발열량이 약 1,000 W/m<sup>2</sup> 인 경우까지 적용될 수 있다고 하는 연구 등 많은 연 구 결과가 발표되었다.[6].

회로기관(PCB) 개발액 있어서 개발 설계단계에서 는 설계변경에 대한 자유도가 크기 때문에 다양한 시 도를 해볼 수 있으며 특히 해석 기법 이용 시 추가적 인 시작 비용 및 실험 비 없이 빠른 기간 내에 설계 개념을 확인 할 수 있다. 설계가 세부 설계단계로 진 행될수록 기본 설계를 바꾸는 것이 어렵게 되며 기본 설계를 바꾸지 않고서는 열전달메카니즘의 기본특성 이 변하지 않기 때문에 이러한 개발 설계 단계에서의 설계개념 확인 작업은 전체 설계과정에서 매우 중요 하다. 따라서 본 연구에서는 개발 설계에 있어서 중요 한 발열 대책에 대해 설계 단계에서 예측하여 효율적 인 냉각 설계가 될 수 있는 방안을 보색함으로써 CAE 해석이 적극적인 설계수단으로 환용될 수 있는 방안을 연구하였다.

본 논문에서는 주워의 환경조건에 따라서 회로기 판의 수명이 좌우될 수 있으므로 열적환경이 가장 약 조건으로 주어진 회로기판(PCB)에 대하여 정상상태 열전달 및 열응력 해석을 수행하였다. 회로기판의 발 열 칩의 배열에 따라 발생하는 열에 대하여 열전달 해석을 수행하고 회로기판(PCB)의 구조 변화에 따 라 회로기판(PCB) 및 배열 침과 접착 편에 발생하는 열응력 해석을 수행하였다. 본 논문에서는 특히 기 수행한 접착 편을 고려하지 않은 회로기판에 대한 해 석결과<sup>[13</sup>와 접착 편을 고려한 회로기판에 대한 해석 결과의 차이점을 비교 분석하였다. 본 연구에서는 회 로기판에 대한 열전달 및 열응력 수치해석을 위하여 상용 CAE시스템인 NISA를 이용하여 해석을 수행하 였다.

## 2. 전자장비 회로기판(PCB)의 열전달해석

#### 2.1 문제의 구성

최근 전자장비의 소형화 집석화 및 다기능화에 부 응하여 사용이 많아진 전자칩들의 발열빌도가 증가하 여 열발생율이 더욱 높아지고 있으며 이에 표면 실장 부품의 접속부 파괴, 일팽창에 의한 치수 변환 및 화 학적 변화가 수반되고 있다. 따라서 본 연구는 개발설 계에 있어서 중요한 발일 대책에 대해 설계 단계에서 예측하여 효율적인 냉각섭계<sup>1781</sup>가 될 수 있는 방안을 모색한다. 회로기판 내 전자 발열칩의 열전달 최적화 를 위한 첫 단계로 여러 가지 발열칩 배열구조에 대하 여 열진달 해석을 수행하여 최적의 발열칩 배열 구조 를 확인하고, 두 번째 단계에서는 각 회로기판 구조 변화에 따른 발열칩의 열전달 영향 및 최적 방열구조



(a) DIPS



#### (b) HYBRID





Fig. 2. Photo of actual DIPS.

를 확인한다.

2.1.1 구조형상

본 연구에서 회로기관 내 발열 칩의 열적 최적화를 위한 발열 칩 배열구조에 따른 열전달 해석을 수행하 기 위한 기하학적 해석 모델은 다음과 같다. 보통 회 로기관의 구조는 상부는 알루미늄 방열관, 하부는 배 선기관으로 이루어져 있으며 배선기관 위에 전자 발 열 칩들이 핀(pin)이나 용접으로 부착 배열되어 있다. 또는 어떤 회로기관은 방열관이 없고 배선기관만 있 는 것도 있다. 회로기관에 부착되는 전자 발열 칩에는 여러 가자가 있다. 이들 중에서 가장 발열이 많고 대 표적인 전자 발열 칩은 DIPS(Dual Inline Packages) 와 HYBRID (Hybrid Packages)이다(Fig. 1, Fig. 2



Fig. 3. Geometry of PCB with chip arrangement (model A) (unit: mm).



Fig. 4. Geometry of PCB with chip arrangement (model B)(unit : mm).

참조). 따라서 본 연구에서는 열적인 환경이 가장 악 조건인 회로기판모델을 생성하기 위하여 부착된 다른 전자칩들을 이들 두 전자 발열칩으로 대체하여 열전 달 해석 및 열응력 해석을 수행하고자 한다. 특히 다 른 다수의 전자침들을 대표하기 위하여 회로기관 내 전자칩의 개수 및 배열을 Fig. 3과 Fig. 4와 같이 한 개의 DIPS(그림에서 칩 A), 네 개의 HYBRID(그림 에서 칩 B, C, D, E)가 배열된 구조로 하였으며 최적 화된 회로기관 내 전자칩 배열구조를 찾기 위하여 HYBRID의 발열양을 여러 가지로 조정하여 해석을 수행하였다. 전자 발열칩의 높이와 크기는 실제부품 과 동일한 크기로 가정하였다. 즉 DIPS의 크기는 60 mm×20 mm×1.5 mm로, HYBRID의 크기는 20 mm×20 mm×1.5 mm로 가정하였으며 회로기판의 크기는 Fig. 3~Fig. 4와 같이 가로 120 mm, 세로 140 mm크기로 하였다.

회로기판 내 전자 발열 칩의 열적 최적화 설계에 있어서 회로기판이 부착된 전자장비 내 벽면의 최대 온도가 매우 중요하다. 따라서 높은 발얼량을 가진 전 자칩은 열적으로 주변의 칩들에 영향을 미치지 않도 록 최적으로 배열하여 채널내의 최대 작동 온도를 예 측한 후 최대 작동온도가 설계 기준온도(90°C) 보다 낮도록 냉각 성능이 우수한 방열판 구조를 실계한다. 본 연구에서는 개발설계 단계에서 전자칩의 실장

기술을 고려한 Fig. 3(model A), Fig. 4(model B)와

Copper & SnPb Alloy Ероху Aluminum Copper only Heat conductivity (W/mm °C) 0.0006 0.02042 0.386 0.062 Specific heat (kJ/kg °C) 1.297 0.896 0.3981 0.376 Density (kg/mm<sup>3</sup>) 0.00111 0.00895 0.0088 0.002707

Table 1. Material Properties of PCB Components

같이 에폭시(Epoxy)와 알루미늄(Aluminum)으로 구성 된 구조(model A)와 에폭시(Epoxy)로만 구성된 구조 (model B) 두 가지 방열 구조로 한징하여 해석을 수 행한다.

#### 2.1.2 물질 상수

회로기판(Printed Circuit Board) 구조물의 재질은 실 구조물과 같은 재질인 예폭시(Epoxy)로 이루어진 배선기판과 알루비늄(Aluminum)으로 이루어진 방열 판으로 된 회로기판 위에 전자칩들이 부착되어 있으 며 진자 발열 칩의 재질은 구리(Copper)로 되어 있 고, 전자칩들을 회로기판 위에 부착하는 역할을 하는 핀(pin)은 구리(Copper)와 SnPb의 합금이며, 이들 재 실에 대한 기계적 물질특성<sup>[9,10]</sup>은 Table 1에 나타나 있다.

## 2.1.3 발열 칩의 발열조건

회로기판 내 발열칩의 열석 최적화를 위한 해석에 서 발열칩 최적배열을 위한 기하학적 해석모델은 Fig. 3과 Fig. 4와 같다. 상부는 알루미늄 방열판 하부 는 배선기판으로 이루어져 있고 발열칩의 크기와 높 이는 실제 부품과 동일한 크기로 하였으며 회로기판 상부에는 발열량이 각각 다른 5개의 고성능 발열칩이 같은 간격으로 부작되어 있다. 하부의 배선기관은 에 폭시기관으로 구성되어 있으며 자연대류 방식으로 냉 각하고 있다. 전자칩의 공급열량은 보통 크기(20 mm ×20 mm×1.5 mm)의 전자침에서 가장 높은 발열량 인 10 W를 기준으로 80%가 되는 8 W. 55%가 되는 5.5 W, 35%가 되는 3.5 W, 15%가 되는 1.5 W를 불 균일하게 가하도록 하였다. 또한, 발열칩의 크기를 고 려하여 Case 1, Case 2의 경우에 제일 큰 전자칩 A 에 가장 높은 발열량인 18 W가 발생한다고 가장하였 고, Case 3, Case 4의 경우에도 18 W보다 작지만 다 른 보통 전자칩들 보다 더 높은 발열량이 발생하는 경 우로 가장하여 총 발열량을 38.5 W가 되도록 가정하 였다.

발열침 최적 배열을 위한 설계 변수는 배치 가능한 모든 경우를 고려하였으나 해석의 단순화와 주변 온

 
 Table 2. Cases of nonuniform heating condition (unit : W)

Condition	Λ	В	C	D	E	Total
Case 1	18	10	3.5	5.5	1.5	38.5
Case 2	18	5.5	3.5	1.5	10	38.5
Case 3	13.5	1.5	8	5.5	10	38.5
Case 4	t1.5	5.5	10	1.5	10	38.5

도에 따른 냉각 성능의 비교를 쉽게 하기 위하여 침 배열의 영향에 따른 열전달 해석은 Fig. 3과 Fig. 4와 같은 동일 구조의 회로기판 상태에서 Table 2의 Case 1, Case 2, Case 3, Case 4의 4가지로 한정하였고 다음과 같은 가장을 하였다.

- (1) 모든 벽면에서의 방사율은 동일하다.
- (2) 모든 재질은 온도에 따라 밀도가 변하지 않는다.
- (3) Fig. 3과 Fig. 4에서 발열 칩을 A에서 E로 지 정하였다.

### 2.1.4 온도 및 대류 경계조건

회로기판(Printed Circuit Board) 구조물의 발열칩은 Table 2에서 처럼 각각 다른 발열을 주고, 표면에는 자연 대류상태에서의 열전달계수 5.1×10<sup>-6</sup> W/mm<sup>2</sup> ℃ 값을 사용하였고, 공기 온도는 여름철 온도인 39℃로 가정하였다. 회로기관이 전자장비 내 캐비넷 등에 부 착될 때 벽면에 밀착하여 장착된 경우와 에폭시 (Epoxy) 배선기판의 하부 면을 고정하여 부착하는 경 우도 발생할 수 있으므로 상부와 측면에만 자연대류 가 발생하는 약조건으로 가정하였다. 이때 하부의 온 도 경계 조건은 50℃로 가정하였다.

### 2.2 유한묘소 해석

## 2.2.1 유한요소 모델링

회로가관(Printed Circuit Board)의 열전달 해석을 수행하기 위하여 8 개의 절점(node)을 갖는 육면체 요 소(hexahedron cubic element)를 사용하여 각 모델 (model A와 model B)에 대한 유한요소모델을 생성하 였다(Fig. 5 참조), 각 모델에서 사용된 절점 수와 유 한요소 개수는 Table 3에 나타내었다.



Fig. 5. Finite element model of PCB (model A).

Table 3. Node and element numbers for each model

	Model A	Model B
Number of node	25,140	17,116
Number of element	18,852	23,342

### 2.2.2 온도 및 대류 경계조건

회로기관(PCB)구조물의 발열침에는 Table 1에서 처 럽 가가 다른 발열을 주고 표면에는 자연대류의 열전 달 계수 5.1×10<sup>-6</sup> W/mm<sup>2</sup>℃ 값을 사용하였고 주위 공기온도는 여름철 온도인 39℃로 가정하였다. 회로 기관 하부 면에서 온도조건은 50℃로 가정하였다.

#### 2.2.3 해석 결과 및 분석

본 연구의 목적은 회로기판 내에 기하학적 조건은 동일하게 유지하고 열 발생 조건이 각각 다른 발열칩 을 여러 가지로 배열 할 때 주변 온도의 영향 및 작 동 온도를 낮게 유지시켜 주는 발열칩 배열을 예측하 는 것이다.

각 경우에 대한 열전달 해석 결과(Fig. 6)는 다음과 같다. 먼저 모텔 A의 회로기판 구조에서의 해석 결과 를 검토하면(Table 4), Case 1의 경우는 발열칩 B에 서 가장 높은 온도(T<sub>max</sub>=79.71°C) 분포를 나타내며 발 열 칩 E에서 가장 낮은 온도(T<sub>min</sub>=48.91°C) 분포를 나타낸다. Case 2의 경우는 발열칩 D에서 가장 높은 온도(T<sub>max</sub>=79.34°C) 분포가 나타내며 발열칩 E에서 가장 낮은 온도(Y<sub>min</sub>=48.91°C) 분포를 나타낸다. Case 3의 경우는 발열칩 E에서 가장 높은 온도(T<sub>max</sub>= 79.64°C) 분포가 나타내며 발열칩 B에서 가장 낮은 온도(T<sub>min</sub>=48.91°C) 분포를 나타낸다. Case 4의 경우 는 발열칩 E에서 가장 높은 온도(T<sub>max</sub>=79.63°C) 분포 를 나타내며 발열칩 D에서 가장 낮은 온도(T<sub>min</sub>= 48.91°C) 분포를 나타낸다.

위의 열전달 결과를 분석하면 모델 A의 회로기관





Fig. 6. Temperature contour of PCB and its chip (model A, case 1).

Table 4. Temperature comparison for each case (model A)

Туре	Case 1	Case 2	Case 3	Case 4
Minimum temperature (°C)	48.91	48.91	48.91	48.91
Maximum temperature (°C)	79.71	79.34	79.64	79.63

Table 5. Temperature comparison for each model (case 2)

Туре	Model A	Model B
Minimum temperature (°C)	48.91	48.89
Maximum temperature (°C)	79.34	85.66

구조에서 모든 배열칩 배열 경우에서 가장 낮은 온도 는 모든 경우 동일(T<sub>min</sub>=48.91°C)하며, 최대온도는 설 계 기준온도(90°C)보다 모두 작지만 그 중에서도 Case 2의 배열칩 배열이 그 중 최대온도가 가장 작기 때문에 최적의 배열칩 배열이라고 볼 수 있다.

회로기판 모델 B에서는 보통 회로기판 모델 A보다 더 높은 온도 분포가 나타났으며, 특히 모델 B의 Case 2 발열칩 배열에서는 발열칩 B에서 가장 높은 온도 (T<sub>max</sub>=85.66°C) 분포가 나타나고, 발열칩 E에서 가장 낮은 온도(T<sub>min</sub>=48.89°C) 분포가 나타난다(Table 5).

따라서 알루미늄 방열관이 있는 회로기관 모델 A 가 알루미늄 방열관이 없는 회로기관 모델 B보다 열 전달 효과가 우수한 것으로 나타났으며 발열칩의 배 열 구조는 발생 최대 온도가 가장 낮은 Case 2가 이 상적입을 알 수가 있다.

## 3. 전자장비 회로기판의 熱應力 해석

#### 3.1 문제의 구성

회로기판의 열전달 해석 후 발생하는 열응력 해석 을 수행하여 회로기판의 치수변화 및 최적설계조건을 찾아본다.

#### 3.1.1 구조형상

본 연구에서는 회로기판 내 발열칩의 열적 최적화 를 위한 열전달 해석에서 알 수 있듯이 회로기판 모델 A의 Case 2 경우가 가장 좋은 발열칩 배열 구조해석 모델로 나타났다. 따라서 열응력 해석 모델은 상부는 알루미늄 방열판 하부는 배선기판으로 이루어져 있고 알루미늄 방열판 위에 5개의 발열칩이 일정하게 놓여 있는 기하학적 구조를 갖는 모델 A(Fig. 2)를 해석모 델로 선택하였으며 발열칩들의 배열 구조는 Case 2를 선택하였다.

## 3.1.2 물질상수

회로기관(Printed Circuit Board)을 구성하고 있는 구성부품들의 재질은 실제 구조물과 같은 재질로 하 였으며 이 재질들에 대한 물질의 기계적 특성<sup>[9,00</sup>은 Table 6에 나타나 있다. 3.1.3 경계 및 외력 조건

회로기관(PCB)이 전자장비 내에 설치되는 형태는 여러 가지가 있다. 한쪽 옆면(긴 옆면 혹은 짧은 옆 면)이 캐비넷에 구속 부착 설치되는 경우가 있으며 또 는 양 옆면 모두를 구속 부착 설치되는 경우도 있다. 그려나 메인보드(main board)판 같은 회로기판은 밑 면 전체가 캐비넷에 구속 부착 설치된다. 이와 같은 회로기판의 구속 부착 설치되는 구속조건에 따라 열 응력에 의한 변형이 다를 것이라고 판단된다. 따라서 본 연구에서는 회로기관(PCB) 구조물의 짧은 하측면 (short lower side)을 구속한 경우와 긴 좌측면(long left side)을 구속한 경우 또 하측면과 좌측면을 모두 구속한 경우, 바닥이 되는 밑면을 고정하는 경우로 나 누어서 해석을 수행한다. 본 열응력 해석 연구의 목적 은 구조적으로 안정한 회로기판의 전자장비내 부착 설치되는 방식을 찾아보고 회로기관의 전자장비 내 각 부착 설치되는 형태별로 구조물의 열응력 취약부 를 찾고자 하는 것이다.

### 3.2 유한요소해석

#### 3.2.1 유한요소 모델링

회로기판(Printed Circuit Board)의 유한요소 모델은 열전달 해석 시 사용한 유한요소모델과 동일한 모델 (Fig. 5 참조)로 8개의 절점(node)를 갖는 육면채유한 요소(hexahedron cubic element)를 사용하였다.

## 3.2.2 경계 및 외력 조건

본 연구에서는 4가지의 경계조건을 사용한다. 한 가 지는 애폭시로 된 배선기판의 짧은 하측 면을 캐비넷 에 부착하는 경우인데, 이 경우에는 하측 면에서 모든 자유도 U<sub>x</sub>, U<sub>y</sub>, U<sub>z</sub>를 구속한다. 두 번째 경우는 에폭 시 배선기판의 긴 좌측면을 캐비넷에 부착하는 경우 로써 이 경우도 좌측면에서의 모든 자유도 U<sub>x</sub>, U<sub>y</sub>, U<sub>y</sub>를 구속한다. 세 번째 경우는 좌측면과 하측면 모두 볼 캐비넷에 부착하는 경우로써 이 경우에도 하측면 과 좌측면의 모든 자유도 U<sub>x</sub>, U<sub>y</sub>, U<sub>z</sub>를 모두 구속한 다. 네 번째 경우는 에폭시 배선기관 하부면을 캐비넷

Material	Ероху	Aluminum	Copper only	Copper & SnPh afloy
Young's modulus E(GPa)	20.58	78.6	116	98
Poísson's ratio v	0.3	0.3	0.3	0.3
Thermal expansion coeffcient $\alpha(f^{*}C)$	0.594E-05	20.0E-06	16.6E-06	10.1E-06
Yield stress $\sigma_{\rm Y}({\rm MPa})$	70	20	64	64

Table 6. Material properties of PCB components

에 부착하는 경우로써 에폭시 배선기관 하부면의 모 든 자유도 U<sub>x</sub>, U<sub>y</sub>, U<sub>z</sub>를 모두 구속한다.

3.2.3 해석 결과 및 분석 회로기판 모델 A에 대한 구조물에 대하여 최적의





(c) Detailed view of chip D

Fig. 7. Stress contour of PCB and its chip (constrained case on the short lower side).

발열침 배열구조 Case 2인 열적 조건 경우에 열응력 해석을 수행한 결과(Fig. 7~9) 각 구속 조건에 따른 발생 최대 응력과 변형의 크기를 Table 7에 나타내었 다. Table 7에 따르면 회로기관을 전자장비 캐비넷에 긴 좌측면을 구속 설치하는 경우가 가장 작은 열응력 이 발생하는 것을 알 수가 있다. 발생 응력이 가장 큰 경우는 회로기판 바닥 변을 캐비넷에 구속 설치하는 경우로서 긴 좌측면을 구속 설치하는 경우 보다 거의 두 배의 응력이 발생함을 알 수 있다. 그러나 발생하 는 변형을 보면 회로기관의 바닥 면을 캐비넷에 구속 설치하는 경우가 가장 작은 변형이 발생하고 있는데 이는 구조적으로 안정함을 알 수 있다. 그러나 짧은 하측 면을 구속 설치하는 경우는 발생 응력도 크고 변 형도 크게 발생하여 구조적으로 불안성할 뿐 아니라 **월응력에도 매우 취약한 것을 알 수 있다. 하측 면과** 좌측면을 모두 구속하는 경우가 발생하는 일응력 측 면이나 변형의 측면에서 다른 경우 보다 열응력에도 강하고 구조적으로도 안정적인 구속 설치방법임을 알 수 있다. 이와 같은 결과는 편을 고려하지 않는 모델 의 해석결과<sup>11</sup>와는 상이한 것인데, 이는 편을 고려하



Fig. 8. Deformed shape of PCB and its chip (constrained case on the short lower side).

Constrained condition	Constrained on short side	Constrained on Jong side	Constrained on both short and long sides	Constrained on bottom surface
Maximum von-Mises stress (MPa)	213.9	162.0	188.5	355.7
Maximum deflection (mm)	1.365E+00	1.089E+00	2.9111E-01	4.028E-03

Table 7. Analysis results according to the constrained conditions (model A, case 2)



Fig. 9. Stress contour of pin for each constrained conditions.

므로써 높은 열 응력이 발생하는 부위가 편에 집중되 어 편을 고려하지 않은 모델과는 그 열응력 발생 부위 가 다르기 때문이라 사료된다. 따라서 편을 고려하지 않는 모델은 실제 회로기관의 열응력 해석모델로는 적당치 않음을 알 수 있다.

모두 구속 설치할 경우 최대 응력이 발생하는 부위 는 예상했던 대로 발열이 가상 큰 전자첩의 편(pin) 부위에 발생함을 알 수 있다(Fig. 9). 모든 경우에 있 어서 편에 발생한 응력을 검토하면 발생 부위나 약간 의 응력 크기의 정도의 차이가 있으나 편과 방열관의 접속 경계면에서 최대응력이 발생함을 알 수가 있어 모든 회로기관 구속 설치경우에 있어 방열판과 접속 하는 편의 경계 부위가 취약함을 알 수가 있다. 또한 전자첩과 접속하는 부근의 굽여진 편 부위도 정도의 차이는 있지만 취약부 입을 알 수 있다. 특히 짧은 면 과 밑면을 구속 설치하는 경우에는 굽이진 핀 부위가 특히 다른 경우에 비해 매우 취약하다.

### 4. 결 론

본 논문에서는 상용 유한요소해석 코드인 NISA를 이용하여 진자장비의 인쇄된 회로기관에 대한 열전달 해석 및 열응력 해석을 수행하였다.

오늘날 휴대전화나 컴퓨터 같은 전자장비는 소형화 /대형화 추세에 있으며, 이에 따라 이들 전자장비의 핵 심부언 회로기관 내에 부착되는 전자첩들의 말도는 증가되고 있다. 이들 전자침들은 전자장비의 작동 시 하나의 열원으로 작용하므로 전자칩들의 밀도가 증가 함에 따라 발열밀도가 증가하여 열 발생율이 더욱 높 아지고 있으며 이에 표면 실장부품의 접속부 파괴, 일 팽창에 의한 치수 변환 및 화학적 변화가 수반되고 있 다. 따라서 본 연구에서는 개발실계에 있어서 중요한 발일 대책에 대해 설계 단계에서 예측하여 효율적인 냉각설계가 될 수 있는 방안을 모색하기 위해서 회로 기판 내 전자 발열칩의 여러 가지 배열구조에 대하여 열전달 해석을 수행하여 최적의 발열칩 배열 구조를 확인하고, 각 회로기관 구조 변화에 따른 발일칩의 열 전달 영향 및 최적 방열구조를 확인하였다. 특히 본 논문에서는 전자장비의 주요 고장 및 내구성 저하 원 인인 회로기판 내에 부착된 전자 발일칩에 발생되는 열응력을 해석하여 전자 발열침의 고장 원인 및 설계 시 효율적인 설계 방안을 모색하였다. 이를 위하여 본 논문에서는 두 개의 방일판 모델(모델 A, 모델 B)에 대하여 발열 악조건을 가정하여 여섯 개의 발열칩들 을 배열하고 이들 반열칩에 발생하는 발열 조건을 여 러 가지(여섯 경우)로 가성하여 열잔달 해석을 수행하 여 그 결과를 비교 분석하였다. 이와 같은 열전달 해 석 결과 알루미늄 방열판이 있는 회로기판 모델 A가 알루미늄 방열판이 없는 회로기판 모델 B보다 열전달 효과가 우수한 것으로 나타났으며 발열 조건이 우수 한 모델 A에 대하여 회로기관의 전자장비 부착조건에 따라 열응력 해석을 수행하여 발생하는 열응력의 크 기 및 발생 부위를 확인하였다.

특히 편을 고려하지 않은 모델과 고려한 모델의 해 석 결과를 비교한 결과 열전달 해석 시에는 발열칩 배 열의 상이함으로 정확한 비교는 어려우나 어느 징도 유사성을 보이고 있음을 알 수 있다. 그러나 열응력 해석 시에는 그 결과에 차여가 발생하는 것을 알 수 있었다. 이는 편을 고려한 모델의 경우 실제 열응력은 핀(pin) 부위에 집중적으로 발생하는 것으로 보아 핀 을 고려하지 않은 모델의 경우 그 해석이 부정확성이 예상된다. 따라서 회로기관의 열응력 해석 시에는 핀 을 고려 하지 않은 모델은 적당치 않음이 확인되었다. 해석결과 회로기판을 진자장비의 케비넷에 부착할 때에는 짧은 모서리보다는 긴 모서리를 부착하는 방 식아, 또 두 모세리를 모두 부착하는 방식도 옅응력과 변형이 적게 발생하는 안정적인 설치 구속 조건인 것 을 확인하였다. 또 발생하는 열음력은 전자 발열칩을 회로기판에 무착하는 편(pin) 부위에 집중적으로 발생 하며 특히 발열량이 큰 침의 편에 큰 열응력이 발생함 을 확인하였다. 모든 회로기판 구속 설치경우에 있어 방열판과 접속하는 편의 경계 부위가 취약함을 알 수 가 있었다. 또한 전자첩과 접속하는 부근의 굽이진 핀 부위도 정도의 차여는 있지만 취약부 임을 알 수 있었 다. 특히 짧은 면과 밑면을 구속 설치하는 경우에는 굽어진 핀 부위가 특히 다른 경우에 비해 매우 취약함 을 알 수 있었다.

## 감사의 글

이 논문은 2003학년도 홍익대학교 학술연구조성비

에 의하여 연구되었음.

## 참고문헌

- 박성관, "열유동 해석을 이용한 컴퓨터 구조의 소형 화 설계," 한국CAD/CAM 학회 논문집, 제4권, 제4 호, pp. 318-326, 1999.
- 학재홍, 이새현, "전자 장비 캐비넷의 냉각 특성에 관한 실험적 연구," 대한기계학회논문집(B), 제20 권, 제7호, pp. 2356-2355, 1996.
- 박상후, 이부윤, "변형 모드를 이용한 모니터용 회 로가판의 파손저감설계에 관한 연구," 한국 정말 공 학회시, 제18권, 제1호, pp. 111-116, 2001.
- 金宰弘, "放熱效果를 考慮한 PCB 채널에서의 熱 傳 達解析," 조선대학교 대학원 박사학위 논문、1999.
- 신달흔, "유한요소법에 의한 Compliant Press-Fit Pin 및 PCB의 응력해석," 고려대학교 대학원 박사 학위 논문, 1990.
- Oktay, S., Hannemann, R. and Bar-Cohen, A., "High heat from a small package," *Mechanical Engineering March*, pp. 36-42, 1986.
- 건영주, 김진안, "모니터용 회로기판의 내구성 향상 을 위한 열응력 해석," 홍익대학교 논문집 산업기 술, 제11집, pp. 203-216, 2001.
- 김재홍, 김종일, "전자 장비 안전 설계를 위한 PCB 의 설계단계별 열전달 해석," 한국산업 안전 협회 시, 제13권, 제2호, pp. 55-63, 1998.
- 9. Crandall Dahl Lardner, An Introduction to the Mechanics of Solids, McGraw-Hill, 1983.
- Smithells, C. J., Metals Reference Book. Interscience Publishers Inc., New York, 1955.



권 영 주

1979년 서울대학교 공과대학 가개공학과 학사

1981년 서울대학교 대학원 기개공학과 식사

1987년 미국 미시간대학교(The University of Michigan, Ann Arbor) 대학원 공학박사

1987년~1988년 미국 ADAPCO 엔지니어

1988년~1990년 미국 EMRC(기계공학연구소) 수석연구원 1990년~1996년 한국과학기술연구원(KIST) 선임연구원 1996년~현재 홍익대학교 기계정보공학과 부교수 관심분야: 박관고체구조물 구조해석(Structural Analysis of Plate

원 B 문 가 특 도 가 ( The First And Charge Elastic & Plastic & Shell), 탄성/소성 내변형 구조해석(Large Elastic & Plastic Structural Deformation Analysis), 좌굴해석(Buckling Analysis), 원탄성해석(Thermal Elasticity Analysis), 유인요소법개발(Finite Element Method Development), MDO에 의한통합구조해석가술 개발



김 진 안

1999년 홍익대학교 기계설계학과 학사 2004년 홍익대학교 대학원 기계정보공학 과 석사 관심분야: CAE에 의한 구조해석 및 설 세, 구조분의 열응력해석