
500MSamples/s 6-비트 CMOS 폴딩-인터폴레이팅 아날로그-디지털 변환기

이돈섭* · 광계달**

A 500MSamples/s 6-Bit CMOS Folding and Interpolating AD Converter

Don-Suep Lee* · Kae-Dal Kwack**

이 논문은 한양대학교 교내 연구비로 수행되었음.

요 약

본 논문에서는 HDD나 LAN 등에 응용하기 위하여 아날로그 신호와 디지털 신호를 동시에 처리하는 VLSI의 내장용 회로로 사용하기에 적합한 CMOS 6-비트 폴딩-인터폴레이팅 AD 변환기를 설계하였다. 고속 데이터 통신에 사용하기 위하여 VLSI에 내장되는 아날로그 회로는 작은 칩의 크기와 적은 소비전력, 빠른 데이터 처리속도를 필요로 한다. 제안한 폴딩-인터폴레이팅 AD 변환기는 서로 다른 원리로 동작하는 2 개의 폴더를 캐스케이드로 결합하여 전압비교기와 인터폴레이션 저항의 개수를 현저히 줄일 수 있으므로 내장형 AD 변환기의 설계에 많은 장점을 제공한다. 설계 공정은 0.25 μ m double-poly 2 metal n-well CMOS 공정을 사용하였다. 모의실험결과 2.5V 전원전압을 인가하고 500MHz의 샘플링 주파수에서 27mW의 전력을 소비하였으며 INL과 DNL은 각각 ± 0.1 LSB, ± 0.15 LSB 이고 SNDR은 10MHz 입력신호에서 42dB로 측정되었다.

ABSTRACT

In this paper, a 6-Bit CMOS Folding and Interpolating AD Converter is presented. The converter is considered to be useful as an integrated part of a VLSI circuit handling both analog and digital signals as in the case of HDD or LAN applications. A built-in analog circuit for VLSI of a high-speed data communication requires a small chip area, low power consumption, and fast data processing. The proposed folding and interpolating AD Converter uses a very small number of comparators and interpolation resistors, which is achieved by cascading a couple of folders working in different principles. This reduced number of parts is a big advantage for a built-in AD converter design. The design is based on 0.25 μ m double-poly 2 metal n-well CMOS process. In the simulation, with the applied 2.5V and a sampling frequency of 500MHz, the measurements are as follows: power consumption of 27mW, INL and DNL of ± 0.1 LSB, ± 0.15 LSB each, SNDR of 42dB with an input signal of 10MHz.

키워드

ADC/AD 변환기/AD converter/폴딩 ADC/폴딩-인터폴레이팅 ADC

I. 서 론

아날로그-디지털 변환기(ADC)는 반도체 공정 기술의 발달로 인하여 디지털회로와 함께 단일 칩 상에서 제조되는 방향으로 발전하고 있다. 따라서 칩의 크기, 소비전력, 고속 변환 기술 등이 중요시 되고 있다. 고속 동작을 위한 ADC는 flash ADC가 대표적으로 사용되고 있으나 N-비트의 디지털 데이터를 구하기 위하여 2^N-1 개의 전압비교기를 필요로 하므로 칩의 면적과 소비전력이 커서 VLSI에 내장하여 사용하는 데 제약점을 가지고 있다. HDD와 LAN에 사용되는 데이터 변환기는 일반적으로 6-비트 해상도에서 250MHz 이상의 데이터 변환속도를 가져야 하며, 최근에 사용되는 고속 데이터 전송을 위한 HDD와 LAN에서는 500MHz 이상의 데이터 변환속도를 요구한다[1],[2]. 따라서 이들 시스템에서는 별도의 칩으로 제작한 flash ADC를 사용하고 있다.

고속 데이터 변환 속도를 가진 ADC에서 칩의 면적과 소비전력을 줄이기 위한 대표적인 방법으로는 폴딩-인터플레이팅 기술이 있다[3]-[6]. 본 논문에서는 2 쌍의 폴더가 캐스케이드로 결합된 폴딩-인터플레이팅 ADC를 사용하여 칩의 면적과 소비전력을 크게 개선하였다. 6-비트 해상도를 가진 폴딩-인터플레이팅 ADC는 일반적으로 상위 비트를 구하기 위한 coarse ADC와 하위 비트를 구하기 위한 fine ADC로 구성된다. coarse ADC는 flash ADC로 구성하며, fine ADC는 폴딩증폭기와 인터플레이션 사다리 저항, 전압비교기, 디코딩 블록 등으로 구성된다. 본 논문에서는 폴딩-인터플레이팅 ADC의 칩 면적과 소비전력을 줄이기 위하여 서로 다른 구조를 가진 2 개의 폴더를 캐스케이드로 결합하였다. 이 구조는 fine ADC에서 디지털 출력을 구하기 위하여 5 개의 전압비교기와 8 개의 인터플레이션 저항만을 사용하므로 칩 면적과 소비전력을 크게 개선시킬 수 있다.

폴딩-인터플레이션 ADC의 가장 큰 문제점은 폴딩증폭기에서 출력되는 폴딩신호가 입력되는 신호에 대해 비선형적으로 동작하는데 있다[7]. 이 문제를 해결하기 위하여 각 폴딩증폭기에서 출력되는 폴딩신호는 완전한 형태의 차동신호를 갖도록 설계하였다. 완전 차동 폴딩신호는 입력신호의 전 범위에서 거의 완전한 차동신호를 출력하므로 비선형 에러를 크게 개선시킨다. 또한 각 폴더간에는 2 개의 인터플레이션 저항만을 사용하므로 전압비교기에 입력되는 차동신호는 이웃한 차동신호와의

신호레벨이 크다. 따라서 신호의 교차점을 감지하여 디지털 신호를 출력하는 전압비교기의 이득은 작아도 된다.

II. 폴딩 ADC의 구조

폴딩-인터플레이팅 ADC는 높은 대역폭을 가진 입력신호에 대해 flash ADC보다 작은 칩 면적과 적은 소비전력으로 데이터를 변환한다. 폴딩-인터플레이팅 ADC의 칩 면적과 소비전력을 더 줄이려는 시도는 계속되고 있으며 여러 가지 방법이 제시되고 있다[1],[5],[8].

그림 1에서는 본 논문에서 제시하는 캐스케이드 폴딩-인터플레이팅 ADC의 구조를 나타내었다. 상위 2 비트를 얻기 위하여 coarse ADC는 flash ADC를 사용하였다. 하위 4 비트를 얻기 위한 fine ADC는 4 개의 폴딩증폭기(FA1, FA2, FA3, FA4)를 기본 구조로 사용하고, 여기에서 출력된 폴딩신호를 다시 폴딩하는 2 차 폴더(A, B)를 인터플레이션 사다리 저항 사이에 추가하였다.

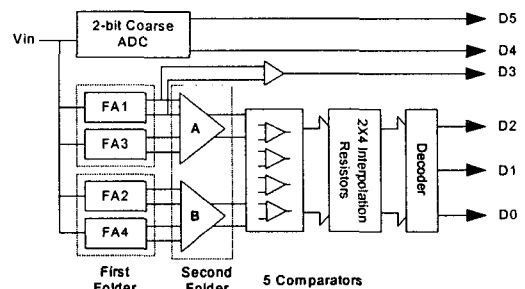


그림 1. 폴딩-인터플레이팅 ADC의 구조

Fig. 1. Block diagram of the 2 stage folding and interpolating AD converter.

첫 번째 폴더에서 사용하는 4 개의 폴딩증폭기에서 출력되는 폴딩신호는 입력신호의 전 범위에서 선형성을 유지하기 위하여 완전 차동 신호가 출력되도록 설계하였다. 이 신호는 2 차 폴더에서 2 배의 폴딩율을 가진 폴딩신호를 출력한다. 2 차 폴더는 오직 수 개의 크기가 작은 트랜지스터만으로 설계하였으므로 칩의 면적과 소비전력을 크게 줄일 수 있을 뿐만 아니라 비선형 에러를 줄일 수 있는 좋은 동작특성을 가지고 있다.

그림 2에서는 1 차 폴더에서 사용하는 폴딩증폭

기의 구조와 기준전압을 나타내었다.

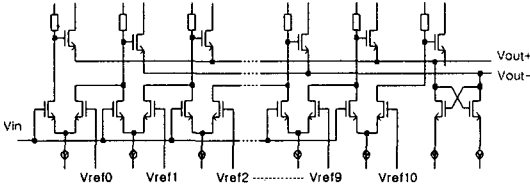
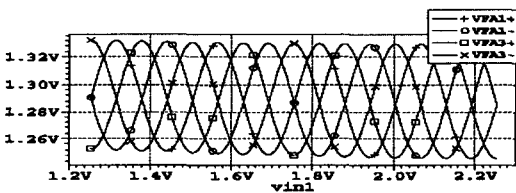


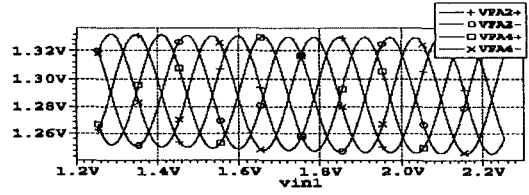
그림 2. Wired-OR로 구성된 폴딩증폭기의 구조
Fig. 2. Structure of folding amplifier based on wired-OR interconnection.

1차 폴더에서 사용하는 폴딩증폭기는 여러 개의 CDP(Coupled differential pair)로 구성되는데 CDP의 개수는 여기에 인가되는 기준전압의 크기, 오프셋 전압, 동작속도 등에 영향을 미치므로 폴딩-인터플레이팅 ADC의 비선형 동작특성에 큰 영향을 끼친다. CDP의 개수를 폴딩율로 정의하는데 대부분의 폴딩-인터플레이팅 ADC에서는 여러 가지 이유로 인해 폴딩율을 8로 사용한다[3]-[6]. 폴딩율을 높이면 전압비교기와 인터플레이션 저항의 숫자를 줄일 수 있으므로 폴딩-인터플레이팅 ADC의 칩 면적과 소비전력을 개선시킬 수 있다. 그러나 폴딩증폭기의 크기, 소비전력, 선형동작 영역 등을 고려하여 결정해야 한다.

본 논문에서는 폴딩증폭기의 폴딩율이 8이 되도록 하였다. Vref1에서 Vref9까지 인가되는 기준전압은 일반적인 폴딩증폭기에 인가되는 기준전압과 같다. 그러나 Vref0에는 Vref1보다 1LSB 만큼 작은 기준전압을, Vref10에는 Vref9보다 1LSB 만큼 큰 기준전압을 추가로 인가한다. 이와 같이 2 개의 기준전압이 추가된 폴딩증폭기는 그림 3(a)에서와 같이 입력전압의 전 범위에서 거의 완전한 사인파 형태의 차동 신호를 출력한다. 그림 3(a)는 서로 90°의 위상차를 가진 폴딩증폭기 FA1과 FA3의 출력 파형을 그림 3(b)는 폴딩증폭기 FA2와 FA4의 출력 파형을 나타낸 것이다.



(a) FA1-FA3의 완전 차동 폴딩신호
(a) Fully differential folding signals of FA1-FA3



(b) FA2-FA4의 완전 차동 폴딩신호
(b) Fully differential folding signals of FA2-FA4
그림 3. 1 차 폴딩증폭기의 완전 차동 폴딩파형
Fig. 3. Fully differential folding signals of first folding amplifier

이 폴딩증폭기는 입력전압의 전 범위에서 완전 차동 폴딩신호를 구할 수 있으므로 폴딩증폭기에 의한 비선형 동작특성을 크게 개선시킬 수 있다. 폴딩증폭기에 인가되는 기준전압의 1LSB는 폴딩율이 8이므로 0.125V가 된다. 폴딩신호는 폴딩-인터플레이팅 ADC의 비선형 에러에 큰 영향을 미치므로 오프셋 에러를 최소화해야 한다. 신호가 입력되는 각 CDP의 트랜지스터 크기를 크게 하면 오프셋 에러를 무시할 수 있으나 신호의 지연시간이 커지므로 지연시간이 신호의 변환속도보다 작도록 결정해야한다. 본 논문에서는 오프셋 에러와 지연시간, 이득 등을 고려하여 입력 트랜지스터의 W/L비는 80/1.0, 드레인 전류는 50 μ A가 되도록 하였다.

90°의 위상차를 가진 폴딩증폭기의 출력을 2차 폴더에 입력하면 2 배로 폴딩된 신호를 얻을 수 있다. 그림 4는 2 차 폴더의 구조를 나타낸 것으로서 차동 증폭기의 동작원리에 의해 출력신호를 내보낸다.

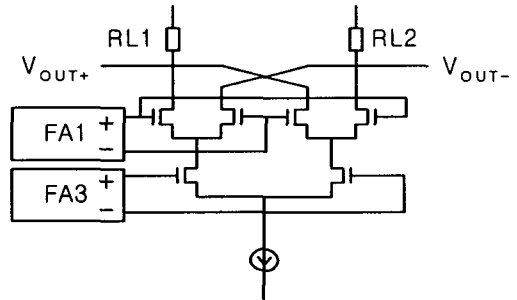
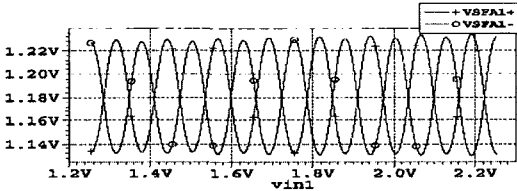


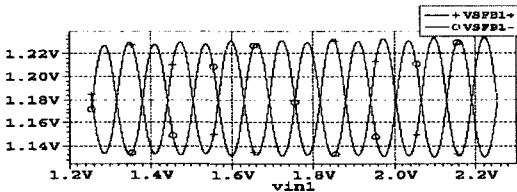
그림 4. 2차 폴더의 구조
Fig. 4. Schematic of second folder

그림 5는 입력전압에 대한 2 차 폴더의 출력파형을 나타낸 그림이므로 폴딩율이 16인 폴딩신호

임을 나타낸다. 출력파형의 오프셋 전압과 지연시간은 비선형 에러에 영향을 미치지 않을 만큼 작은 값을 갖는다.



(a) FA1-FA3에 대한 2 차 폴더의 출력
(a) Folding signals of second folder(FA1-FA3)



(b) FA2-FA4에 대한 2 차 폴더의 출력
(b) Folding signals of second folder(FA2-FA4)
그림 5. 2 차 폴딩증폭기의 출력파형

Fig. 5. Output waveform of second folding amplifier

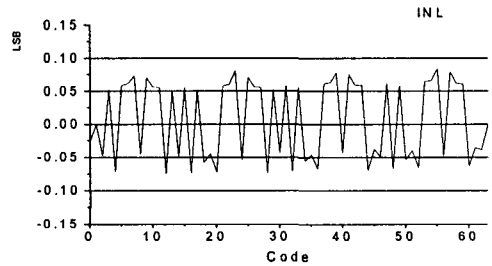
2차 폴더에서 출력된 폴딩신호는 소오스 폴로어로 구동되는 인터플레이션 사다리 저항에 인가된다. 소오스 폴로어에 연결된 사다리 저항을 흐르는 전류는 유입되는 전류와 유출되는 전류의 합이 거의 0이므로 전력손실이 없다. 인터플레이션 저항을 통해 만들어진 4개의 차동 신호 쌍은 4개의 전압비교기로 입력되어 순환코드로 변환된다.

전압비교기는 입력된 차동신호의 교차점(zero-crossing)을 감지하여 디지털 출력신호를 내보낸다. 따라서 입력되는 신호의 오프셋 전압이나 전압비교기 자체의 오프셋 전압 변동이 순환코드를 생성하는데 영향을 미치지 말아야 한다. 본 논문에서는 비트 에러가 작은 전압비교기[7]를 사용하였으며 500MHz의 샘플링 주파수에서도 낮은 비트 에러비 (BER; Bit error rate)로 동작한다. 전압비교기는 2 개의 인터플레이션 저항에 의해 생성된 신호의 레벨을 감지하므로 입력 트랜지스터의 크기는 $W/L=10/1$ 이면 충분하다. 디코더는 순환코드를 이용하여 하위 3 비트 디지털 데이터를 만든다. 디코더는 표준 CMOS 논리소자와 ROM 회로로 설계하였으며 샘플링 클럭에 동기되어 있는 마스터-슬레이브 D 플립플롭을 통해 2진 코드를 출력한다. 인터플레이션 저항을 통하여 변환된 하위 3 비트 데

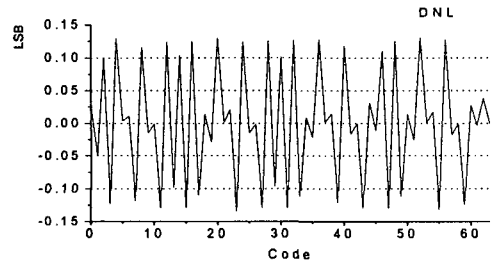
이터와 FA1 폴딩증폭기에서 생성되는 1 비트, coarse ADC에서 생성되는 2 비트 코드는 지연시간의 차이에 의해 에러가 발생할 수 있다. 따라서 플립플롭을 사용한 지연보상회로를 통하여 지연시간을 보상해야 한다.

IV. 모의실험 결과

제안한 2개의 폴더가 캐스케이드로 결합된 폴딩-인터플레이팅 ADC는 0.25 μ m 표준 n-well CMOS 제조공정 파라미터를 사용하여 모의실험하였다. 모의실험 도구는 Hspice를 이용하였다. 모든 파라미터는 500MHz의 샘플링 주파수에서 측정하였다. 소비전력은 2.5V의 전원에서 27mW로 계산되었다. 실험 결과값을 이용하여 계산한 INL과 DNL은 각각 ± 0.1 LSB, ± 0.15 LSB이며 그림 6에 나타내었다. 그림 7은 1MHz의 사인파를 인가하고 2048 개의 신호를 샘플링하여 얻은 FFT로서 SFDR은 62dB이다. 10MHz 사인파를 입력하여 얻은 SNDR은 약 42dB, 20MHz에서는 28dB로 측정되었다. 그림 8에 입력신호의 주파수를 증가시키며 측정된 SNDR을 나타내었다.



(a) INL



(b) DNL

그림 6. 500MHz 샘플링 주파수에서의 INL과 DNL
Fig. 6. INL and DNL at 500MHz sampling frequency

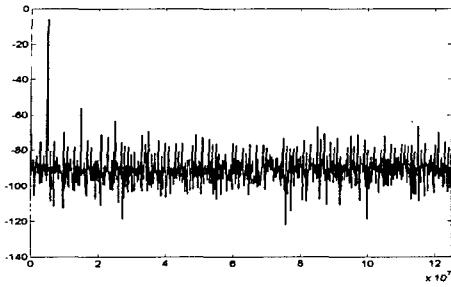


그림 7. 500MHz 샘플링 주파수에의 FFT
Fig. 7. FFT at 500MHz sampling frequency

표 1은 본 논문에서 설계한 폴딩-인터플레이팅 ADC의 파라미터를 요약한 것이다.

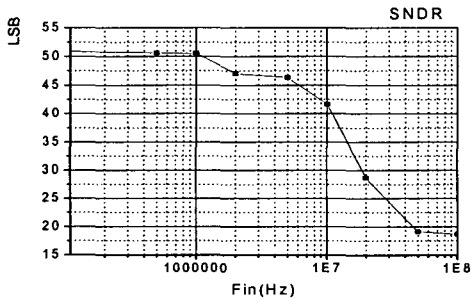


그림 8. 500MHz 샘플링 주파수에의 SNDR
Fig. 8. SNDR at 500MHz sampling frequency

표 1. 모의실험 결과
Table 1. Simulation Results

공정기술	0.25 μ m double-poly 2 metal n-well CMOS
해상도	6-비트
변환속도	500Msamples/s
입력전압	1Vpp
소비전력	27mW
INL/DNL	$\pm 0.1 / \pm 0.15$ LSB
SFDR($F_{in}=1$ MHz)	62dB
SNDR($F_{in}=10$ MHz)	42dB

V. 결 론

본 논문에서는 VLSI의 내장 회로로 사용하기에 적합하도록 칩 면적이 작고 소비전력이 적은 CMOS 6-비트 폴딩-인터플레이팅 AD 변환기를 설

계하였다. 2 개의 폴더를 캐스케이드로 결합하여 전압비교기와 인터플레이션 저항의 수를 각각 5 개와 8 개로 줄일 수 있었다. 전압비교기와 인터플레이션 저항 수를 줄임으로서 소비전력과 칩 면적을 크게 줄일 수 있었다. 2.5V의 단일전원을 인가하고, 500MHz의 샘플링 주파수에서 측정된 소비전력은 27mW, INL과 DNL은 각각 ± 0.1 LSB, ± 0.15 LSB로 계산되었다. SNDR은 10MHz의 입력 신호에서 42dB로 측정되었다. 본 논문에서 제안한 폴딩-인터플레이팅 ADC는 고속으로 동작하는 HDD 및 LAN의 신호 처리용 VLSI의 내장 회로에 적용하면 소비전력과 함께 칩 면적을 크게 줄일 수 있는 장점을 가지고 있다.

참고문헌

- [1] Michael P. Flynn and Ben Sheahan, "400-Msample/s, 6-b CMOS Folding and Interpolating ADC," IEEE J. of Solid-State Circuits, vol.33, no.12, pp. 1932-1938, Dec. 1998.
- [2] Iuri Mehr and Declan Dalton, "A 500-MSamples/s, 6-Bit Nyquist-Rate ADC for Disk-Drive Read-Channel Applications," IEEE J. of Solid-State Circuits, vol.34, no.7, pp. 912-919, July. 1999.
- [3] Rob E. J. Van de Grift and Rudy J. Van de Plassche, "A Monolithic 8-Bit Video A/D Converter," IEEE J. of Solid-State Circuits, vol. sc-19, no. 3, pp 376-377, June. 1984.
- [4] ROB E.J. Van de Grift, Ivo W.J.M. Rutten, and Martien Van der Veen, "An 8-bit Video ADC Incorporating Folding and Interpolation Techniques," IEEE J. of Solid-State Circuits, vol. sc-22, no. 6, pp 994-953, Dec. 1987.
- [5] Bram Nauta and Ardie G. W. Venes, "A 70-MS/s 110-mW 8-b CMOS Folding and Interpolating A/D Converter," IEEE J. of Solid-State Circuits, vol.30, no.12, pp. 1302-1308, Dec. 1995.
- [6] Johan van Valburg and Rudy J. van de Plassche, "An 8-b 650-MHz Folding ADC," IEEE J. of Solid-State Circuits," vol.27, no.12, pp. 1662-1666, Dec. 1992.
- [7] Ardie G.W. Venes, and Rudy J. van de Plassche, "An 80-MHz, 80-mW, 8-b CMOS Folding A/D Converter with Distributed Track-and-Hold Processing," IEEE J. of Solid-State Circuits, vol. 31, no. 12, pp.

1846-1853, Dec. 1996.

- [8] P.Vorenkamp, R. Roovers, "A 12b 50M Samples/s Cascaded Folding and Interpolating ADC," ISSCC97 Session8, pp.134-135,442, 1997.

저자소개



이돈섭(Don-Suep Lee)

1982 성균관대학교 전자공학과 졸업
1984 한양대학교대학원 전자공학과 졸업(공학석사)
1997 한양대학교대학원 전자공학과 박사과정 수료

1996~현재 두원공과대학 소프트웨어개발과 부교수
※ 관심분야 : AD, DA변환기, 영상신호처리시스템



곽계달(Kae-Dal Kwack)

1974 한양대학교 전자공학과 졸업
1976 한양대학교대학원 전자공학과 졸업(공학석사)
1980 ENSEEIHT, I.N.P, France (공학박사)

1982~현재 한양대학교 전자전기컴퓨터공학부 교수
※ 관심분야 : 반도체회로설계, 나노메모리설계