

# Cdma2000 3X 다중 반송파 채널 분리용 수치 제어 발진기

정희원 임 인기\*, 김 환우\*\*

## A Numerically Controlled Oscillator for Multi-Carrier Channel Separation in Cdma2000 3X

In-Gi Lim\*, Whan-Woo Kim\*\* *Regular Members*

### 요 약

본 논문에서는 위상 오차를 개선한 디지털 사인 파형 생성을 위한 수치 제어 발진기 (NCO, Numerically Controlled Oscillator) 내의 세부 위상 조정기와 라운딩 처리기를 제안한다. 본 논문에서 제안된 세부 위상 조정기를 사용함으로써 원하는 사인 파형 출력 주파수와 클록 주파수와의 관계가 분수 관계식으로 나타나는 경우, 간단한 하드웨어의 사용으로 세부 조정값 B/A를 정확하게 처리할 수 있다. 또한 제안된 라운딩 처리기는 출력 스펙트럼 상에서 위상 잘라버림의 효과를 감소시킬 수 있다. 제안된 기술들을 cdma2000 3X 다중 반송파 채널 분리용 수치 제어 발진기에 적용하여 모의 실험한 결과 잡음 스펙트럼과 평균 자승 오차가 잘라버림 대비 8.68 dB와 5.5 dB 감소하였고, Paul 구조 대비 2.38 dB와 0.83 dB 감소함을 확인하였다.

Key Words : NCO; numerically controlled oscillator, fine phase tuner; rounding processor;

### ABSTRACT

We propose a fine phase tuner and a rounding processor for a numerically controlled oscillator (NCO), yielding a reduced phase error in generating a digital sine waveform. By using the fine phase tuner presented in this paper, when the ratio of the desired sine wave frequency to the clock frequency is expressed as a fraction, an accurate adjustment in representing the fractional value can be achieved with simple hardware. In addition, the proposed rounding processor reduces the effects of phase truncation on the output spectrum. Logic simulation results of the NCO for multi-carrier channel separation in cdma2000 3X multi-carrier receive system using these techniques show that the noise spectrum and mean square error (MSE) are reduced by 8.68 dB and 5.5 dB, respectively compared to those of truncation method and 2.38 dB and 0.83 dB, respectively, compared to those of Paul's scheme.

### I. 서론

지정된 주파수에서 사인 파형 신호를 생성하는 과정을 주파수 합성이라 하며, 많은 시스템의 중요한 성분으로 아날로그에서는 전압 제어 발진기 (VCO, Voltage Controlled Oscillator)를 사용하여

구현되고, 디지털에서는 수치 제어 발진기 (NCO, Numerically Controlled Oscillator)를 사용하여 구현된다<sup>[1]</sup>.

과거에는 높은 출력 주파수 성능과 스펙트럼의 순수성 때문에 아날로그 주파수 합성기가 직접 주파수 합성장치 (DDFS: Digital Directed Frequency

\* 한국전자통신연구원 기반기술연구소 고집적 SoC 연구부 (iglim@etri.re.kr), \*\* 충남대학교 전자공학과, 교신저자  
논문번호 : KICS2004-08-127, 접수일자 : 2004년 8월 2일

Synthesizer)를 위해 사용되었으나, 온도 변화에 민감하고 적은 주파수 범위 등의 제한을 가졌다<sup>[2]</sup>. 현재에는 아날로그가 가지는 문제점 해결과 공정기술의 발달로 인한 구현 비용의 감소로 인하여 최신의 통신 시스템을 포함한 많은 디지털 신호처리 응용에서 수치 제어 발진기를 사용한 디지털 주파수 합성장치가 폭 넓게 사용되고 있다.

수치 제어 발진기를 구현하는 가장 일반적인 기술은 룩업 테이블을 사용하는 방법이다. 이 방법은 생성 주파수의 위상 증가분을 위상 누산기에서 누산하고, 이 위상값으로 사인함수의 진폭값이 저장된 룩업 테이블을 읽어 냄으로써 정현파 신호를 생성하는 방법이다.

본 논문은 cdma2000 3X 단말기 수신 시스템의 다중 반송파 (MC, Multi-carrier) 분리 장치 내에 적용되는 룩업 테이블 방식의 수치 제어 발진기에 관한 것으로 수십 MHz대의 출력 주파수를 가지는 디지털 사인 파형 생성을 목적으로 연구되었다. 특히 사인 파형 출력 주파수와 클럭 주파수와의 관계가 분수 관계식으로 나타나는 경우, 수치 제어 발진기의 위상 오차를 개선하기 위한 방법으로 구현 하드웨어 크기를 고려한 위상 누산기의 길이에서 임의의 세부 조정값을 정확하게 처리하는 세부 위상 조정기와 주파수 스펙트럼 상에서 위상 잘림 오차의 효과를 줄이기 위한 새로운 라운딩 처리기를 제안하였다.

본 서론에 이어 II 장에서는 기본적인 수치 제어 발진기 및 종래의 연구에 대하여 언급하고, III장에서는 본 논문에서 제안한 세부 위상 조정기에 대해 기술하며, IV 장에서는 라운딩 처리기에 대해 기술하며, 이어 V 장에서는 제안된 세부 위상 조정기와 라운딩 처리기를 사용한 수치 제어 발진기의 모의 실험 결과에 대해 비교 평가하며, 마지막으로 VI장에서는 본 논문의 결론을 맺는다.

## II. 수치 제어 발진기

룩업 테이블을 사용한 수치 제어 발진기의 기본적인 구조를 그림 1에 나타내었다. 원하는 출력 주파수 ( $F_{out}$ )의 위상 증가분(S)은 캐리 입력을 가지는 위상 가산기와 L비트 위상 레지스터로 구성되는 위상 누산기에서 클럭 주파수 ( $F_{clk}$ )의 주기로 누산된다. 사인 룩업 테이블의 크기를 줄이기 위해 위상 누산기의 L 비트의 출력중 최상위 비트부터 M 비트만이 사인 룩업 테이블의 어드레스로 입력되고,

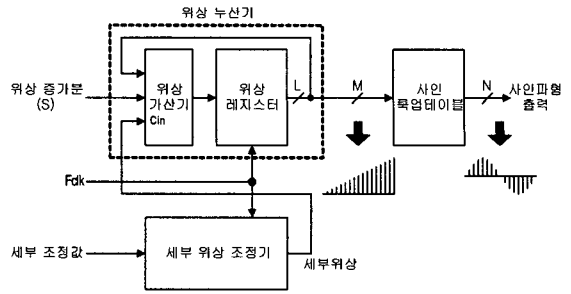


그림 1. 룩업 테이블을 사용한 수치 제어 발진기의 기본적인 구조도.

해당 위상 값에 따른 사인의 진폭값 N 비트가 사인 룩업 테이블로부터 출력됨으로써,  $F_{clk}$ 로 샘플링된 원하는  $F_{out}$ 의 사인 파형이 생성된다.

원하는  $F_{out}$ 의 S는 각 클럭 사이클 동안의 출력 신호의 위상차를 나타내며 아래 수식 (1)로부터 구할 수 있다.

$$\frac{\text{위상증가분}}{\text{위상누산기크기}} = \frac{S}{2^L} = \frac{F_{out}}{F_{clk}} = \frac{\text{출력주파수}}{\text{클럭주파수}} \tag{1}$$

여기서, S는 위상 증가분, L은 위상 누산기의 길이,  $F_{clk}$ 는 클럭 주파수,  $F_{out}$ 은 사인 파형의 출력 주파수를 나타낸다. 수치 제어 발진기에서 위상-진폭 변환기로 사용되는 사인 룩업 테이블은 사인함수의 대칭성을 이용하여 제1상한의 사인함수 값만을 제공함으로써 룩업 테이블의 크기를 1/4로 줄일 수 있다. 위의 식(1)에서 위상 누산기의 크기를 2의 지수승으로 나타내는 것은 위상 누산기의 결과가 사인 룩업 테이블의 어드레스로 적용될 때, 사인 룩업 테이블의 대칭성을 이용하여 사용 하드웨어의 양이 큰 룩업 테이블의 크기를 1/4로 줄이기 위해 필수적이다.

룩업 테이블을 사용한 수치 제어 발진기에서 위상 근사계산과 위상 잘림에 의한 위상 오차와 유한 개의 룩업 테이블 출력 비트수 양자화에 의한 진폭 오차가 존재한다. 위상 오차를 개선하기 위해서는 주파수 해상도를 낮추고 위상 잘림을 최소화 해야 한다. 수치 제어 발진기의 주파수 해상도 ( $\Delta f$ )는 아래 식(2)에 의해 주어진다.

$$\Delta f = \frac{F_{clk}}{2^L} \tag{2}$$

식(2)에서 주파수 해상도를 낮추기 위해서는  $F_{clk}$ 를 낮추거나 위상 누산기의 길이 L을 크게 하여야 하는데, 현실적으로  $F_{clk}$ 는 결정되어 있으므로 주파수 해상도를 낮추기 위하여 위상 누산기의 길이 L을

크게 하여야 한다. 하지만 커다란 위상 누산기의 길이 L에서 위상 잠림을 최소화하기 위해서는 M을 크게 하여야 하는데 이는  $2^M$ 개로 구성되는 사인 룩업 테이블의 크기가 지수적으로 증가되는 문제점을 가진다. 따라서 구현 하드웨어 크기를 고려한 적당한 위상 누산기의 길이 L에서 주파수 해상도 개선 방법으로 세부 위상 조정 기법이 필요하다.

위상 오차와 진폭 양자화 오차의 개선과 관련되어 있는 룩업 테이블의 크기를 줄이기 위한 방법으로 룩업 테이블 어드레스를 분할하여 사용하는 Sunderland 구조와 출력 비트수를 줄일 수 있는 Sine-Phase Difference 알고리즘 등 사인 룩업 테이블의 크기를 줄이는 방법들이 제안되었다<sup>[3]</sup>. 또한 수치 제어 발진기에서 높은 출력 주파수를 지원하기 위해서는 처리속도에서 가장 큰 제한이 되는 위상 누산기의 고속화가 필수적이며 위상 누산기의 속도를 개선하기 위한 연구들도 수행되었으며<sup>[4],[5]</sup>, 국내에서는 스퍼리어스 잡음 감소를 위해 이중 구조의 DDFS 구조가 제안되었다<sup>[6]</sup>.

수치 제어 발진기 내의 세부 위상 조정기와 관련된 종래의 연구로는 R. Ertl가 제안한 가산기와 D-플립플롭으로 구성되는 세부 조정 회로를 여러단으로 직렬 접속하여 구현함으로써 주파수 해상도를 개선하는 방법이 있으나<sup>[7]</sup>, 임의의 분수 관계식으로 나타나는 세부 조정값 (B/A)의 분모가 2의 지수승이 아닌 경우 정확한 세부 위상 조정이 불가능하고 근사적으로 해결하여야 하는 문제점을 가진다.

수치 제어 발진기의 라운딩 처리와 관련된 종래의 연구로 Paul O'Leary는 이전상태까지의 잘라버려지는 비트들의 누산된 값이 현재의 위상 누산기 출력에 가산되고 최상위 비트로부터 M비트가 선택되어 룩업 테이블에 입력시킴으로써 수치 제어 발진기의 주파수 성능을 개선하였다<sup>[8]</sup>.

### III. 세부 위상 조정기 설계

수치 제어 발진기는 식(1)의 관계를 만족하며 원하는  $F_{out}$ 가  $F_{clk}$ 의  $S / 2^L$  배가 되도록 구성될 수 있으나, 많은 경우  $1 / 2^L$ 의 정수배가 아니고 분수 관계식을 가지는 경우가 발생된다. 사인 파형  $F_{out}$ 와  $F_{clk}$ 와의 관계가 분수 관계식으로 나타날 경우 식 (1)은 아래 식 (3)과 같이 나타낼 수 있다.

$$F_{out} = \frac{F_{clk}}{2^L} \left( S + \frac{B}{A} \right) \quad (3)$$

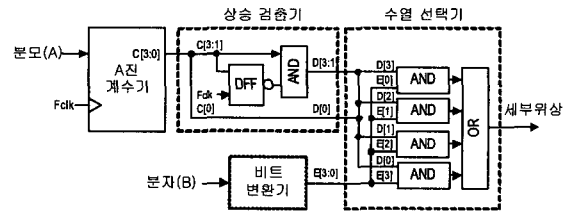


그림 2. 제안된 세부 위상 조정기의 상세도.

여기서, B/A는 임의의 분수로 1보다 작은 값을 가지며, 세부 위상 조정기에서 입력으로 받아 처리하여야 하는 값이다. 세부 위상 조정기는 원하는 B/A를 입력받아 위상 가산기의 캐리 입력으로 사용되는 1 비트 세부 위상값을 발생시키며, 이 세부 위상값은 여러 클럭 사이클 동안에 '0'과 '1'의 값을 번갈아 가짐으로써 여러 클럭 사이클 동안에 평균적인 세부 위상 증가분으로의 역할을 한다.

본 논문에서 제안된 세부 위상 조정기의 상세도를 한 실시예로 분모(A)와 분자(B)가 이진수 4비트로 표시되는 경우에 대하여 그림 2에 나타내었다. 식 (3)의 분수 관계식에서 B/A를 처리하기 위해 분모 A는  $F_{clk}$ 로 동작되는 A진 계수기에 입력되어 0부터 A-1까지를 반복하여 계수한다. A진 계수기의 출력 4비트 C[3:0]중에서 최하위 비트 C[0]를 제외한 C[3:1]는 각각 '0'에서 '1'로 변화되는 첫번째 '1'의 한 클럭 사이클 구간을 검출하여 '1'로 출력하기 위한 상승 검출기에 입력된다. 상승 검출기는 3개 (A진 계수기 출력 비트수 -1)의 D-플립플롭과 논리곱 (AND) 게이트로 구성되며 C[3:1]과 D-플립플롭의 인버전 출력이 AND되어 D[3:1]을 생성한다. 이때 C[3:0]중에서 최하위 비트 C[0]는 바로 D[0]로 연결된다. 분자 B는 비트 변환기에 입력되어 분모 A값에 따른 각 비트의 자리값이 고려된 E[3:0]가 출력된다. 상승 검출기의 출력 D[3:0]과 비트 변환기의 출력 E[3:0]은 AND 게이트 4개와 논리합(OR) 게이트 1개로 구성되는 수열 선택기에 입력되어 서로 역순으로 AND되고 이들의 결과는 OR되어 세부 위상 검출기의 최종 출력 세부 위상을 생성한다. 수열 선택기의 출력인 세부 위상은 아래 식 (4)로 표현된다.

$$\text{세부위상} = D[3]E[0] + D[2]E[1] + D[1]E[2] + D[0]E[3] \quad (4)$$

표 1에 분모 A값에 따른 E[3:0]의 각 비트의 자리값 관계를 나타내었다. 표 1에 나타난 A값에 따른 E[3]의 자리값은 십진수 A를 2로 나누고 반내림

표 1. 분모 A값에 따른 비트 변환기 E[3:0]의 자리값.

분모(A) 자리값	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
E[0]	1	1	2	2	3	3	4	4	5	5	6	6	7	7	8
E[1]	0	1	1	1	1	2	2	2	2	3	3	3	3	4	4
E[2]	0	0	0	1	1	1	1	1	1	1	1	2	2	2	2
E[3]	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

하여 생성된 정수이고, E[2]의 자리값은 4로 나누고 반내림하여 생성된 정수이고, E[1]의 자리값은 8로 나누고 반내림하여 생성된 정수이고, E[0]의 자리값은 16으로 나누고 반내림하여 생성된 정수이다.

본 논문에서 제안한 세부 위상 조정기를 사용함으로써 원하는  $F_{out}$ 와  $F_{clk}$ 와의 관계가 분수 관계식으로 나타나는 경우, 간단한 하드웨어 사용으로 임의의 세부 조정값 B/A를 A 클럭 사이클 동안에 평균적으로 정확하게 처리할 수 있었으며, 아래 식(5)와 같이 주파수 해상도가 A배 개선 됨으로써 위상 오차 개선 효과를 가질 수 있었다.

$$\Delta f = \frac{F_{clk}}{A \cdot 2^L} \tag{5}$$

실제의 적용에서 비트 변환기의 출력값은 분모와 분자가 결정되면 고정되는 상수이므로 결정된 고정 상수값, 즉 E[3:0]이 미리 계산하여 입력하여 줌으로써 비트 변환기에 사용되는 하드웨어를 생략할 수 있으며, 또한  $F_{out}$ 이 고정되어 구현하는 경우에는 E[3:0]가 고정되므로 비트 변환기는 물론 수열 선택기의 AND 게이트도 생략되고 필요한 D[3:0]의 신호만 선택되어 OR 게이트 됨으로써 사용 하드웨어를 줄일 수 있다.

#### IV. 라운딩 처리기 및 사인 록업 테이블 설계

본 논문에서 위상 누산기의 출력 L비트를 사인 록업 테이블의 어드레스 입력 M비트로 잘라버림이나 라운딩 시 발생하는 위상 오차를 감소시키고, 이 위상 오차에 따른 주파수 스펙트럼 상에서 발생시키는 잡음을 줄이기 위해 새로운 구조의 라운딩 처리기를 제안하였다. 제안된 라운딩 처리기는 Paul 구조<sup>[8]</sup>와 같은 목적을 가진다. Paul 구조는 현재상태의 L비트 위상 누산기의 출력에 이전상태까지 누산되어진 L-M 비트 위상 누산기의 값이 더해지고, 하위 L-M 비트가 잘라버려지는 구조이다. 그러나 제안된 라운딩 처리기는 현재상태의 L비트 위상 누

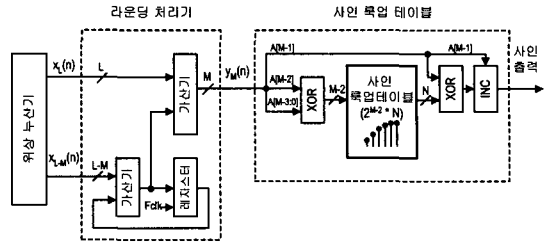


그림 3. 제안된 라운딩 처리기 및 사인 록업 테이블의 상세도.

산기의 출력에 현재 상태까지 누산되어진 L-M 비트 위상 누산기의 값이 더해지고, 하위 L-M 비트가 잘라버려지는 구조로 Paul 구조와 차이점을 가진다. 시뮬레이션 결과는 제안된 구조가 Paul 구조보다 더욱 우수한 잡음 제거 성능을 가짐을 보여준다.

그림 3에 본 논문에 따른 라운딩 처리기의 상세도를 나타내었다. 제안된 라운딩 처리기의 출력  $y_M(n)$ 은 아래 식 (6)과 같이 나타낼 수 있다.

$$y_M(n) = trunc_{L-M}[x_L(n) + \sum_{k=0}^n x_{L-M}(k)] \tag{6}$$

여기서,  $y_M(n)$ 은 시간 n에서 라운딩 처리기의 M비트 출력이며,  $x_L(n)$ 은 위상 누산기의 L비트 출력이며,  $x_{L-M}(n)$ 은 위상 누산기의 잘라버려지는 하위 L-M비트 출력이며,  $trunc_{L-M}(\cdot)$ 은 하위 L-M비트를 잘라버리는 함수로 정의된다. 결과적으로 제안된 라운딩 처리기는 현재 상태까지의 잘라버려지는 비트 값과 위상 누산기의 어드레스 값과 더해져, 최종적으로 M비트만 선택됨으로써 잘라버려지는 위상 오차의 필터링 효과를 가진다.

수치 제어 발전기에서 위상-진폭 변환기로 사용되는 사인 록업 테이블은 수치 제어 발전기에서 가장 큰 면적을 차지하는 록업 테이블의 크기를 줄이기 위해 사인 함수의 대칭성을 이용하여 제1상한의 사인 함수 값만으로 구현된다. 이때 록업 테이블이 제공하는 제1상한의 사인 함수 값은 단조증가 함수로 유한 비트수로 양자화 시 일반적으로 반올림이 수행되어 생성된다. 제2상한의 값은 제1상한의 값이 y축 대칭되어 생성되며, 제3상한의 값은 제1상한의 값이 x축 대칭되어 생성되며, 제4상한의 값은 제1상한의 값이 원점 대칭되어 생성된다.

본 논문에서 사인 록업 테이블 내의 록업 테이블 생성은 제1상한의 사인 함수 값만으로 각 상한에서 사인 함수의 대칭성을 완벽하게 구현하기 위해 제1

상한 사인 함수값을 2배 늘려  $2 \times 2^{M-2}$ 개로 샘플링하고 첫번째 샘플을 버리고 홀수번째의 샘플링 값만을 선택하였다. 따라서 최종적으로 어드레스  $m$ 에 의해 출력되는 사인 룩업 테이블의 값  $LUT[m]$ 은 아래 식 (7)의 값과 같이 1/2 샘플 쉬프트 되어 출력된다.

$$LUT[m] = LUT\left[\frac{m+(m+1)}{2}\right] \quad m = 0, 1, \dots, 2^{M-2}-1 \quad (7)$$

그림 3에서 사인 룩업 테이블에 입력되는 라운딩 처리기의  $M$  비트 출력  $A[M-1:0]$  중에서 최상위 비트 2비트는 룩업 테이블의 어드레스 대신에 대칭성과 부호반전 등의 성질을 이용하여 룩업 테이블의 크기를 줄이는 데 사용된다. 먼저  $A[M-2]$ 는  $A[M-3:0]$ 에 배타적 논리합 (XOR)되어 제2상향과 제4상향을 위한  $M-2$  비트의 룩업 테이블 어드레스의 순서를 바꾸는데 사용된다. 최상위 비트  $A[M-1]$ 은 룩업 테이블의 출력  $N$  비트에 XOR 되고 XOR의 출력에  $A[M-1]$  1비트를 가산하는 INC에 입력되어 제3상향과 제4상향에서 룩업 테이블의 출력  $N$  비트의 부호를 반전 시키는 기능을 수행한다.

### V. 수치 제어 발진기의 구현 및 모의 실험

본 논문에서 제안한 세부 위상 조정기와 라운딩 처리기를 cdma2000 3X 단말기 MC 수신 시스템의 반송파 분리 장치 내의 수치 제어 발진기 내에 적용하여 구현하였다. 3개의 다중 반송파 분리용으로 사용될 수치 제어 발진기에서 생성하여야 하는 3개의 디지털 사인 파형 출력은 각각 0.625 MHz, 1.875 MHz, 3.125 MHz 주파수를 가지며, 이들과

클록 주파수 9.8304 MHz와의 관계식은 아래 식 (8), (9), (10)과 같다.

$$\frac{F_{out1}}{F_{clk}} = \frac{0.625MHz}{9.8304MHz} = \frac{520+5/6}{2^{13}} \quad (8)$$

$$\frac{F_{out3}}{F_{clk}} = \frac{3.125MHz}{9.8304MHz} = \frac{2604+1/6}{2^{13}} \quad (9)$$

$$\frac{F_{out2}}{F_{clk}} = \frac{1.875MHz}{9.8304MHz} = \frac{1562+3/6}{2^{13}} \quad (10)$$

그림 4에 본 논문에서 제한한 세부 위상 조정기와 라운드 처리기가 반영되어 구현된 cdma2000 3X MC 채널 분리용 수치 제어 발진기의 상세도를 나타내었다. 위의 식(8), (9), (10)에 의하여 위상 증가분은 각각 십진수 "520", "1562", "2604"를 가지며, 위상 가산기와 위상 레지스터는 13비트 해상도를 가진다. 또한 6개의 클록 주기 동안에 평균적으로 정확히 세부 위상을 조정하기 위한 세부 위상 조정기는 분모 6에 의하여 6진 계수기를 가지며, 비트 변환기는 분자 5, 3, 1에 해당하는 출력으로 3개의 이진수 "111", "100", "001"을 출력한다. 13비트의 위상 누산기 출력중 상위 8비트만을 사용하며 잘라 버려지는 하위 5비트에 본 논문에서 제안한 라운딩 처리기를 사용하였으며, 사인 룩업 테이블은 사인함수 제1상향의 값으로  $64 \times 8$  비트로 구현되었다.

식 (8)의 0.625 MHz를 생성할 경우, 본 논문에서 제안한 세부 위상 조정기는 5/6의 세부 조정값을 사용하여 0.625 MHz가 정확히 생성되나, R. Ertl이 제안한 세부 위상 조정기<sup>[7]</sup>를 사용하면 가산기와 D-플립플롭을 3단 ( $B/A = 7/8$ ) 사용한 경우 0.008%, 4단 ( $B/A = 13/16$ ) 사용한 경우 0.004%,

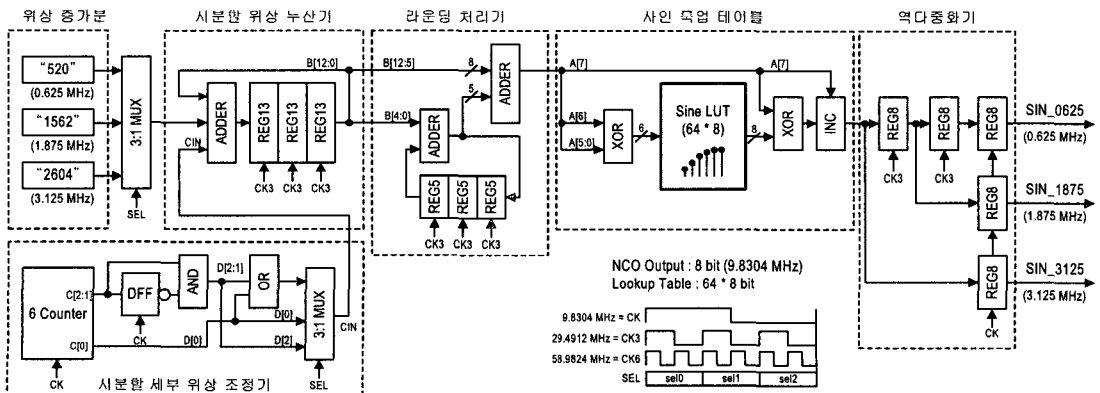


그림 4. cdma2000 3X MC 채널 분리용 수치 제어 발진기의 상세도

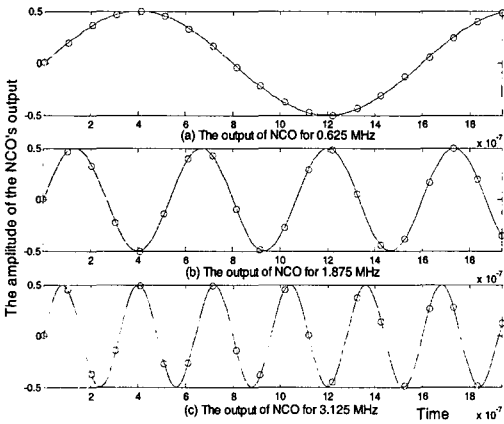


그림 5. 제안된 수치 제어 발진기의 출력 파형.  
(L = 13비트, M = 8비트, N = 8비트)

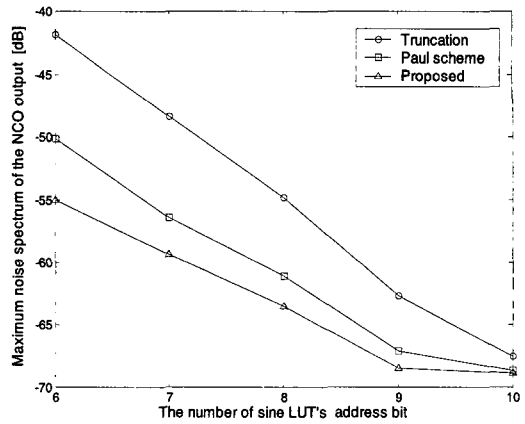


그림 7. 수치 제어 발진기의 최대 잡음 스펙트럼 성능 비교  
( $F_{out} = 3.125\text{MHz}$ , L = 13비트, N = 8비트)

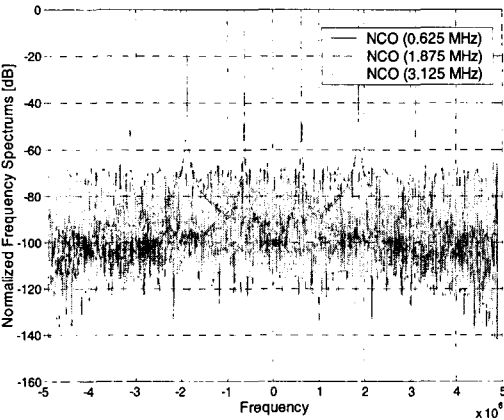


그림 6. 제안된 수치 제어 발진기의 주파수 스펙트럼.  
(L = 13비트, M = 8비트, N = 8비트)

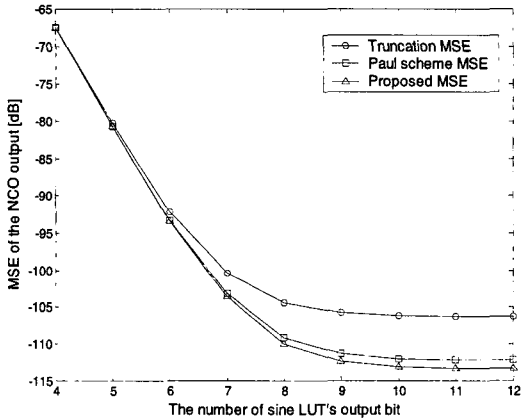


그림 8. 수치 제어 발진기의 평균 자승 오차 (MSE) 성능 비교  
( $F_{out} = 3.125\text{MHz}$ , L = 13비트, M = 8비트)

5단 ( $B/A = 27/32$ ) 사용한 경우 0.002%의 주파수 오차를 가진다.

그림 4의 수치 제어 발진기를 Xilinx사의 xc2v6000을 타겟으로 하여 논리 합성하고 P&R한 결과, 최대 동작 주파수 115 MHz, 등가 게이트수는 1,920 게이트로 구현되었다.

그림 5에 본 논문에서 제안한 수치 제어 발진기의 사인 출력 파형을 나타내었다. 실선은 원하는 주파수의 실제 사인 함수 값이며, 원으로 표시된 수치 제어 발진기의 출력들은 VHDL 모의 실험 결과를 나타낸 것이다. 그림 6에 본 논문에서 제안한 수치 제어 발진기 출력의 정규화된 주파수 스펙트럼을 나타내었는데, 이는 VHDL 모의 실험 결과로 얻은 각각 40960개의 8비트 출력 샘플을 FFT(fast Fourier Transform) 함으로써 생성되었다. 주파수

스펙트럼 상에서 위상 잡림 오차의 효과로 나타나는 잡음 스펙트럼의 비교를 위해 라운딩 처리를 제외한 수치 제어 발진기의 모든 부분을 동일하게 놓고 모의 실험한 사인 록업 테이블 어드레스 비트 수 M값에 따른 최대 잡음 스펙트럼 결과를 그림 7에 나타내었다. M이 증가할수록 위상 잡림 효과가 감소되어 최대 잡음 스펙트럼의 값은 감소되었으나, 제안된 구조의 개선 효과 또한 감소되어 나타남을 알 수 있다. M이 8인 경우에 제안된 구조의 최대 잡음 스펙트럼이 -63.5 dB로 출력되어 잘라버림 (-54.82 dB) 대비 8.68 dB, Paul 구조 (-61.12 dB) 대비 2.38 dB 감소되었다. 그림 7의 모의 실험 조건과 같이 하고 수행된 록업 테이블의 출력 비트수 N값에 따른 수치 제어 발진기의 평균 자승 오차 비교를 그림 8에 나타내었다. 본 논문에서 제안한 구

조가 출력 비트수 8비트에서 잘라버림 대비 5.5 dB, Paul 구조 대비 0.83 dB 개선되었다.

### V. 결론

디지털 사인 파형 생성을 위한 수치 제어 발진기 내에서 사인 파형 출력 주파수와 클럭 주파수와의 관계가 분수 관계식으로 나타나는 경우, 간단한 하드웨어의 사용으로 세부 조정값 B/A를 정확하게 처리하는 세부 위상 조정기와 출력 스펙트럼 상에서 위상 잘라버림의 효과를 감소시키는 라운딩 처리기를 제안하였다. 본 논문에서 제안된 세부 위상 조정기와 라운딩 처리기를 cdma2000 3X 순방향 채널용 MC 수신 시스템의 반송파 분리 장치 내의 수치 제어 발진기에 적용하여 주파수 해상도의 개선, 잡음 스펙트럼 및 평균 지승 오차가 감소됨을 확인하였다. 이처럼 제안된 세부 위상 조정기와 라운딩 처리기는 사인 파형 출력 주파수와 클럭 주파수와의 관계가 분수 관계식으로 나타나는 경우 디지털 사인 파형 생성을 위한 록업 테이블 방식의 수치 제어 발진기에서 사인 파형 위상 오차를 개선함으로써 같은 양의 하드웨어를 사용하여 보다 정확한 사인 파형 출력 주파수를 생성하는 수치 제어 발진기의 유용한 구조가 될 것이다.

### 참고 문헌

[1] Edward A. Lee, David G. Messerschmitt, *Digital Communication - Second Edition*, Kluwer Academic Publishers, pp. 700-713, 1994.

[2] P. H. Saul, M. S. J. Mudd, "A direct digital synthesizer with 100-MHz output capability," *IEEE Journal of Solid-State Circuits*, Vol. 23, No. 3, pp. 819-821, June 1988.

[3] Henry T. Nicholas, III, Henry Samuelli, Bruce Kim, "The optimization of direct digital frequency synthesizer performance in the presence of finite word length effects," *Proceedings of the 42nd Annual Frequency Control Symposium*, pp. 357 - 363, June 1988.

[4] Matthew Thompson, "Low-Latency, High-Speed Numerically Controlled Oscillator Using Progression-of States Technique," *IEEE*

*Journal of Solid-State Circuits*, Vol. 27, No. 1, pp. 113-117, January 1992.

[5] Fang Lu, Henry Samuelli, "A 700-MHz 24-b Pipelined Accumulator in 1.2-um CMOS for Application as a Numerically Controlled Oscillator," *IEEE Journal of Solid-state Circuits*, Vol. 28, No. 8, pp. 878-886, August 1993.

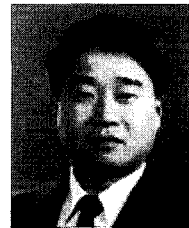
[6] 유상범 외 3명, "디지털 위상 변조 기능을 갖는 디지털 직접 주파수 합성기의 스퍼리어스 잡음 감소," *한국통신학회 논문집*, 제26권 2B호, pp.148-152, 2001년 2월.

[7] R. Ertl, J. Baier, "Increasing the frequency resolution of NCO-systems using a circuit based on a digital adder," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, Vol. 43, pp.266-269, March 1996.

[8] Paul O'Leary, Franco Maloberti, "A direct-digital synthesizer with improved spectral performance," *IEEE Transactions on Communications*, Vol. 39, No. 7, pp.1046-1048, July 1991.

임 인 기 (In-Gi Lim)

정회원



1965년 1월 18일생  
1987년 2월 : 한양대학교 전자공학과 졸업  
1989년 2월 : 한양대학교 전자공학과 석사  
1989년 2월~현재 : 한국전자통신연구원 책임연구원

<관심분야> 전자공학, 통신공학, VLSI 설계

김 환 우 (Whan-Woo Kim)

정회원



1954년 9월 20일생.  
1977년 2월 : 서울대학교 전자공학과 졸업.  
1979년 2월 : 한국과학기술원 전기 및 전자공학과 석사.  
1988년 6월 : 미국 University of Utah 전자공학과 박사.  
1980년 6월~현재 : 충남대학교 전자공학과 교수

<관심분야> 디지털 신호처리