

무선 랜 모뎀용 저전력 FFT/IFFT 프로세서 설계

정회원 신 경 욱*

Low-power FFT/IFFT Processor for Wireless LAN Modem

Kyung-Wook Shin* *Regular Member*

요 약

OFDM (Orthogonal Frequency Division Multiplexing) 기반의 무선 랜 모뎀에 사용되는 고속/저전력 64-점 FFT/IFFT 프로세서 코어를 설계하였다. Radix-2/4/8 DIF (Decimation-In-Frequency) FFT 알고리즘을 R2SDF (Radix-2 Single-path Delay Feedback) 구조에 적용하여 설계하였으며, 내부 데이터 흐름 특성에 대한 분석을 토대로 데이터 패스의 불필요한 switching activity를 제거함으로써 전력소모를 최소화하였다. 회로 레벨에서는 내부의 상수 곱셈기와 복소수 곱셈기를 절사형(truncated) 구조로 설계하여 칩 면적과 전력소모가 감소되도록 하였다. Verilog-HDL로 설계된 64점 FFT/IFFT 코어는 0.25- μ m CMOS 셀 라이브러리로 합성한 결과, 약 28,100 게이트로 합성되었으며, 추출된 게이트 레벨 netlist와 SDF를 이용한 타이밍 시뮬레이션 결과, 50-MHz@2.5-V로 안전하게 동작하는 것으로 검증되어 64점 FFT/IFFT 연산에 1.3- μ s가 소요될 것으로 예상된다. 설계된 코어를 FPGA에 구현하여 다양한 테스트 벡터로 동작시킨 결과 정상 동작함을 확인하였으며, 50-dB 이상의 신호대잡음비(SNR) 성능과 50-MHz@2.5-V 동작조건에서 약 69.3-mW의 평균 전력소모를 나타내었다.

Key Words : FFT/IFFT, OFDM, IP, Wireless LAN Modem, IEEE802.11a

ABSTRACT

A low-power 64-point FFT/IFFT processor core is designed, which is an essential block in OFDM-based wireless LAN modems. The radix-2/4/8 DIF (Decimation-In-Frequency) FFT algorithm is implemented using R2SDF (Radix-2 Single-path Delay Feedback) structure. Some design techniques for low-power implementation are considered from algorithm level to circuit level. Based on the analysis on internal data flow, some unnecessary switching activities have been eliminated to minimize power dissipation. In circuit level, constant multipliers and complex-number multiplier in data-path are designed using truncation structure to reduce gate counts and power dissipation. The 64-point FFT/IFFT core designed in Verilog-HDL has about 28,100 gates, and timing simulation results using gate-level netlist with extracted SDF data show that it can safely operate up to 50-MHz@2.5-V, resulting that a 64-point FFT/IFFT can be computed every 1.3- μ s. The functionality of the core was fully verified by FPGA implementation using various test vectors. The average SQNR of over 50-dB is achieved, and the average power consumption is about 69.3-mW with 50-MHz@2.5-V.

1. 서론

직교 주파수 분할 다중화 (Orthogonal Frequency Division Multiplexing; OFDM)는 상호 직교성을 갖

는 다수의 부반송파에 데이터를 실어 전송하는 변조 방식으로서, 주파수 이용 효율이 높고 다중경로 간섭과 주파수 선택적 페이딩 등에 강해 고속 무선 LAN (Local Area Network), 디지털 방송 등의 전송방식

* 금오공과대학교 전자공학부 VLSI 설계 연구실 (kwshin@kumoh.ac.kr)
논문번호 : KICS2004-09-188, 접수일자 : 2004년 9월 8일

으로 널리 사용되고 있다^[1]. 유럽에서는 디지털 오디오 방송 (DAB)과 디지털 지상파 텔레비전 방송 (DVB-T)의 전송방식으로 OFDM 방식이 채택되었으며, DSL (Digital Subscriber Line)에서도 이와 유사한 DMT (Discrete Multi-Tone) 방식이 사용되고 있다. 또한, IEEE 802.11a과 HiperLAN2 무선 LAN, IEEE 802.16 광대역 무선 액세스 표준, 무선 홈 네트워크 등에서도 OFDM 방식이 채택되는 등 차세대 전송방식으로 주목받고 있다.

OFDM 모뎀은 FEC (Forward Error Correction) coding, interleaving, modulation, IFFT (Inverse Fast Fourier Transform)/FFT 등의 기능블록으로 구성되며, IFFT/FFT는 다수 반송파의 변·복조를 수행하는 핵심 블록이다. OFDM 신호의 전송은 심볼 단위로 이루어지며, 하나의 심볼에 다수의 부반송파가 존재하게 된다. 이때, 하나의 OFDM 심볼이 갖는 부반송파의 수는 FFT/IFFT 길이를 결정하게 되며, FFT/IFFT 처리시간은 유효 심볼 기간에 의해 결정된다. 예를 들어, DVB-T 표준에서는 1,075개 또는 6,817개의 부반송파를 사용하는 2개의 전송모드를 가지며, 2,048점/8,192점 길이의 IFFT/FFT가 유효 심볼주기는 224-us~896-us 이내에 처리되어야 한다. IEEE802.11a 무선 LAN 표준^[2]에서는 3.2-us의 유효 심볼 기간을 가지며 52개의 부반송파를 사용하므로, 64점 IFFT/FFT가 3.2-us 이내에 처리되어야 한다. 이와 같이 FFT/IFFT는 OFDM 모뎀에서 가장 많은 연산량을 필요로 하며, 칩 면적과 전력소모에 큰 영향을 미치는 부분이다^[3].

최근, OFDM을 기반으로 한 휴대형 무선 접속 단말기의 실용화가 급진전되면서 작은 칩 면적과 저전력 소모를 갖는 고성능 FFT 프로세서의 중요성이 증대되고 있다. 이를 위해서는 연산 복잡도가 작고, 연산의 규칙성이 좋아 VLSI 구현에 적합한 FFT 알고리즘과 아키텍처의 선택이 필요하며, 이에 대한 연구 결과들이 많이 발표되고 있다^[4-9].

본 논문에서는 휴대형 무선 단말기에 적합한 저전력 FFT/IFFT 프로세서 코어를 설계하였으며, 여러 가지 FFT 알고리즘과 아키텍처에 대한 비교·분석을 통해 게이트 수와 전력소모 측면에서 가장 적합한 방식을 설계에 적용하였다.

II. FFT 알고리즘

입력 데이터 x_n 에 대한 N 점 이산 푸리에 변환

(Discrete Fourier Transform; DFT)은 식(1)과 같이 정의된다.

$$X_k = \sum_{n=0}^{N-1} x_n \cdot W_N^{nk} \quad (1)$$

$$\text{단, } W_N^{nk} = e^{-j \cdot \frac{2\pi}{N} \cdot nk}, \quad k = 0, 1, 2, \dots, N-1$$

DFT를 고속으로 연산하기 위한 FFT 알고리즘은 회전인자 (twiddle factor) W_N^{nk} 의 대칭성을 이용하여 식(1)의 연산 (즉, 복소수 곱셈과 가산) 횟수를 감소시키는 방법이다. 고전적인 FFT 알고리즘으로는 식(1)의 연산 복잡도를 $O(N \log_2 N)$ 로 감소시키는 Cooley-Tukey (CT) FFT 알고리즘^[10]을 꼽을 수 있으며, VLSI 구현에 적합한 규칙적인 연산 구조를 가져 널리 사용되어 왔다.

FFT 알고리즘은 크게 나누어 radix-2, radix-4, radix-8과 같은 fixed-radix 알고리즘과 radix-2/4, radix-2/8, radix-2/4/8 등과 같은 mixed-radix 알고리즘으로 구분할 수 있다. fixed-radix 알고리즘은 연산구조가 규칙적이므로 VLSI 구현에 적합하다는 장점은 있지만, mixed-radix 알고리즘에 비해 많은 연산량을 필요로 한다. 반면에, mixed-radix 알고리즘은 연산량은 작으나 연산구조의 불규칙성을 효율적으로 하드웨어에 매핑하기 위한 방법이 고려되어야 한다. 최근, OFDM 응용분야가 급속히 확대됨에 따라 고성능 FFT 프로세서의 중요성이 증대되고 있으며, 특히 작은 칩 면적과 저전력 소모를 위해 연산 복잡도가 작고 연산의 규칙성도 우수하여 VLSI 구현에 적합한 FFT 알고리즘과 아키텍처에 대한 연구 결과들이 많이 발표되고 있다^[4-9].

Duhamel과 Hollman에 의해 제안된 radix-2/4 split-radix (SR) FFT 알고리즘^[4]은 식(1)에서 출력의 짝수 항은 radix-2로, 홀수 항은 radix-4로 분해함으로써 신호 흐름도 상에서 더 많은 $-j$ 항을 추출하여 연산량을 감소시키는 알고리즘이다. 즉, 회전인자 $W_N^{N/4} = -j$ 에 의한 복소수 곱셈은 복소수 공액 연산 (즉, 복소수 데이터의 실수부와 허수부의 교환)과 허수부의 부호 반전으로 처리될 수 있으므로, 고전적인 radix-2 FFT 알고리즘 보다 복소수 곱셈 횟수를 줄일 수 있다. radix-2/8 FFT 알고리즘^[5]은 식(1)에서 짝수 항은 radix-2로 분해하고, 홀수 항은 radix-8로 분해함으로써 $-j$ 항과 함께 $W_N^{N/8} = (\sqrt{2}/2) \cdot (1-j)$ 과 $W_N^{3N/8} = (\sqrt{2}/2) \cdot (1+j)$ 항을 추출하여 복소수 곱셈 횟수를 감소시킨 알고리

들이다. 즉, 회전인자 $\pm(\sqrt{2}/2) \cdot (1 \mp j)$ 를 상수 곱셈으로 구현함으로써 복소수 곱셈기 대신에 가산기만으로 구현될 수 있는 장점을 갖는다.

연산 흐름도 측면에서 분석해 보면, radix-2/4 FFT와 radix-2/8 FFT 알고리즘은 L-shaped 형태의 나비연산 회로를 기본으로 구성되므로 구조적인 불규칙성이 존재하며, 따라서 radix-2 또는 radix-4와 같은 fixed-radix 알고리즘에 비해 효율적인 파이프라인 하드웨어 구현이 어렵다는 단점을 갖는다.

He와 Torkelson은 회전인자의 종속 분해(cascade decomposition)를 통해 radix-2² FFT와 radix-2³ FFT 알고리즘을 제안하였다^[6]. radix-2² FFT는 radix-2/4 알고리즘과 유사한 개념 즉, 회전인자의 대칭성을 이용하여 $-j$ 항을 추출함으로써 복소수 곱셈 횟수를 줄인 알고리즘이며, 연산 복잡도는 radix-4 FFT와 동일하면서 radix-2 나비연산으로 구현이 가능한 알고리즘이다. 한편, radix-2³ FFT는 Jia가 제안한 radix-2/4/8 FFT^[5]와 유사한 방식으로서 회전인자 $W_N^{kN/8}$ 를 $\pm(\sqrt{2}/2) \cdot (1 \mp j)$ 로 변환하고 이를 가산기만으로 연산하여 복소수 곱셈 횟수를 줄인 알고리즘이며, 이들 두 방식은 알고리즘 레벨에서 등가이다.

FFT 알고리즘의 연산 복잡도는 구현되는 FFT 프로세서의 칩 면적, 동작속도 그리고 전력소모에 직접적인 영향을 미치는 요인이 되며, 따라서 고속저전력 FFT 프로세서의 구현을 위해서는 최소의 연산 복잡도를 갖는 FFT 알고리즘이 선택되어야 한다. 또한, 연산의 규칙성은 알고리즘의 VLSI 구현의 적합성을 판단하는 기준이 된다. 표 1은 FFT 알고리즘들을 연산량과 연산의 규칙성 측면에서 비교한 것이다. fixed-radix 알고리즘은 연산의 규칙성은 좋으나 상대적으로 많은 연산량을 필요로 하여 저전력 설계에 적합하지 않음을 알 수 있다. 한편, split-radix, radix-2/8, radix-2/4/8 등 mixed-radix 알고리즘들은 상대적으로 적은 연산량을 필요로 하나, 연산의 규칙성이 떨어지는 단점을 갖는다.

본 논문에서는 연산량 측면에서 최적에 가깝고, 규칙적인 연산 흐름도를 가져 VLSI 구현에 적합하며, radix-2 나비연산 회로로 구현될 수 있는 radix-2/4/8 알고리즘을 선택하였으며, 이를 통해 휴대형 응용분야에 적합한 저전력/저면적/고속 FFT 프로세서 코어를 설계하였다.

표 1. FFT 알고리즘의 비교

FFT Algorithms	Complex Multiplications	Constant Multiplications	Spatial Regularity
Radix-2	98	-	O
Radix-4	76	-	O
Radix-2 ²	76	-	O
Split-radix	72	-	X
Radix-2/8	44	38	X
Radix-2 ³	48	32	O
Radix-2/4/8	48	32	O

III. 회로 설계

3.1. 아키텍처 개요

설계된 64점 FFT/IFFT 프로세서 (이하 FFT64p 코어로 약칭함)는 그림 1과 같이 두 개의 8점 FFT 연산블록과 한 개의 복소수 곱셈기, 그리고 FFT와 IFFT를 선택적으로 연산하기 위한 complex conjugator 블록 등으로 구성된다. 8점 FFT 연산블록은 radix-2/4/8 알고리즘에 의해 언어진 연산 흐름도 그림 2-(a)를 구현하는 블록이며, 그림 2-(b)와 같이 세 개의 radix-2 연산 stage와 상수 곱셈기로 구현하였다. 그림 2-(b)를 그림 1의 8점 FFT 블록에 대입하면, 설계된 FFT64p 코어는 6개의 radix-2 연산 stage와 두 개의 상수 곱셈기 그리고 하나의 복소수 곱셈기가 cascade로 연결되어 파이프라인 방식으로 동작한다. stage1은 radix-2 나비연산과 회전인자 $-j$ 의 곱셈을 연산하며, 이때 $-j$ 에 의한 복소수 곱셈은 나비연산에 병합하여 처리되도록 하였다. stage2와 stage3은 일반적인 radix-2 나비연산을 수행하며, 상수 곱셈기는 회전인자 $-j$, $\pm(\sqrt{2}/2) \cdot (1 \mp j)$ 의 곱셈을 연산한다.

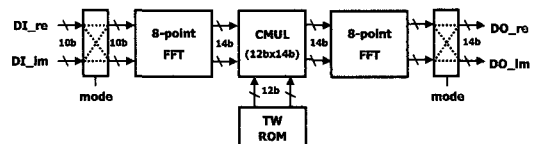


그림 1. 64점 FFT/IFFT 프로세서 (FFT64p 코어)의 구조

제안된 구조는 radix-2 나비연산을 기본으로 하므로 데이터 패스 회로가 간단하고 데이터 흐름 및 제어가 단순하다는 장점을 갖는다. 또한, 복소수 승산기와 8점 FFT 블록을 cascade 방식으로 계속 연

결함으로써 512-점, 4,096-점 FFT/IFFT 프로세서로 확장할 수 있으며, radix-2 연산블록과 함께 사용하면 2^m -점 FFT/IFFT의 연산이 가능하여 유연한 확장성을 갖는다.

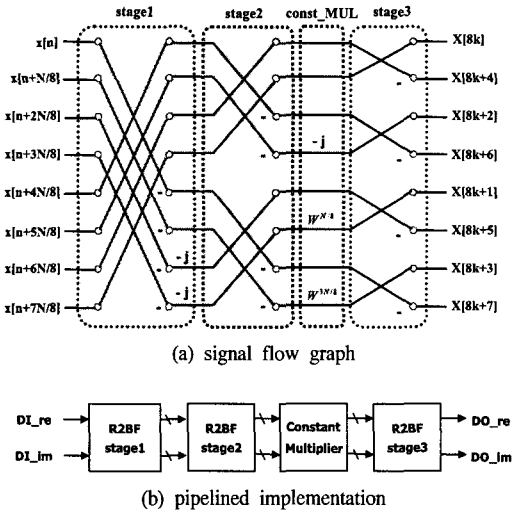


그림 2. 8점 FFT 블록의 신호 흐름도 및 파이프라인 구현

전체적인 동작 타이밍 도는 그림 3과 같다. 초기에 리셋신호 (rst)가 인가된 후, 동작모드를 결정하는 mode 신호 (mode=0이면 IFFT, mode=1이면 FFT)가 로드된다. 첫 번째 데이터가 입력된 후 74 클럭 주기의 레이턴시(latency)를 지나 결과가 출력되기 시작하며, 데이터 출력의 시작을 알리는 신호 (out_flag)가 외부로 출력된다. 일단 첫 번째 데이터가 출력된 이후로는 매 클럭마다 한 개씩 연속적으로 출력되며, 64개의 데이터를 단위로 bit-reversed 형태로 출력된다.

내부 비트 수 (복소수 승산 전·후의 데이터 비트 수)는 고정점 시뮬레이션에 의해 14비트로 결정되었으며, 입력 데이터는 10비트, 회전인자 값은 12비트, 그리고 출력 데이터는 14비트로 하였다.

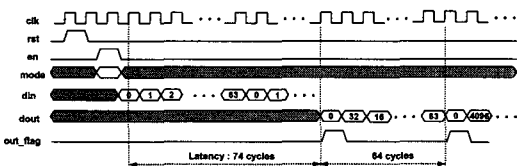


그림 3. FFT64p 코어의 동작 타이밍

3.2. Radix-2 나비 연산기

그림 2-(b)의 8점 FFT 블록을 구성하는 radix-2

연산 stage는 R2SDF (Radix-2 Single-path Delay Feedback) 구조를 바탕으로 그림 4와 같이 구현하였으며, radix-2 나비 연산기 (R2BF), 지연버퍼 그리고 두 개의 데이터 스위치로 구성된다. 그림 2-(a)의 신호 흐름도에서 보듯이, stage1은 나비 연산과 $-j$ 곱셈을 포함하며, 이때 $-j$ 곱셈은 복소수 데이터의 공액을 구한 후, 허수부의 부호 반전에 의해 연산될 수 있는 trivial multiplication이다. 본 논문에서는 이를 radix-2 나비연산에 병합시켜 동시에 처리함으로써 회로를 단순화하였다. 지연버퍼는 radix-2 나비연산에 사용될 입력 데이터의 임시 저장과 함께 나비 연산기의 출력 중 일부를 임시 저장하는 기능을 수행한다. i -번째 stage에서 지연버퍼의 크기는 $B = N/2^i$ (단, $N=64$)로 결정되며, 이는 신호 흐름도상에서 나비연산을 이루는 데이터 짝의 거리와 동일하다.

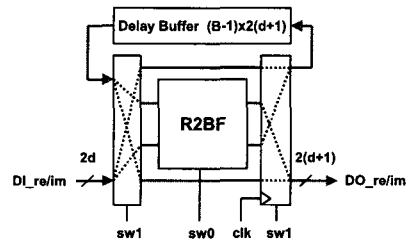


그림 4. R2SDF stage의 블록도

그림 5는 R2SDF 연산 stage의 동작 타이밍을 나타낸 것이다. 처음 B 사이클 동안 입력된 데이터는 지연버퍼에 저장되며, 그 다음 B 사이클 동안에는 새롭게 입력되는 데이터와 지연버퍼에 저장된 데이터가 짝을 이루어 나비 연산기로 입력되어 radix-2 나비연산이 수행된다. 나비 연산기의 출력 두 개 중 하나는 다음 stage로 출력되고, 나머지 하나는 지연버퍼에 저장된다. 그 다음 B 사이클 동안에는 버퍼에 저장되었던 나비연산 결과가 순차적으로 다음 stage로 출력됨과 동시에 새로운 데이터가 입력되어 지연버퍼에 저장된다. 그림 5의 타이밍도에서 볼 수 있듯이, 나비 연산기는 전체 동작기간의 절반 동안에만 동작하고 나머지 기간동안에는 데이터 입·출력 동작만 일어나게 된다. 본 논문에서는 이와 같은 R2SDF stage의 동작특성을 토대로, 데이터 입·출력 동작만 일어나는 기간에는 나비 연산기가 동작을 멈추도록 설계함으로써 불필요한 스위칭 동작을 제거하여 전력소모가 최소화되도록 하였다.

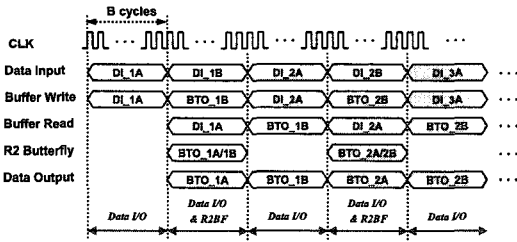


그림 5. R2SDF stage의 동작 타이밍

3.3. 상수 곱셈기 및 복소수 곱셈기

상수 곱셈기는 회전인자, $W_N^{N/8} = (\sqrt{2}/2) \cdot (1-j)$, $W_N^{3N/8} = -(\sqrt{2}/2) \cdot (1+j)$ 의 곱셈을 연산하며, 이때 상수 $\sqrt{2}/2$ 은 식(2)와 같이 근사될 수 있다.

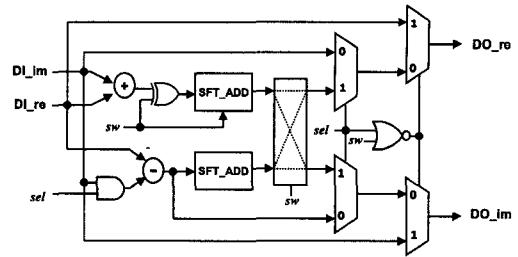
$$\frac{\sqrt{2}}{2} \approx 0.707106781 \quad (2)$$

$$\approx 2^{-1} + 2^{-3} + 2^{-4} + 2^{-6} + 2^{-8}$$

따라서, 상수곱셈기의 연산은 복소수 곱셈기 대신에 가산기만을 사용하여 구현이 가능하며, 이에 의해 칩 면적과 전력소모를 줄이고 동작속도를 향상시킬 수 있다. 설계된 상수 곱셈기는 그림 6-(a)과 같이 두 개의 가산기, 두 개의 shifter 가산기 (SFT_ADD) 그리고 데이터 선택기 및 스위치 등으로 구성되며, 그림 6-(b)와 같이 +1 곱셈, -j 곱셈, $(\sqrt{2}/2) \cdot (1-j)$ 곱셈 및 $-(\sqrt{2}/2) \cdot (1+j)$ 곱셈 등 4가지 동작모드를 가진다.

복소수 승산기는 첫 번째 8점 FFT를 거친 데이터와 회전인자의 곱셈을 연산하며, 연산시간, 칩 면적, 전력소모 등의 측면에서 전체 성능에 큰 영향을 미치는 부분이다. 본 논문의 FFT64p 코어에서는 1개의 복소수 승산기가 사용되며, 14비트 데이터와 12비트의 회전인자를 곱셈하여 14비트의 결과를 출력한다. 사용된 복소수 승산기는 4개의 실수 승산기를 사용하는 고전적인 방법 대신에 RB (Redundant Binary) 수치계와 Booth 알고리즘을 혼합한 방식과 개선된 Booth 인코딩/디코딩 방식을 적용함으로써 기존의 방식에 비해 고속/고집적/저전력의 특성을 갖는다.

복소수 곱셈에 사용되는 회전인자는 cosine 파형과 sine 파형의 1/8 주기의 값 (즉, 8개의 복소수 값) 만을 ROM에 저장한 후, ROM의 읽기 주소를 제어하여 필요한 격자계수가 얻어지도록 하였으며, 이를 통해 칩 면적과 전력소모를 감소시켰다.



(a) block diagram

sel	sw	function
0	0	Pass
0	1	-j
1	0	$W_N^{N/8}$
1	1	$W_N^{3N/8}$

(b) operation modes

그림 6. 상수 곱셈기

3.4. 저전력 설계를 위한 고려 사항

일반적으로, CMOS 회로에서 소비되는 전력은 회로의 스위칭 과정에서 유발되는 동적 전력소모와 누설전류에 의한 정적 전력소모로 구분되며, CMOS 회로의 전력소모의 대부분을 차지하는 동적 전력소모는 식(3)과 같이 모델링 된다^[11].

$$P_d = \sum_k (\alpha \cdot f_{clk} \cdot V_{DD}^2 \cdot C_L)_k \quad (3)$$

식(3)에서 α 는 회로의 스위칭 활동인자, f_{clk} 는 동작 주파수, C_L 은 스위칭 과정에서 총 방전되는 부하용량, 그리고 V_{DD} 는 전원전압을 나타낸다. 일반적으로, 알고리즘 또는 아키텍처와 같은 상위 레벨의 최적화는 회로 또는 레이아웃과 같은 하위 레벨의 최적화 보다 더 큰 영향을 미치므로, 효과적인 저전력 설계를 위해서는 알고리즘과 아키텍처 레벨의 최적화가 매우 중요한 요소가 된다. 회로의 스위칭 빈도를 나타내는 활동인자 α 는 알고리즘과 아키텍처에 의해 직접적인 영향을 받으며 알고리즘 레벨에서는 연산량에 비례한다. 식(1)에서 보는 바와 같이 FFT는 복소수 곱셈과 가산으로 구현되므로 최소의 복소수 곱셈을 갖는 FFT 알고리즘 선택과 함께 알고리즘이 갖는 연산흐름의 규칙성 (spatial regularity)도 고려되어야 한다. II장의 FFT 알고리즘에 대한 분석을 토대로, 연산 복잡도가 작고 연산 흐름이 규칙적이며 파이프라인 구현에 적합한 radix-2/4/8 FFT 알고리즘을 구현하였다.

회로 레벨에서는 최적화된 연산회로 설계를 통해 저전력을 실현하였다. 즉, 복소수 곱셈과 상수 곱셈 결과 중 불필요한 하위 비트를 회로로 구현하지 않는 절사형 승산기(truncated multiplier)를 사용함으로써 약 12%의 게이트를 감소시켰다. 한편, 그림 5의 R2SDF stage의 동작 타이밍 도에 의하면 나비 연산기의 이용률이 50%이므로, 나비 연산기가 동작하지 않는 기간동안에는 내부에 스위칭 동작이 발생되지 않도록 설계하였다. 이와 같은 회로레벨의 저전력 설계기법을 통해 설계된 FFT64p 프로세서의 평균 전력소모를 88.1 mW에서 69.3 mW로 약 21% 감소시켰다.

IV. 설계 검증 및 성능 분석

Verilog HDL로 모델링된 FFT64p 코어는 ModelSim을 이용하여 검증을 수행하였으며, 그림 7은 시뮬레이션 결과 파형의 일부를 보인 것이다. 입력 데이터가 인가된 후, 74 cycles의 latency가 지난 후, 결과가 출력되기 시작함을 볼 수 있다.

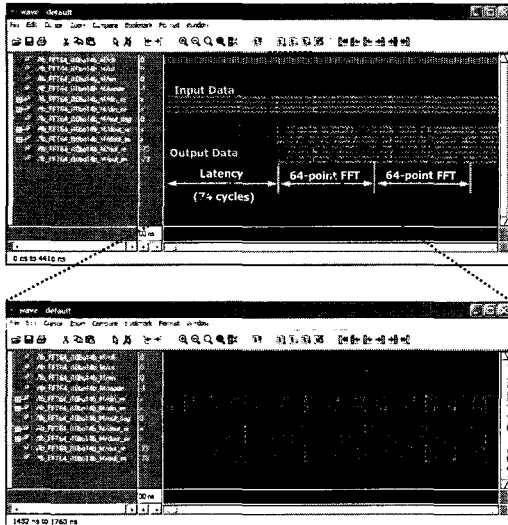
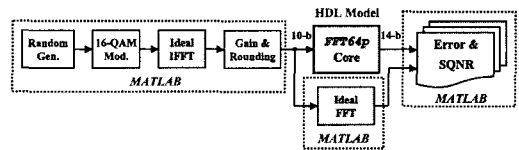


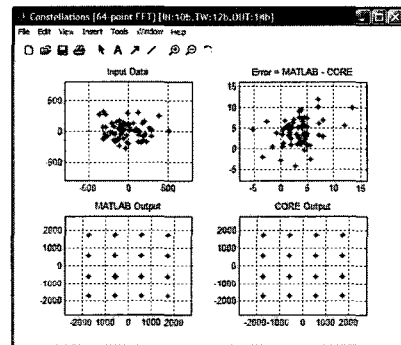
그림 7. 설계된 FFT64p 코어의 기능검증 결과

그림 8-(a)는 설계된 FFT64p 코어의 성능평가 과정을 보인 것이며, 2진 랜덤 신호를 생성하여 변조(QPSK, 16-QAM, 64-QAM)한 후, 부동점(floating-point) 연산을 갖는 이상적인 IFFT와 이득 조절을 거쳐 10비트로 양자화된 데이터를 시뮬레이션 입력으로 사용하였다. 그림 8-(b)는 시뮬레이션에 사용된 입력 데이터(좌측 상단의 성상도), 이상

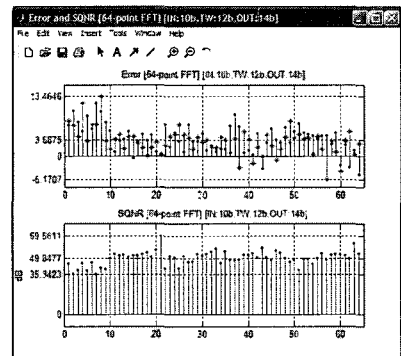
적 FFT 출력(좌측 하단의 성상도), 설계된 FFT64p 코어의 출력(우측 하단의 성상도), 그리고 FFT 출력의 연산오차(우측 상단의 성상도)을 보인 것이다. 그림 8-(c)는 FFT 출력의 연산오차와 SQNR (Signal-to-Quantization Noise Ratio) 특성을 출력 주파수 성분 별로 보인 것이다. 전체 주파수 영역에서 우수한 SQNR 특성을 나타냈으며, 평균 SQNR은 약 50-dB 정도로 분석되었다.



(a) performance evaluation flow



(b) constellations



(c) errors and SQNR

그림 8. 설계된 FFT64p 코어의 성능평가

그림 9는 설계된 FFT64p 코어의 출력 비트 수에 따른 SQNR 특성을 분석한 결과이다. 출력이 14-비트인 경우, FFT는 약 50-dB, IFFT는 약 55-dB의 SQNR 성능을 가지며, 그림 8-(c)와 그림 9에서 보는 바와 같이, 우수한 SQNR 특성을 나타내어 다수

반송파 변조 시스템의 요구 조건을 충분히 만족하는 것으로 평가되었다.

V. 결론

OFDM 기반의 무선 랜 모델에서 데이터 변·복조 기능을 수행하는 핵심 기능블록인 64점 FFT/IFFT 프로세서 코어를 설계하였다. 휴대형 단말기용 무선 랜 모델에서는 저전력 소모가 매우 중요한 요인이 되므로, 본 논문에서는 다양한 저전력 설계 기법을 적용하였다. 즉, R2SDF 구조에서 발생하는 불필요한 내부 switching activity를 제거하고, 내부 데이터 패스의 상수 곱셈기와 복소수 곱셈기를 절사형으로 설계하였으며, 나비연산 회로를 가산기와 감산기가 결합된 형태로 설계함으로써 약 21%의 전력소모를 감소시켰다. 설계된 FFT64p 코어는 0.25- μ m CMOS 셀 라이브러리로 합성한 결과, 약 28,100 게이트로 구현되었으며, 50-MHz@2.5-V로 안전하게 동작할 것으로 평가되었다. 설계된 코어는 64점 FFT/IFFT를 1.3- μ s에 연산하고, 50-dB 이상의 평균 SQNR과 69.3 mW의 평균 전력소모를 가져 저전력/고속 무선 랜 모델 설계에 폭넓게 사용될 것으로 평가되었다.

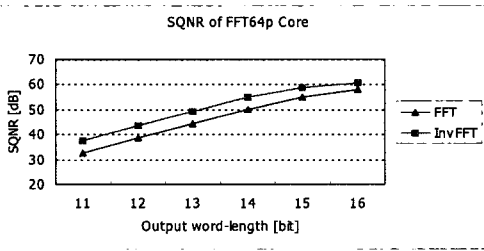


그림 9. FFT64p 코어의 SQNR 특성

검증이 완료된 HDL 모델은 0.25- μ m CMOS 셀 라이브러리를 이용하여 합성한 결과 28,100 게이트로 구현되었다. 합성을 통해 추출된 게이트 레벨 netlist와 SDF (Standard Delay Format) 데이터를 이용한 타이밍 시뮬레이션 결과, 최대 지연시간은 약 15.3-ns로 나타났으며, 레이아웃 후의 배선에 의한 지연을 고려하더라도 2.5-V 전원전압에서 50-MHz로 안전하게 동작 가능할 것으로 평가된다. 따라서, 64점 FFT/IFFT 연산에 1.3- μ s가 소요되어 IEEE 802.11a 시스템의 사양을 만족하는 것으로 평가되었다. 설계된 FFT64p 코어는 합성된 게이트 레벨 netlist와 테스트 벡터를 이용해 추출된 backward SAIF (Switching Activity Interface Format) 데이터를 사용하여 전력소모 특성을 분석하였으며, 50MHz, 2.5V 동작조건에서 69.3-mW의 평균전력을 소모하는 것으로 분석되었다. 이는 저전력 설계 기법을 적용하지 않은 경우의 평균 전력소모 88.1-mW에 비해 약 21%의 전력소모 감소를 이루었다. 표 2는 문헌에 발표된 64점 FFT 프로세서와 본 논문에서 설계된 코어의 성능을 비교한 것이다. 본 논문에서 설계된 FFT64p 코어는 문헌 [7]~[9]에 발표된 결과에 비해 약 30% ~ 50% 적은 게이트로 구현되며, 전력소모 특성도 매우 우수하다.

참고 문헌

- [1] 조용수, 무선 멀티미디어 통신을 위한 OFDM 기초, 대영사, 2001.
- [2] IEEE 802.11a/D7.0, "Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: High speed physical layer in the 5GHz band", ISO/IEC 802-11: 1999/Amd 1:2000(E), 1999.
- [3] N. Weste and D.J. Skellern, "VLSI for OFDM", IEEE Communications Magazine, vol. 36, pp. 127-131, Oct., 1998.
- [4] P. Duhamel and H. Hollman, "Split radix FFT algorithm", Electronic Lett., vol. 20, no. 1, pp. 14-16, Jan., 1984.
- [5] L. Jia, Y. Gao, J. Isoaho and H. Tenhunen, "A new VLSI-oriented FFT algorithm and implementation", Proceedings of 1998 IEEE International ASIC Conference, pp. 337-341, 1998.
- [6] S. He and M. Torkelson, "Designing pipeline FFT processor for OFDM (de)modulation", Proceedings of IEEE URSI International Symposium on Signals, Systems and

표 2. 64점 FFT 프로세서의 비교

	Gate Count	Latency (cycles)	Power dissipation [mW]
Ref. [7]	39,500 (1.40)	?	?
Ref. [8]	62,000 (2.21)	77	84 @20MHz, 2.5V
Ref. [9]	38,170 (1.36)	76	507 @100MHz, 3.3V
This paper	28,100 (1.00)	74	69.3 @50MHz, 2.5V

Electronics, pp. 257-262, 1998.

- [7] Y.J. Hongil and J. Kim, "New efficient FFT algorithm and pipeline implementation results for OFDM/DMT applications", IEEE Trans. on Consumer Electronics, vol. 49, no. 1, pp. 14-20, Feb., 2003.
- [8] K. Maharatna, E. Grass and U. Jagdhold, "A novel 64-point FFT/IFFT processor for IEEE 802.11a standard", Proceedings of ICASSP 2003, pp. II.321-324, 2003.
- [9] W.C. Yeh and C.W. Jen, "High-speed and low-power split-radix FFT", IEEE Trans. on Signal Processing, vol. 51, no. 3, pp. 864-874, Mar., 2003.
- [10] J.W. Cooley and J.W. Tukey, "An algorithm for the machine calculation of complex Fourier series", Math. Comput., vol. 5, no. 5, pp. 87-109, 1965.
- [11] N. Weste and K. Eshraghian, Principles of CMOS VLSI Design, Addison-Wesley, 1985.

辛 卿 旭(Kyung-Wook Shin)

정회원



- 1984년 2월 : 한국항공대학교 전자공학과 졸업
- 1986년 2월 : 연세대학교 대학원 전자공학과 (공학석사)
- 1990년 8월 : 연세대학교 대학원 전자공학과 (공학박사)
- 1990년 9월~1991년 6월 : 한국전자통신연구소 반도체연구단 (선임연구원)
- 1991년 7월~현재 : 금오공과대학교 전자공학부 (교수)
- 1995년 8월~1996년 7월 : University of Illinois at Urbana-Champaign (방문교수)
- 2003년 1월~2004년 1월 : University of California at San Diego (방문교수)
- <관심분야> 통신 및 신호처리용 집적회로 설계, 암호 프로세서 설계, 반도체 IP 설계

감사의 글

반도체설계교육센터(IDECC)의 CAD Tool 지원에 감사드립니다.
