

미세가공 정전용량형 초음파 탐촉자 개발(II) - 미세공정기술 분석

Development of capacitive Micromachined Ultrasonic Transducer (II) - Analysis of Microfabrication Process

김기복*[†], 안봉영*, 박해원*, 김영주*, 김국진*, 이승석*

Ki-Bok Kim*[†], Bongyoung Ahn*, Hae-Won Park*, Young-Joo Kim*, Kuk-Jin Kim* and Seung-Seok Lee*

초 록 본 연구는 cMUT 제작을 위한 미세공정기술을 개발하기 위하여 수행되었다. 이를 위하여 외국의 관련 제조공정 연구결과들을 분석하였다. cMUT 제작의 주요 공정인 미소 진동 박막 형성, 희생층 형성, 식각 공정에 대한 실험을 수행하여 적절한 공정조건을 찾고자 하였다. 각 제작 공정조건들을 변화시켜 가면서 증착된 실리콘 질화막의 두께, 균일도, 잔류응력을 측정하였다. 희생층으로서 실리콘 산화막의 공정조건을 변화시켜 가면서 산화막의 성장률을 분석하였다. 마지막으로 희생층 식각을 위한 최적 식각공정을 얻기 위한 실험을 수행하였다. 본 연구에서 얻어진 주요 미세공정 조건은 추후 cMUT 제작에 적용될 예정이다.

주요어: 미세가공, 미세가공 정전용량형 초음파 탐촉자, 미소진동박막, 희생층, 식각

Abstract The main goal of this study was to develop a micro-fabrication process for the capacitive micromachined ultrasonic transducer (cMUT). In order to achieve this goal, the former research results of the micro-electro-mechanical system (MEMS) process for the cMUT were analyzed. The membrane deposition, sacrificial layer deposition and etching were found to be a main process of fabricating the cMUT. The optimal conditions for those microfabrication were determined by the experiment. The thickness, uniformity, and residual stress of the Si_3N_3 deposition which forms the membrane of the cMUT were characterized after growing the Si_3N_3 on Si-wafer under various process conditions. As a sacrificial layer, the growth rate of the SiO_2 deposition was analyzed under several process conditions. The optimal etching conditions of the sacrificial layer were analyzed. The microfabrication process developed in this study will be used to fabricate the cMUT.

Keywords: MEMS, cMUT, membrane, sacrificial layer, etching

1. 서 론

cMUT(capacitive Micromachined Ultrasonic Transducer)에서 미세가공(micromachining)을 의미하는 M을 제외한 cUT는 최근까지 콘덴서 마이크

로폰이나 압력 센서로 많이 이용되어 왔다[1-3]. 직류 또는 수십 kHz 이하의 낮은 주파수 영역에서 압력의 변화를 측정하기 위한 센서로 이용되어 왔으나, 제작 기술의 한계 때문에 보다 높은 주파수의 초음파를 송수신하기 위한 센서로서의 사용은

기술적으로 많은 어려움이 있었다. 최근 반도체 제작 기술이 발달하면서 수천 A 두께의 박막을 큰 어려움 없이 만들어낼 수 있는 미세가공 기술이 널리 보급되면서 cMUT의 개발이 가능하게 되었으며 이에 따라 반도체 제작기술에 대한 인프라가 잘 갖추어진 미국 실리콘 벨리에 있는 Stanford 대학을 중심으로 활발한 연구개발이 이루어지게 되었다[4].

cMUT의 구조와 동작원리는 일반적인 마이크로폰의 콘덴서와 동일하다. 한 가지 다른 점은 마이크로폰 콘덴서와 달리 여러 개의 매우 작은 콘덴서가 서로 병렬 혹은 직렬로 연결되어 있다는 점이다. 실리콘 웨이퍼 위에서 하부전극과 상부전극이 증착된 실리콘 질화막(Si_3N_4)이 커패시터를 형성하게 되며 양 전극 사이에 직류전압이 인가되면 쿨롱 힘(정전기력)에 의해 막의 변위가 유발되어 하부 전극 쪽으로 당겨지게 되는데 막의 내부응력에 의한 항력과 평형을 이루는 위치에서 변위가 정지하게 된다. 이 상태에서 인가된 직류전압보다 작은 교류전압을 인가하면 막이 진동하게 되어 초음파를 발생하게 된다. 반대로 직류전압이 인가되어 막의 변위가 유발된 상태에서 외부에서 가해지는 초음파의 음압에 따라 진동 막의 변위가 바뀌게 되면 정전용량이 변하게 되는데 이러한 정전용량 변화를 검출함으로써 초음파를 수신할 수 있게 된다. 따라서 이러한 진동 막을 수십 μm 의 크기로 제작하여 수천~수만 개의 이러한 수많은 단일 element들이 하나의 cMUT를 구성하게 된다[5].

초음파의 발생 주파수는 막의 기계적인 특성(두께, 잔류응력, 밀도 등)과 인가되는 교류전압의 주파수에 따라 조절될 수 있으며 진동 막이 하나인 경우 막의 공진주파수, 음향 임피던스 등은 오래 전부터 이론적으로 구명되어 자세한 유도과정이 정립되어 있다[6]. 또한 본 연구의 선행연구로서 cMUT의 미소 진동 박막의 거동을 분석하기 위한 연구가 수행되었다[7]. 현재 미국과 유럽의 여러 연구 그룹에 의해 cMUT를 구성하는 element인 막의 진동해석, 초음파 송수신을 위한 등가회로 모델, 유한요소 해석 기법이 적용되어 array화 된 cMUT 박막의 두께와 크기, 공기층의 두께 등과 같은 여러 가지 cMUT 설계 인자들의 변화에 따른 초음파 특성을 이론적으로 예측하기 위한 연구가 수행되고 있다. 또한 cMUT의 최적 설계기준 및 사양을 설정하고, 이러한 기준에 따라 제작된 cMUT의 특성을 평가하는 일련의 연구가 수행되고 있다[4,8-13].

cMUT 소자 제작은 기본적인 반도체 제조공정을 이용하면서 MEMS 공정을 사용한다. 얇은 진동 막 형성, 식각(etch), 포토리소그래피(photolithography), 전극형성 등의 단위 공정기술은 소자의 동작 요인에 직접적인 영향을 끼친다. 각 단위 제작 공정이 정립되어 있지 않으면 복합적인 제조공정으로 만들어지게 되는 cMUT는 초음파 특성이 제대로 나오지 않게 된다. cMUT는 그 원리상 역학적인 특성과 전기적인 특성을 동시에 가지게 되므로 cMUT의 제조공정도 이들 두 가지 특성들을 고려하여 수행되어야 하며 소자의 설계에 반영되는 기본적인 물성 값의 측정도 매우 중요하다. 소자의 크기가 소형화되고 점점 미세패턴 구조를 가지므로 제조공정도 미세 공정기술 확보와 새로운 공정기술의 도입이 필요하다고 할 수 있다.

본 연구에서는 cMUT 소자를 제작하는데 필요한 기본 MEMS 공정들을 분석한 다음 cMUT 제작의 주요 공정인 미소 진동 막 형성공정, 희생층 형성공정, 식각 공정에 대하여 적절한 공정조건을 검토하기 위하여 수행되었다.

2. cMUT 제작을 위한 공정분석

2.1. 미세가공기술 개요

Micromachining 기술은 반도체 제작 공정 기술을 응용한 것으로 마이크로 구조물(micro structure)을 제작할 때 이용되는 기법으로서 물리/화학/바이오센서의 소형화 및 개발에 다양하게 적용되고 있다[14]. Microengineering은 마이크로미터 단위의 소형 장치를 제작할 때 적용되는 기술로서 microelectronics와 micromachining 분야로 나뉘어 질 수 있다. Microelectronics는 실리콘 웨이퍼 위에 전자회로를 집적할 때 적용되는 기술로서, 현재 메모리 반도체, CPU 등의 개발 분야에서 다양하게 적용되고 있다. 이에 비해, micromachining 기술은 미세 구조물을 제작할 때 적용되는 기술로서 초소형 모터 등의 액츄에이터와 센서의 개발 등에 적용되고 있다.

Micromachining은 실리콘 가공 기술에 기반하고 있으며, 실리콘 가공 기술은 다시 몸체 미세가공 기술(bulk micromachining)과 표면 미세가공 기술(surface micromachining)로 구분할 수 있다. 몸체 미세가공 기술은 실리콘 웨이퍼 상에서 식각 방식에 의하여 원하는 구조물을 제작하는 방법이다. 실

리콘 웨이퍼는 단결정 구조로서 결정면에 따라 식각 속도가 다르다는 점을 이용하여 일정한 모양의 구조물을 형성할 수 있다. 그리고 원하는 크기나 모양은 패턴을 형성하기 위한 마스크를 적절히 설계함으로써 제작할 수 있다. 몸체 미세가공 기술을 이용한 센서로는 실리콘 diaphragm을 이용한 압력 센서가 대표적이다[14]. 표면 미세가공 기술은 희생층(sacrificial layer)을 이용하여 움직일 수 있는 구조물을 형성하는 방법으로 μm 단위의 구조물을 형성하기 위해 박막을 많이 이용한다. 이러한 미세가공 기술은 웨이퍼에 희생층으로 여러 가지 물질을 증착하고 그 위에 구조물을 형성한 다음 희생층을 제거하여 구조물을 공중에 띄움으로서 구조물의 운동성을 제공할 수 있으며[15] 막의 두께와 잔류응력의 조절이 가능하고 다양한 모양의 pattern을 제작할 수 있기 때문에 cMUT 개발의 핵심이라고 할 수 있다[4,5,8,13].

Micromachining 기술은 크게 3가지 기본 공정으로 구성된다[16]. 첫 번째 공정은 박막 증착(deposition) 공정이다. 박막 증착은 증착되는 재료에 따라 여러 가지 방법이 있는데, 휘발성 유기 용매에 녹을 수 있는 유기물을 증착 할 경우에는 spin coating법을 많이 이용한다. Spin coating은 유기 용매에 녹은 증착 물질을 실리콘 웨이퍼 위에 떨어뜨린 다음 고속으로 회전시킴으로써 균일한 박막을 형성한다. 박막의 두께는 회전 속도를 변경함으로써 조절할 수 있다. 다른 증착 기법으로는 증발(evaporation)과 스퍼터링(sputtering)이 있는데 증발은 진공 챔버 내에서 증착물질을 기화시켜 기판(substrate)에 증착하는 방법이며, 스퍼터링은 증착 물질을 전자빔으로 이온화시키고 기판으로 이동시켜 증착시킨다. 이러한 증발과 스퍼터링에 의해서 금속이나 유기물 등의 박막을 제조할 수 있다.

두 번째 공정은 리소그래피(lithograph)이다. 리소그래피는 특정 패턴으로 식각하기 위하여 박막 위에 패턴을 올리는 공정이다. 리소그래피는 감광제(photoresistive film, PR) 증착, 소프트 베이킹(soft bake), 정렬 및 노출(align and exposure), 현상(develop), 그리고 하드 베이킹(hard bake)의 순서로 이루어진다. 감광제에는 음성 감광제(negative PR)와 양성 감광제(positive PR)가 있으며, 음성 감광제를 이용할 경우에는 현상할 때 노출이 안 된 부분이, 양성 감광제를 이용할 경우에는 노출이 된 부분이 제거됨으로서 박막 위에 패턴이 형성된다.

마지막 공정은 식각(etching)으로서 형성된 패턴에 따라 박막을 성형하는 공정이다. 식각은 박막의 재질에 따라 식각액, 식각 방식, 식각 온도 등과 같은 다양한 식각 조건들이 적용될 수 있으며, 습식 식각(wet etching)과 건식 식각(dry etching)으로 구분할 수 있다. 습식 식각은 박막 위에 패턴을 올린 기판을 식각액에 침수시킴으로써 패턴 이외의 부분을 제거하는 방식이며, 건식 식각은 플라즈마(plasma)를 이용하여 식각액 없이 식각하는 방식이다.

이러한 micromachining 기술의 세 가지 공정을 적절히 반복하여 사용함으로써 cMUT를 제작할 수 있다.

2.2. cMUT 소자의 제조공정 분석

현재 cMUT 소자 관련연구를 활발히 수행하고 있는 미국의 Stanford 대학의 연구결과를 중심으로 cMUT 제조공정을 분석하였다. 이러한 분석을 수행한 이유는 기존의 제조 공정의 특성을 분석하여 기존 방법과는 다른 제조 공정을 개발함으로써 앞으로 발생하게 될지도 모르는 특허침해 논란과 같은 기술 분쟁을 피하기 위함이다.

Fig. 1은 미국 스탠포드 대학의 Khuri-Yakub 교수팀에서 개발한 2차원 어레이(array) cMUT 소자의 제조공정 순서도이며 개략적으로 공정에 따른 단면의 형상을 보여주고 있다[10]. 소자의 제조공정 과정은 먼저 실리콘 웨이퍼를 세척한 후 확산로를 이용하여 인(phosphorous)을 확산시켜 웨이퍼 표면에서 면저항을 $1.5 \Omega/\square$ 이하로 만든다(Fig. 1의 공정 1번). 인 확산층은 하부 전극으로 사용된다. 절연층과 희생층의 보호막으로 실리콘 질화막을 LPCVD(Low Pressure Chemical Vapor Deposition)로 1000 \AA 이하 증착한다(Fig. 1의 공정 2번). 희생층인 비정질실리콘(Amorphous Silicon)층을 증착하고 포토리소그래프(photolithograph) 한 후 건식 식각으로 희생층의 패턴을 형성한다(Fig. 1의 공정 4번). 그 위에 미소 박막 층으로서 실리콘 질화막을 LPCVD로 증착하여 올린다(Fig. 1의 공정 5번). 희생층을 없애기 위한 작은 구멍 비아(Via)의 패턴을 포토리소그래프 또는 전자선 리소그래프(e-beam lithograph)로 형성한 후 습식 식각(wet etch)으로 희생층인 비정질 실리콘층을 제거한다(Fig. 1의 공정 6번). 실리콘 질화막을 증착시켜 비아를 막고(진공밀봉) 스퍼터링으로 알루미늄 박막을 올린 후 위 전극으로서의 패턴을 형성한다(Fig. 1의 공정 7번).

그리고 확산층까지 트렌치(trench)를 파고 알루미늄 패턴이 하부 전극과 연결되게 하고 본딩 전극의 역할을 하게 만든다(Fig. 1의 공정 8번).

2차원 어레이 소자인 경우 셀(cell) 개수가 많아지고 전극 연결이 많아지면 기생 커패시터가 증가하므로 본딩 전극패드를 표면 위에 형성하기가 어려워진다. 이것은 전극패드는 비교적 넓은 면적을 차지하기 때문이다. 범프 본딩(bump bonding)을 이용하여 소자의 신호를 주고받는 전극을 웨이퍼 뒷면에 배치시키는 구조를 갖게 한다. 그러기 위해서는 위 전극과 아래 전극을 웨이퍼 뒷면으로 올 수 있게 하여야한다. 이를 위하여 실리콘 위와 아래를 관통하는 구멍을 내고 그 구멍을 통하여 신호가 전달되는 선로가 형성되어야 한다. 금속이나 전기저항이 작은 불순물이 들어있는 다결정 실리콘(doped poly silicon)을 사용한다.

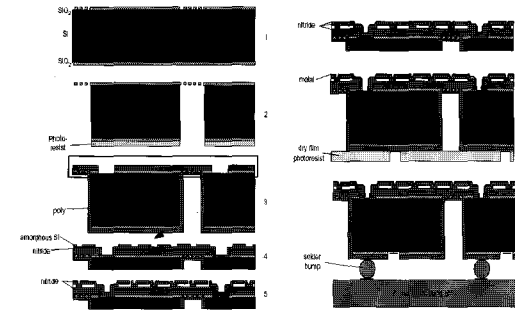


Fig. 1 2D array cMUT fabrication process [10]

2.3. 미소 진동 박막형성 공정분석

Xuecheng Jin 등[17]은 cMUT 제조공정에서 소자 성능을 최적화하기 위하여 Table 1에서 보는바와 같은 3개의 주요공정(미소 진동 박막 형성, 진공실링, 금속전극 형성)에 대해 비교하였다. 공정 A는 희생층으로 산화막을 사용하고 미소 진동 박막으로서 저응력의 질화막을 사용하였다. 이때 사용된 질화막이 좋은 식각 절연층이 되므로 상부 및 하부 전극사이에 절연을 위한 다른 박막층을 넣지 않아도 된다. 공정 B는 비정질 실리콘을 희생층으로 사용하기 때문에 희생층 제거시 실리콘 기판이 식각이 되지 않도록 절연층이 있어야한다. 공정 A 및 B에서는 미소 진동 박막으로서 실리콘 질화막(Si₃N₄)이 사용되었다. 한편 공정 C와 같이 희생층으로서 산화막을 사용하고 미소 진동 박막으로서 다결정

실리콘을 사용할 경우, 상부 전극을 형성하기 위하여 다결정 실리콘 막에 불순물을 도핑을 해야 한다. 이 경우 상부 전극의 다결정 실리콘과 하부 전극 실리콘 벌크 사이에 절연층을 넣어주어야 한다. 이들 세 가지 공정의 주요한 차이점은 전기전도도, 비유전율, 미소 진동 막의 잔류응력이 서로 다르다는 점이다. 이러한 작은 차이로 인하여 미소 진동 박막의 기계적 특성인 포와송비, 탄성계수, 밀도가 달라진다.

Table 1 Comparison of membrane formation process[17]

Process	Membrane material	Sacrificial layer	Insulator layer
A	Silicon nitride	Oxide	-
B	Silicon nitride	Amorphous silicon	Silicon nitride
C	Poly silicon	Oxide	Silicon nitride

3. cMUT 제작을 위한 주요공정 개발

3.1. 미소 진동 막 제작 공정

실리콘 질화막은 반도체 소자 제작에 널리 쓰이고 있는 절연막으로서 cMUT 소자에서 미소 진동 막으로 주로 사용되고 있다. 이러한 실리콘 질화막은 LPCVD(Low Pressure Chemical Vapor-Deposition), APCVD (Atmospheric Pressure Chemical Vapor-Deposition), PECVD(Plasma Enhanced Chemical Vapor-Deposition) 등의 여러 종류의 화학기상증착 방법으로 박막제조가 가능하다. LPCVD방법으로는 주로 고온 분위기에서 SiH₂Cl₂ (Dichlorosilane, DCS)와 NH₃가스의 반응을 이용하여 Si₃N₄를 성장시킨다. 화학양론적인 Si₃N₄ 성장을 위한 DCS와 NH₃의 가스 유량비는 1 : 10 정도이고 DCS의 유량을 증가시키고 NH₃의 유량을 줄이면 실리콘이 많이 석출되는 질화막(Si_xN_y)이 증착된다. 증착된 실리콘 질화막에서 실리콘의 함유량이 많아지면 인장 잔류응력을 줄일 수 있다[18].

공정에서는 수직형 LPCVD장비로 Kokusai사 (일본) DJ-802V-H모델을 사용하여 실리콘 질화막을 성장시키고 특성을 측정 분석하였다. Table 2는 실험에 사용된 실리콘 질화막 특성을 나타내며 실리콘 질화막의 성장속도는 DCS에 대한 NH₃ 가스량을

증가시키면 증착속도는 증가하고 잔류 응력은 감소하는 것으로 나타났다. 그러나 미소 진동 박막의 잔류응력이 가장 낮은 조건은 DCS:NH₃ = 5:1 인 것으로 나타났다. 따라서 추후 cMUT 설계 시 이러한 특성실험 결과를 고려해야 할 것으로 판단된다.

3.2. 희생층 제작 공정

희생층으로 많이 사용되는 실리콘 산화막(SiO₂) 성장 방법으로서 산소 가스를 실리콘 표면 안쪽으로 열확산시켜 성장시키는 방법(열산화막), 저압 환경에서 TEOS(Tetra-Ethyl-Ortho-Silicate) 등의 기체를 분해 시켜 화학적으로 증착시키는 방법(LPCVD 산화막) 그리고 열과 플라즈마로 기체를 분해 시켜 증착시키는 방법(PECVD 산화막)이 사용된다. 본 연구에서는 PECVD를 이용한 희생층 제작공정을 연구하였다. PECVD 산화방법은 200~500℃의 온도에서 산화막을 성장시킨다. 산화막 성장에 가장 많이 사용되는 가스로서 TEOS를 이용하였으며 그 조성식은 Si(OC₂H₅)₄ 이다. TEOS는 상온에서는 거의 1.5 Torr의 증기압을 갖는 액체상태이며 적당한 환경이 되었을 때 TEOS는 실리콘 산화막과 에탄올로 가수분해 된다. 실리콘 산화막으로 성장되는 기본적인 반응은 두 개의 산소 원자의 제거로서 고온에서 가스 상태 반응이 이루어지는 동안 증착

은 TEOS의 표면반응에 의해 일어난다[19]. TEOS의 성장에 따라 온도, 압력, 유량과 같은 공정인자에 의해 증착두께와 농도가 달라진다. 따라서 기존의 연구결과 [20]을 참고로 압력, 유량, 온도를 변화시켰을 때 희생층의 평균 성장률을 실험적으로 고찰한 결과 Fig. 2에서 보는 바와 같다. 반응로 내의 압력을 높이면 반응로 내에서 TEOS 농도가 증가하게 되고 이에 따라 TES (Tetra-Ethyl-Silicate) 농도도 동시에 증가하여 증착율이 증가하는 것으로 나타났다. 또한 유량을 증가시키면 산화막의 평균 성장률도 증가하는 것으로 나타났으며 온도 변화에 따른 성장률이 압력이나 유량의 변화에 의한 성장률보다 크게 나타났다.

3.3. 식각 공정 개발

희생층을 제거하고 실리콘 웨이퍼의 상·하부를 관통하기 위한 via hole을 만들기 위해서는 식각공정이 필요하다. 플라즈마를 이용하는 건식식각 공정은 식각장비의 종류나 구조, 공정조건에 따라 그 특성이 달라진다. 일반적으로 사용되는 전기용량형 RIE (reactive ion etch) 장비는 플라즈마 밀도가 낮으며 식각 깊이가 얇고 종횡비(aspect ratio)가 낮은 경우에 주로 사용되고 있다[16]. 반면 식각 깊이가 얇고 종횡비가 높은 식각이 요구되거나, 종횡비에

Table 2 Thickness of and residual stress of Si₃N₄ deposition at various process conditions

Deposition Temperature(℃)	Pressure (mTorr)	Deposition Time (min.)	Gas Ratio		Thickness(Å)	Residual Stress (MPa)
			DCS	NH ₃		
780	250	88	1	10	2000	1087
			1	1	2000	1126
			3	1	2600	742
			5	1	3000	546

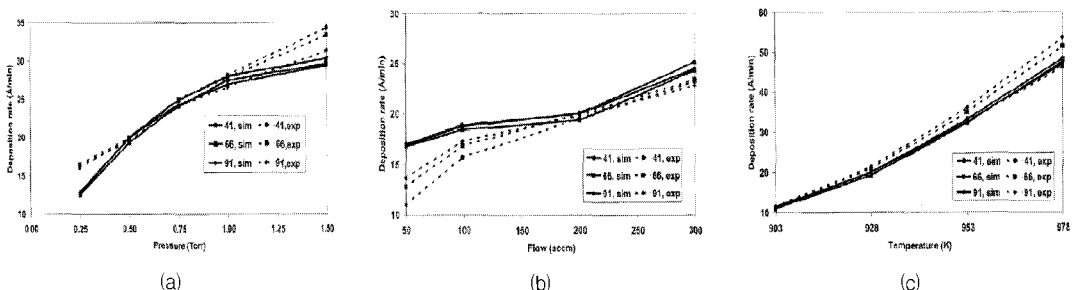


Fig. 2 Changes of deposition rate of TEOS silicon oxide due to various deposit conditions. (a) pressure, (b) flow rate and (c) temperature

관계없이 식각 깊이가 깊을 경우에는 고밀도 저 압력(HDLP) 식각 시스템이 사용된다. 고밀도 저 압력 식각 시스템의 장점은 쉬스(sheath) 두께가 줄어들어 따라 이온간 충돌 확률이 낮아 더 높은 이온 밀도를 가질 수 있으며 저 압력으로 이온의 평균 자유행로(mean free path)가 증가하게 된다. 따라서 여기에 이온의 진행에 방향성을 갖게 하면 이방성(anisotropy)을 조절할 수 있게 된다. 이러한 이방성을 최대로 하기 위하여 측면으로의 식각을 막고 깊이 방향으로의 식각을 빠르게 하는 방법들이 시도되었는데 현재 가장 성공적인 방법으로서는 옆 벽면을 보호막으로 막아주는(passivation) 방법이 많이 이용되는데[21] 식각되는 동안 분해된 반응물과 실리콘 사이에 화학반응의 결과로 인하여 식각 보호막이 벽면에 형성되게 된다.

3.4. 주요 공정조건 설정을 위한 실험 및 결과

지금까지 논의 되었던 주요 공정인 미소 진동 박막과 회생층의 형성, 식각 등의 적절한 공정 조건을 찾기 위한 추가적인 실험을 수행하였다. 비저항이 $1 \sim 10 \Omega \cdot \text{cm}$, 두께가 $650 \pm 25 \mu\text{m}$ 인 단면 polish 된 6인치의 p형 (100) 방향의 실리콘 웨이퍼를 사용하였다. 먼저 초기에 웨이퍼 세정공정을 적용하였다. Wet station에서 세정 용액의 조성비는 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 6$ 으로 하여 80°C 에서 10~20분 동안 SC-1(standard clean-1) 용액조에서 세정을 한 다음 QDR(quick drain rinse)조에서 D.I(de ionized)

water로 씻어낸 후 건조시켰다. 그 후 황산 용액조에서 120°C 온도 조건에 10분 동안 담아둔 후 꺼내어 린스한 다음 건조시켰다. 실리콘 웨이퍼 표면에 형성된 자연 산화막을 제거하기 위하여 $\text{HF} : \text{H}_2\text{O} = 1 : 20$ 의 조성비를 가지는 불산 용액조에 5~20초 정도 넣었다가 꺼내어 린스 후 건조시켰다. 웨이퍼 세정이 끝난 후 실리콘 질화막(Si_3N_4)은 수직형 LPCVD 장비로 성장시켰으며 실리콘 산화막(SiO_2)은 PECVD 장비로 성장시켰다.

Si_3N_4 박막은 반응로의 온도, DCS와 NH_3 의 유량, 압력 등을 조절하여 증착하였다. Table 3은 각 공정 조건에 따른 증착된 박막의 두께와 균일도를 측정된 결과를 나타낸다. 증착된 이때 박막의 두께는 박막 두께 측정장치(Nanospec 212, Nanometrics사, 미국)로 측정하였으며 두께의 균일도(uniformity)는 웨이퍼의 중앙과 중앙을 중심으로 상, 하, 좌, 우의 5개 지점을 측정하여 구한 것이다. 또한 SiO_2 박막은 반응로의 온도, TEOS와 O_2 의 유량, 압력 등을 조절하여 증착하였으며 각 증착 공정조건에 따른 박막의 두께와 균일도를 Table 4에 나타내었다.

한편 Si_3N_4 박막의 식각 조건을 검토하기 위하여 플라즈마 식각장비로 실험하였다. 두께 1000~3000 Å 정도의 Si_3N_4 박막을 wet station에서 표면 세척 한 후 포토리소그래피 공정으로 1~10 μm 의 테스트 패턴을 형성하였다. 이때 감광제의 두께는 1.2 μm 이며 120°C 에서 60초 동안 hard baking하였다. Fig. 3은 공정조건에 따른 Si_3N_4 의 식각율을 측정하여 나타낸 그림이다. O_2 의 양이 많을수록 균일도는 향상

Table 3 Uniformity and thickness of Si_3N_4 deposition on Si-wafer

Chamber temperature (°C)	Gas flow (SLM ¹⁾)		Pressure (Pa)	Deposition time(min)	Thickness (Å)					Uniformity (%)
	DCS	NH_3			center	upper	lower	left	right	
780±15	0.020	0.200	33.3	58	1504	1489	1518	1504	1515	1.13
				88	2008	2016	2037	2023	2025	0.75
				127	3301	3301	3358	3316	3329	1.11

¹⁾SLM stands for standard liter per minute.

Table 4 Uniformity and thickness of Si_3O_2 deposition on Si-wafer

Chamber temperature (°C)	Gas flow (SLM ¹⁾)		Pressure (Pa)	Deposition time(min)	Thickness (Å)					Uniformity (%)
	TECS	O_2			center	upper	lower	left	right	
700±5	0.100	0.004	113	22	2052	2032	2049	2045	2048	0.65
				57	4896	4887	4871	4880	4901	0.33

되나 포토레지스트가 손상을 받고, 공정 압력이 감소할수록 균일도는 향상되지만 식각율은 현저하게 감소하는 경향을 나타내었다. 그러나 기판과 진극사이의 간격은 식각율에 큰 영향을 미치지 않는 것으로 분석되었다. 그림에서 position은 웨이퍼 내의 중앙과 상, 하, 좌, 우 5개 지점을 각각 나타낸다.

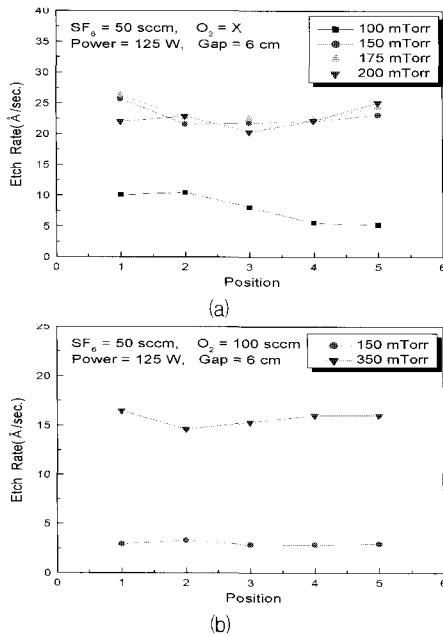


Fig. 3 Change of etch rate at several etching conditions: (a) none oxygen and (b) 100 sccm of oxygen

따라서, 최적 식각조건은 균일도가 양호하고 식각률이 높은 조건으로서 Table 5와 같은 공정조건을 설정하였다.

Table 5 Optimal etching conditions of Si₃N₄

Parameters	Conditions
RF power(W)	125
Working pressure(mTorr)	200
SF ₆ (sccm)	50
O ₂ (sccm)	none
Etch rate(Å/s)	20

4. 결론

cMUT 제작을 위한 미세공정기술을 확보하기 위하여 관련 연구가 활발한 외국의 대학 및 연구소의

소자 제조공정 자료를 분석하였다. cMUT 제작의 주요 공정인 미소 진동 박막 형성과 희생층 형성, 식각 공정을 고찰 하였다. 미소 진동 박막으로 사용되는 실리콘 질화막의 성장조건 변화에 따라 박막의 특성이 달라지고 또한 희생층으로 사용되는 실리콘 산화막도 증착조건에 따라 그 특성이 다르게 나타날 뿐만 아니라 실리콘의 식각도 또한 공정 조건 변화에 따라 그 특성이 큰 차이를 나타내므로 cMUT 제작에서는 이러한 점들을 고려하여 최적 제작공정 조건을 구명하여 적용해야 한다. 본 연구에서 얻어진 cMUT 제작을 위한 단위 미세공정인 미소 진동박막 증착 조건, 희생층 성장 조건, 식각 조건에 대한 결과를 요약하면 다음과 같다.

- 1) 미소 진동박막을 형성하기 위한 Si₃N₄ 박막은 적절한 DCS와 NH₃의 가스 유량비가 1 : 10 정도로 나타났으며 동일한 온도와 압력 조건에서 DCS와 NH₃ 가스량을 증가시키면 증착속도가 증가함고 동시에 잔류응력은 감소하는 것으로 나타났다.
- 2) 희생층으로 많이 사용되는 실리콘 산화막(SiO₂)을 성장하기 위한 조건으로서는 PECVD를 이용한 공정조건을 검토하였다. 산화막 성장에 가장 많이 사용되는 가스로서 TEOS를 이용하였으며 반응로 내의 압력을 높이거나 반응로 안의 TEOS 가스의 유량을 증가시키면 산화막의 평균 성장률이 증가하는 것으로 나타났다. 또한 온도 변화에 따른 산화막의 성장률이 압력이나 유량의 변화에 의한 성장률보다 크게 나타났다.
- 3) 희생층을 식각하기 위한 공정으로서는 반응로 내에 O₂의 양이 많을수록 식각의 균일도는 향상되나 포토레지스트가 손상을 받고, 공정 압력이 감소할수록 균일도는 향상되지만 식각율은 현저하게 감소하는 경향을 나타내었다.
- 4) 이상의 각 미세공정의 특성들을 고려하여 추후 cMUT 제작에 있어서 최적의 공정조건을 적용할 계획이다.

참고문헌

[1] P. R. Scheeper, A. G. H. van der Donk, W. Olthuis, and P. Bergveld, "Fabrication of silicon condenser microphones using single wafer technology," J. Microelectromech. Syst. Vol. 1, No. 3, pp. 147-154, (1992)

- [2] J. Guckel, "Surface micromachined pressure transducers," *Sensors and Actuators A*, Vol. 28, pp. 133-146, (1991)
- [3] K. Suzuki, K. Higuchi and H. Tanigawa, "A silicon electrostatic ultrasonic Transducer," *IEEE Trans. Ultrason. Ferroelect. Freq. Contr.* Vol. 36, No. 6, pp. 620-627, (1989)
- [4] M. I. Haller and B. T. Khuri-Yakub, "A surface micromachined electrostatic ultrasonic air transducer," *IEEE Trans. Ultrason. Ferroelect. Freq. Contr.* Vol. 43, No. 1, pp. 1-6, (1996)
- [5] X. Jin, O. Oralkan, F. L. Degertekin and B. T. Khuri-Yakub, "Characterization of one-dimensional capacitive micromachined ultrasonic immersion transducer arrays," *IEEE Trans. Ultrason. Ferroelect. Freq. Contr.* Vol. 48, No. 3, pp. 750-760, (2001)
- [6] W. P. Mason, "Electromechanical Transducers and Wave Filters," New York : D. Van Nostrand, (1942)
- [7] 김기복, 안봉영, 박해원, 김영주, 이승석, "미세 가공 정전용량형 초음파 탐촉자 개발 (I) - 진동막 거동분석", *비파괴검사학회지*, Vol. 24, No. 5, pp. 487-493, (2004)
- [8] I. Ladabaum, X. Jin, H. T. Soh, A. Atalar, and B. T. Khuri-Yakub, "Surface micromachined capacitive ultrasonic transducers," *IEEE Trans. Ultrason. Ferroelect. Freq. Contr.* Vol. 45, No. 3, pp. 678-690, (1998)
- [9] A. Bozkurt, I. Ladabaum, A. Atalar, and B. T. Khuri-Yakub, "Theory and analysis of electrode size optimization for capacitive microfabricated ultrasonic transducers," *IEEE Trans. Ultrason. Ferroelect. Freq. Contr.* Vol. 46, No. 6, pp. 1364-1374, (1999)
- [10] O. Oralkan, X. Jin, F. L. Degertekin and B. T. Khuri-Yakub, "Simulation and experimental characterization of a 2-D capacitive micromachined ultrasonic transducer array element," *IEEE Trans. Ultrason. Ferroelect. Freq. Contr.* Vol. 46, No. 6, pp. 1337-1340, (1999)
- [11] A. Caronti, A. Iula, G. Caliano and M. Pappalardo, "An accurate model for capacitive micromachined ultrasonic transducers," *IEEE Trans. Ultrason. Ferroelect. Freq. Contr.* Vol. 49, No. 2, pp. 159-168, (2002)
- [12] G. Caliano, A. Caronti, M. Baruzzi, A. Rubini, A. Iula, R. Carotenuto, and M. Pappalardo, "PSpice modeling of capacitive microfabricated ultrasonic transducers," *Ultrasonics*, Vol. 40, pp. 449-455, (2002)
- [13] J. S. McIntosh, D. A. Hutchins, D. R. Billson, T. J. Robertson, R. A. Noble, and A. D. R. Jones, "The characterization of capacitive micromachined ultrasonic transducers in air," *Ultrasonics*, Vol. 40, pp. 477-483, (2002)
- [14] S. M. Sze, "Semiconductor sensors," Wiley International, New York, (1994)
- [15] G. T. A. Kovacs, "Micromachined transducers sourcebook," McGraw-Hill, USA, (1998)
- [16] M. Elwenspoek, and H. V. Jansen, "Silicon micromachining," Cambridge Press, UK, (1998)
- [17] X. Jin, I. Ladabaum, F. L. Degertekin, S. Calmes, and B. T. Khuri-Yakub, "Fabrication and characterization of surface micromachined Capacitive Ultrasonic Immersion Transducers," *IEEE J. Microelectromechanical system*, Vol. 8, No. 1, pp. 100-114, (1999)
- [18] Eric Miller, "Low Stress Silicon Nitride Process Development," Washington Technology Center, (2001)
- [19] L. Tedder, G. Lu and J. Crowell, "Mechanic studies of dielectric thin film growth by low pressure chemical vapor deposition: The reaction of tetraethoxysilane with SiO₂ surfaces," *J. Appl. Phys.* Vol. 69, pp. 7037, (1991)
- [20] M. E. Coltrin, P. Ho, H. K. Moffat, and R. J. Buss, "Chemical kinetics in chemical vapor deposition growth of silicon dioxide from tetraethloxysilace(TEOS)," *Thin Solid film*, Vol. 365, pp. 251-263, (2000)
- [21] J. Bhardwaj, H. Ashraf, A. McQuarrie, "Dry silicon etching for MEMS", The Symposium on Microstructures and Microfabricated Systems at the Annual Meeting of the Electrochemical Society, Montreal, Quebec, Canada. May 4-9, (1997)