

SOI 소자 셀프-히팅 효과의 3차원적 해석

이준하[†] · 이흥주^{*}

[†]*상명대학교 컴퓨터시스템공학전공

Three-Dimensional Analysis of Self-Heating Effects in SOI Device

Jun Ha Lee[†] and Hoong Joo Lee^{*}

[†]*Dept. of Computer System Engineering, Sangmyung University

ABSTRACT

Fully depleted Silicon-on-Insulator (FD-SOI) devices lead to better electrical characteristics than bulk CMOS devices. However, the presence of a thin top silicon layer and a buried SiO₂ layer causes self-heating due to the low thermal conductivity of the buried oxide. The electrical characteristics of FDSOI devices strongly depend on the path of heat dissipation. In this paper, we present a new three-dimensional (3-D) analysis technique for the self-heating effect of the finger-type and bar-type transistors. The 3-D analysis results show that the drain current of the finger-type transistor is 14.7% smaller than that of the bar-type transistor due to the 3-D self-heating effect. We have learned that the rate of current degradation increases significantly when the width of a transistor is smaller than a critical value in a finger-type layout. The current degradation from the 3-D structures of the finger-type and bar-type transistors is investigated and the design issues are also discussed.

Key Words : Fully Depleted SOI, Three-dimensional, Simulation, Self-heating, Bar-type, Finger-type

1. 서 론

열적 전도도가 낮은 매몰 산화층은 SOI(Silicon On Insulator) n-채널 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 소자의 냉각을 저해하게 되고 결과적으로 심각한 셀프-히팅 효과를 나타내게 된다[1]. SOI 소자에 대한 대부분의 이전 연구들은 2차원 등온조건과 비등온조건에 대한 실험 및 시뮬레이션에 집중하여 왔다[2-6].

그러나 3차원적 레이아웃으로부터 기인하는 셀프-히팅의 효과는 미흡한 실정이다. 본 연구는 이에 따라 3차원 셀프-히팅에 대한 레이아웃 효과를 손가락 형태 및 막대기 형태의 FD-SOI(Fully Depleted-SOI) MOSFET's에 대하여 분석하고자 한다. MOS 소자의 일반적이지 않은 구조에 대한 전류 감소 효과를 해석하기 위해 레이아웃 에디터와 3차원 소자 시뮬레이터인 DAV-

INCI가 사용되었다[7]. 이로부터 셀프-히팅이 전자 이동도의 감소를 유발하고, 이에 따라 구동 전류 감소의 형태로 나타나는 것을 증명코자 한다.

2. 시뮬레이션 방법

중앙처리장치로 사용되는 목적의 반도체 칩을 FDSOI NMOSFET 구조로서 0.18 μm SOI 공정 기술을 이용하여 제작하였다. 상부 실리콘 층의 두께 및 매몰 산화막 두께는 각각 45 nm 및 200 nm이다. 게이트 산화막은 3 nm로서 산화질소실리콘으로 형성되었다. 0.18 μm 의 게이트 패터닝은 DUV(Deep Ultra Violet) 포토리소그래피 기술을 적용하였다. 게이트 산화공정 이전에 BF₂ 이온주입을 이용하여 소자의 문턱전압을 조절하였다. 게이트 패터닝 공정이 이루어진 후 소스/드레인 이온주입공정 및 RTP(Rapid Thermal Annealing)를 이용하는 코발트 살리사이드 공정이 연속적으로 수행되었다.

[†]E-mail : junha@smu.ac.kr

Fig. 1 (a)와 (b)는 손가락 형태 및 막대기형태 트랜지스터의 3차원 구조 및 레이아웃의 단면을 보여주고 있다. 채널 길이는 1.0 μm이며, 폭은 80 μm로 이루어져 있다. 손가락 형태의 트랜지스터는 폭이 10 μm인 8개의 트랜지스터로 구성되어 있다. 실험 과 시뮬레이션은 셀프-히팅 효과를 적용하지 않는 경우인 등온조건과 셀프-히팅 효과를 적용하는 경우인 비등온 조건에서 각각 수행하였다. 이와 같이 막대기 형태 트랜지스터에서 셀프 히팅 효과를 관찰하기 위해 등온조건에서는 DC방법을 비등온 조건에서는 펄스 I-V 방법을 적용하였다. 셀프 히팅이 없는 SOI MOSFET의 출력 특성을 측정하는 것에 대해서는 펄스 I-V 방법이 잘 알려져 있다[8]. 3차원 효과를 분석키 위해 비등온 조건에서 폭이 동일한 손가락형태 및 막대기형태 트랜지스터에 대해 연구를 진행하였다. 다양한 소자 폭에 대한 드레인 포화 전류가 3차원 소자 시뮬레이터로 수행한 주요 항목이다. 사용된 모델은 반도체 도핑에 따른 캐리어 이동도 의존성을 나타내는 것을 사용하였고, 밴드갭 감소 효과, 농도에 따라 라이프타임이 의존하는 포화 전류오저 재결합, 온도에 의존하는 포화 속도 및 임팩트 이온화 계수등이 보정되어 사용되었다. 수치 시뮬레이션은 등온조건 및 비등온 조건 모두에서 수행되었다. 열 전달 방정식은 전통적인 반도체 모델을 이용하여 컨시스턴트 방법으로 해석하였다[9,10]. 또한 바디 부유 효과로 인하여 전자 및 정공에 대해 동시에 이 둘의 이동을 묘사하여 해석하는 것이 필요하다. 온도 의존성을 가지는 포화 속도는 식 (1)과 같다[11].

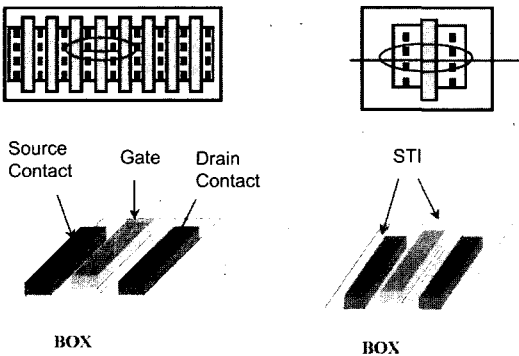
$$V_{sat} = \frac{2.4 \times 10^7}{1 + 0.8 \exp(T/600)} \quad (1)$$

열 경계조건으로는 열 집속기가 T=300K 조건으로 하부 콘택을 형성하도록 하였다.

3. 결과 및 분석

Fig. 2에 손가락 형태 및 막대기 형태 트랜지스터의 등온 조건 및 비등온 조건에서의 시뮬레이션 결과를 나타내었다. 보정된 소자 시뮬레이터를 사용하여, 실험치와 유사한 결과를 나타내는 시뮬레이션 결과를 얻을 수 있었다. 비 등온조건에서 손가락 형태 트랜지스터의 드레인 포화 전류는 등온 조건의 막대기 형태 트랜지스터에 비하여 약 25.4%가 감소하는 결과를 얻을 수 있었다. 바이어스 조건은 V_{gs} 와 V_{ds} 모두 1.5V를 인가한 상태이다. 드레인 몸체 접합의 근처에서 발생하는 열은 측면에 위치한 소스 및 드레인 부분으로 확산하게 되고 수직적으로는 매몰 산화 층으로 이동하게 된다. 드레인 몸체 접합 근처는 전류 흐름이 가장 강하고 따라서 전계가 가장 강하여 대부분의 열이 발생하는 곳으로 알려져 있다. 기관방향으로 확산하는 열은 매몰 층이 실리콘 산화막으로 구성되어 있기에 이동이 제한되게 된다. 이는 실리콘 산화막이 실리콘에 비하여 열전도도가 100배이상 작기 때문이다. 절대온도 300K에서 실리콘 산화막과 실리콘의 열전도도 k 는 각각 $k(\text{SiO}_2)=1.40\text{W/K}\cdot\text{m}$ 및 $k(\text{Si})=148\text{W/K}\cdot\text{m}$ 이다. 이것이 SOI 소자에서 셀프-히팅이 발생하는 전형적인 원인이다. Fig. 3에서는 3차원 레이아웃의 셀프 히팅을 분석하기 위해, 비등온 조건에서의 손가락형태 및 막대기 형태 트랜지스터를 상호 비교하였다. 손가락 형태 트랜지스터의 드레인 포화 전류가 막대기 형태의 것보다

Finger type : 80/1 (10x8) Bar type : 80/1 (80x1)



(a) Finger-type transistor (b) Bar-type transistor

Fig. 1. Device layout and 3-D cross-sections of FD-SOI MOSFET structures

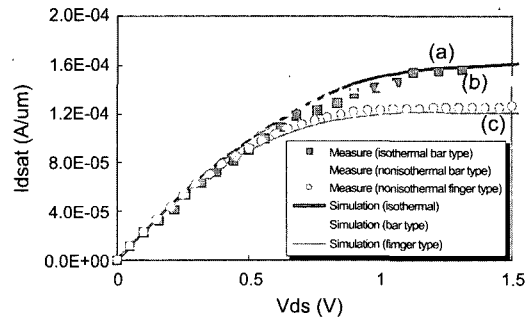


Fig. 2. Experimental and simulated I-V characteristics in FD-SOI MOSFET at $V_g=1.5\text{V}$ ($W/L=80/1\ \mu\text{m}$)
 (a) Isothermal condition for the bar type
 (b) Non-isothermal condition for the bar type
 (c) Non-isothermal condition for the finger type

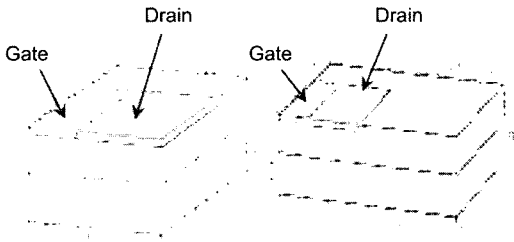


Fig. 3. 3-D heat distribution contours for the lattice temperature at $V_g=1.5V$

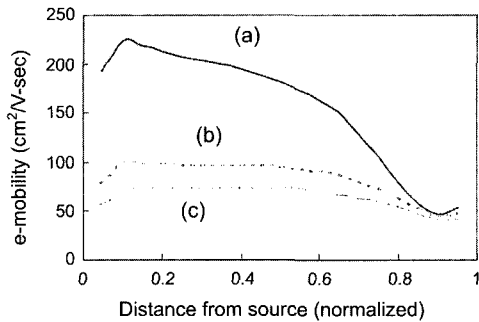


Fig. 4. The electron mobility across the channel at the distance of 1.0 nm below the gate oxide ($V_g=V_{ds}=1.5V$)

14.7% 작았다. 손가락 형태 구조의 각각의 트랜지스터의 경계에서, 상부 실리콘 영역에 열이 발생하는 곳은 이웃의 손가락 트랜지스터에게 열을 전파하기 때문에 포화되었다. 그러나 막대기 형태의 트랜지스터는 열이 STI(Shallow Trench Isolation) 영역으로 전파되었다. STI 영역은 산화막으로 구성되어 있기에 열전도도가 취약한 곳이다. 그러므로 손가락형태 구조에서 소자의 발생 최대 온도는 막대기 형태의 것보다 높게 된다.

Fig. 4에 채널을 따라서 전자 이동도를 나타내었다. 위치는 게이트 산화막에서 하부로 1.0 nm 위치한 곳으로 그림에서는 바이어스 조건이 $V_{gs}=V_{ds}=1.5V$ 로 설정하고 손가락형태 및 막대기 형태의 트랜지스터에 대해 등온조건과 비등온 조건 모두에서의 결과를 나타내었다. (b)로 표시된 비등온 조건의 막대기형태 트랜지스터의 이동도는 등온조건의 경우보다 격자 열 발생으로 인해 더욱 취약한 결과를 나타낸다. 손가락 형태 트랜지스터에서는 추가적인 이동도 감소가 (c)에서 보듯이 비등온 조건에서 나타난다. 이것은 손가락 형태 구조에서 드레인 포화 전류는 이동도 감소로 인해 작아진다는 것을 의미한다.

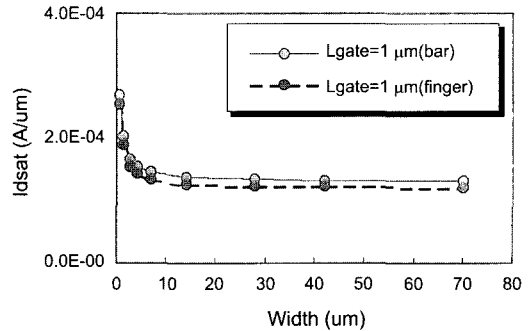


Fig. 5. The drain saturation currents with respect to the device width

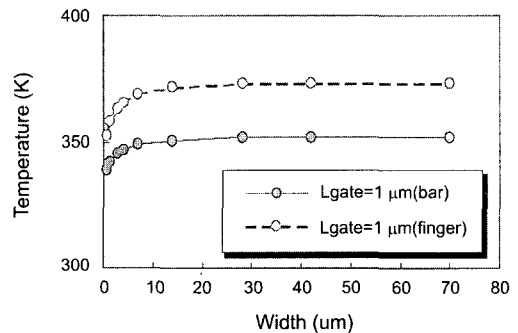


Fig. 6. The maximum device temperature according to the device width

드레인 포화 전류 및 최대 격자 온도에 대한 시뮬레이션 결과를 Fig. 5 및 Fig. 6에 나타내었다. 구조는 손가락 형태 및 막대기 형태이며, 조건은 등온조건과 비등온 조건이다. Fig. 5는 소자 폭에 따른 드레인 포화 전류이며, 매우 비선형적인 동작을 하는 것으로 나타났다. Fig. 5 및 Fig. 6에서 볼 수 있듯이 소자 폭이 10 μm 보다 작은 경우에는 전류 감소가 급격해 진다는 것이다. 폭 10 μm 이상에서는 드레인 포화 저하 및 최대 격자 온도가 포화되는 형태로 나타난다. 이 원인은 폭 방향으로 열 전파의 비율이 소자 폭이 증가함에 따라 포화되기 때문이다.

SOI MOSFET의 셀프-히팅 효과를 소자 면적이 1.0 μm 에서 0.28 μm 까지 감소함에 따라 나타나는 현상을 조사하였다. Fig. 7에서 보여지는 바와 같이, 셀프-히팅 효과는 채널 길이가 감소함에 따라 매우 급격히 중요하게 된다. 작은 면적에서는 높은 전류 밀도 및 전계 밀도가 관측되고 이것은 주울 히팅으로 나타내어 결과적으로 격자의 온도는 상승하게 된다. 이와 같은 셀프-히팅은 채널 길이가 감소함에 따라 매우 심각한

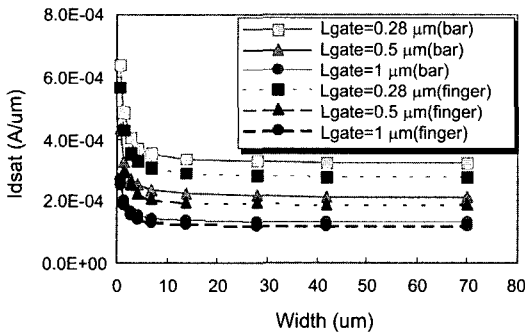


Fig. 7. The drain saturation currents with respect to the device width

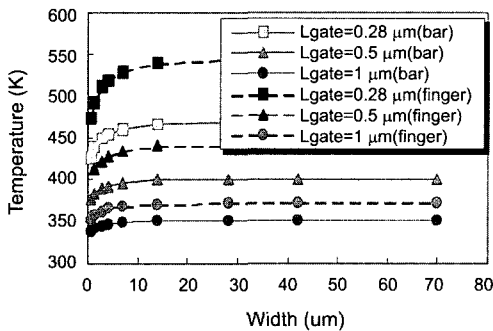


Fig. 8. The maximum device temperature according to the device width

형태로 발생된다. 그러므로 Fig. 7에 보인 바와 같이 채널 길이가 감소함에 따라 전류 저하비율은 증가하게 된다.

Fig. 8에서와 같이 채널 길이가 감소함에 따라 포화 전류가 증가하게 된다. 이로부터 이동도는 감소하고 전류량은 감소한다. 결론적으로 셀프-히팅 효과는 게이트 길이 및 폭이 감소함에 따라 더욱 무시할 수 없는 요소가 되고 영향은 더욱 커지게 된다. 고속 스위칭이 위주로 되어 있는 디지털 회로에서는 셀프-히팅을 무시할 수 있지만 아날로그 동작에서는 매우 심각한 결과를 나타낸다. 본 연구에서 나타낸 손가락 형태의 트랜지스터는 대량의 구동 전류를 얻기 위해 사용되는 것으로 아날로그 회로 디자인 시 중요시 되는 부분이다. 따라서 본 연구에서 분석한 결과들로부터 효과적인 3차원 레이아웃을 구성할 경우 SOI 소자의 열적 문제를 최적점을 찾을 수 있을 것으로 판단된다.

4. 결 론

본 연구는 SOI 소자의 3차원 셀프-히팅 효과에 대해

분석하였다. 사용된 도구는 3차원 소자 시뮬레이터를 이용하였다. 손가락-형태 및 막대기-형태 트랜지스터에 대해 열 전파 경로를 해석하였다. 다양한 시뮬레이션의 결과 전류 감소는 레이아웃 구조와 매우 밀접한 연관성이 있음을 증명하였다. 또한 소자의 폭이 감소함에 따라 전류 감소의 비율은 급격히 증가함이 나타났다. 이와 마찬가지로 소자의 길이가 감소하면 셀프-히팅 효과는 증대되었다. 고성능의 SOI 소자를 디자인하는 경우 이러한 3차원 효과들은 정확하게 모델화되고 공정특성화 되어야 할 것이다.

참고문헌

1. Cristoloveanu, S., "Silicon on Insulator Technologies and Devices: from present to future", IEEE J. Solid-State Electronics, No. 45, pp. 1403-1411, 2001.
2. Su, L. T. et al., "Measurement and Modeling of Self-Heating Effects in SOI NMOSFET's," Proc. IEDM, pp. 357-360, 1992.
3. Hu, M. C. and Jang, S. L., "An Analytical Fully-depleted SOI MOSFET Model Considering Effects of Self-Heating and Source/Drain," IEEE Trans. Electron Device, Vol. 45, No. 4, pp. 797-801, Apr. 1998.
4. Dallmann, A., "Scaling Constraints Imposed by Self-Heating in Submicron SOI MOSFET's," IEEE Trans. Electron Devices, Vol. 42, No. 3, pp. 489-496, Mar. 1995.
5. Pindl, S. et al., "An Analytical Drain Current Model Considering Both electron and Lattice Temperatures Simultaneously for deep Submicron Ultrathin SOI NMOS devices with Self-heating," IEEE Trans. Electron device, Vol. 42, No. 5, pp. 899-905, May 1995.
6. Tenbroek, B. M. et al., "Characterization of Geometry dependency of SOI MOSFET thermal resistance and capacitance," Proc. IEEE Int. SOI Conference, pp. 114-115, Oct. 1997.
7. DAVINCI User's Manual, Avanti!, June. 1994.
8. Jenkins, K. A., "Measurement of I-V Curves of Silicon-on-Insulator (SOI) MOSFET's without Self-Heating," IEEE Trans. Electron Devices, Vol. 16, No. 4, pp. 145-147, Apr. 1995.
9. Wachutka, G. K., "Rigorous Thermodynamic treatment of Heat Generation and Conduction in Semiconductor device Modeling," IEEE Trans. CAD, Vol. 40, pp. 1141-1149, Nov. 1990.
10. Arora, N. D., Hauser, J. R. and Roulston, D. J., "Electron and Hole Mobilities in Silicon as a Function of Concentration and Temperature," IEEE Trans. Electron Devices, Vol. 29, pp. 292-295, Feb. 1982.
11. Sze, S. M., Physics of Semiconductor Devices, 2nd Ed. NewYork, Wiley, 1981.