

하우스키피ング A/D 변환기의 테스트 알고리즘과 측정

박용수[†] · 유흥균^{*}

[†]충청대학 전자정보과, ^{*}충북대학교 전자공학과

Test Algorithm and Measurement of Housekeeping A/D Converter

Yong Su Park[†], and Heung Gyoon Ryu^{*}

[†]Dept. of Electronics, Chung Cheong College,

^{*}Dept. of Electronic Engineering, Chungbuk National University

ABSTRACT

The characteristic evaluation of A/D converter is to measure the linearity of the converter. The evaluation of the linearity is to measure the DNL, INL, gain error and offset error in the various test parameters of A/D converter. Generally, DNL and INL are to be measured by the Histogram Test Algorithm in the DSP-based ATE environment. And gain error and offset error are to be measured by the calculation equation of the measuring algorithm. It is to propose the new Concurrent Histogram Test Algorithm for the test of the housekeeping A/D converter used in the CDMA cellular phone. Using the proposed method, it is to measure the DNL, INL, gain error and offset error concurrently and to show the measured results.

Key Words : Housekeeping A/D Converter, DNL, INL, Gain Error, Offset Error, Concurrent Histogram Test Algorithm

1. 서 론

최근 디지털 시스템은 제품의 고 신뢰성과 양산 테스트 그리고 각종 응용에 적합한 신호처리를 위하여 대부분의 신호를 디지털 영역에서 처리한다[1~3]. 인간이 느끼는 자연의 신호들은 모두 아날로그 신호이므로, 디지털 시스템에서 사용되는 디지털 신호로 변환하기 위하여 A/D 변환기가 사용된다. 일반적인 A/D 변환기의 기능은 전압이나 전류 등과 같은 아날로그 입력신호를 디지털 출력 비트로 변환시키는 역할이다. 이러한 기능으로 인하여 종종 인코드 라고 불린다 많은 경우의 데이터 변환 응용에서 A/D 변환기 회로는 성능 향상을 위하여 다른 회로들과 함께 사용되는데, 그 예로서 여러 개의 아날로그 입력 채널을 하나의 A/D 변환기로 처리하기 위하여 멀티플렉서를 사용하기도 하고 입력신호의 변화로 인한 유한한 변환시간 문제를 감소시키기 위하여 Sample-and-Hold 회로가 사용되어진다[4~5]. A/D 변환기의 응용분야는 이동통신 단말기 광

대역 통신 분야, HDTV, 영상 신호 처리분야, 의료기기 분야 등 산업 전반에 널리 쓰이고 있다.

A/D 변환기는 대표적인 아날로그 소자이다. 전통적인 아날로그 소자의 테스트는 테스트 벤치에 다양한 계측기들을 사용하여 입력신호가 DUT (Device Under Test)에 신호를 공급하고 출력신호를 관찰한다[6]. 자동화 라는 개념이 도입된 리니어 ATE(Automatic Test Equipment) 장비 환경에서는 컴퓨터에 의하여 장비내의 각 계측기들을 연결하고, 끊어주고, 테스트 프로그램에 의한 제어 하에서 입력신호가 DUT에 공급하고 출력신호를 측정한다. 최근에 와서 DSP를 기반으로 하는 DSP-based ATE 장비 환경에서 아날로그 또는 혼합 소자의 테스트가 이루어진다. 아날로그 소자 테스트를 위한 DSP-based ATE는 그림 1과 같다. 이 테스트 장비에서는 전압을 직접 측정하지 않고 DSP 처리한다. 파형 합성은 컴퓨터로부터 DSP 처리된 디지털 패턴을 받아서 아날로그 파형을 만들어 DUT 에 공급한다. DUT 출력에서 나오는 아날로그 파형을 캡처하여 DSP 처리한 디지털 패턴을 컴퓨터로 보내어 계산한다.

CDMA 방식의 핸드폰에서 사용되고 있는 하우스키피

[†]E-mail : yspark@ok.ac.kr

핑 A/D 변환기의 경우에 선형성 평가를 위하여 이득 에러, 오프셋 에러, DNL 그리고 INL 파라미터들의 측정이 이루어 지는데, DSP-based ATE 장비를 이용한다 [7]. DNL과 INL은 히스토그램 테스트 알고리즘을 사용하고 이득 에러와 오프셋 에러는 측정 알고리즘에 의한 계산식을 이용하여 구한다[8,9]. 새로이 제안하는 동시측정 히스토그램 테스트 알고리즘(Concurrent Histogram Test Algorithm)은 선형성을 평가하는 이들 4가지 파라미터들을 히스토그램에서 구한 값들을 이용해서 측정하도록 한 것이다.

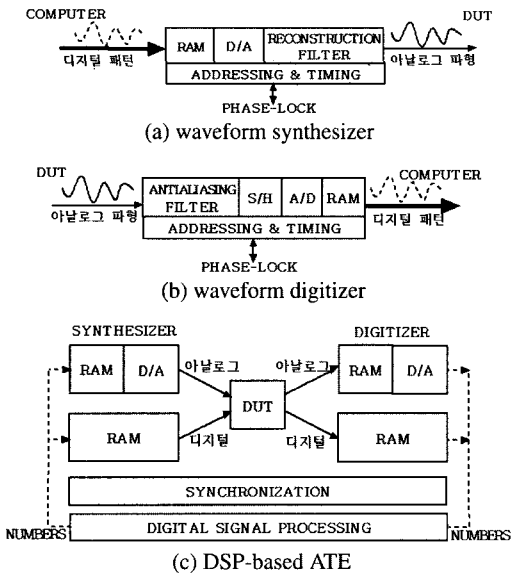


Fig. 1. Test of analog device in DSP-based ATE.

2. A/D 변환기

A/D 변환기의 선형도는 그림 2와 같다. 이상적인 A/D 변환기의 경우 아날로그 입력 1LSB 범위에 하나의 디지털 코드가 대응된다. 1LSB 범위내에서는 출력이 변화하지 않는다. 3비트 A/D 변환기에서는 8개의 디지털 출력이 나온다. 입력의 1LSB 증가에 따라 출력 코드도 1 비트씩 증가하게 된다. 하나의 출력 코드에 대한 입력 전압의 범위를 코드폭(code width)이라 부른다.

이상적인 폭은 정확하게 1LSB이지만, 실질적인 각 코드폭이 서로 다르며 보통 1/2LSB에서 3/2LSB의 범위를 갖는다. ZST(zero scale transition)은 아날로그 입력 증가 시 디지털 출력 코드가 000에서 001로 변하는 첫 번째 전환이 일어날 때의 말하고 FST(full scale transition)은 디지털 출력 코드가 110에서 111로 변하는 마지막 전환이 일어날 때를 말한다. ZST와 FST 사

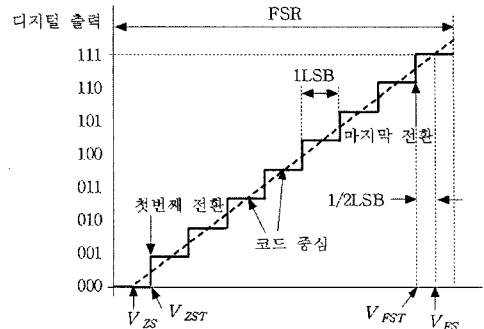


Fig. 2. Linearity of A/D Converter.

이에 개의 코드가 존재하므로 소자의 LSB는 다음과 같이 표현된다.

$$LSB_{dev} = \frac{V_{FST} - V_{ZST}}{2^n - 2} \quad (1)$$

여기서 n은 FST에서의 전압, ZST에서의 전압, 그리고 n은 비트 수를 나타낸다. A/D 변환기에 사용되는 디지털 출력 코딩은 보통 Mid-Tread-logic 방법을 사용하는데, 아날로그 입력단에 두 개의 기준전압(최소전압과 최대전압)의 가운데인 중간전압을 중심으로 디지털 출력코드가 변하며, $\pm 1/2LSB$ 내에서는 디지털 출력코드가 변화가 없다. 이를 코드 중심(center of code)이라고 하고 각 전환 사이의 중간점을 기준으로 선형성을 규정한다. 0 코드에서의 코드 중심은 ZST 보다 $1/2LSB$ 아래에 있게 되고 ZS(zero scale)라고 표기하고 마지막 코드에서의 코드 중심은 FST보다 $1/2LSB$ 위에 있게 되고 FS(full scale)라고 표기한다. 따라서

$$V_{ZS} = V_{ZST} - 0.5LSB_{dev} \quad (2)$$

$$V_{FS} = V_{FST} - 0.5LSB_{dev} \quad (3)$$

가 된다. A/D 변환기가 받아들일 수 있는 아날로그 신호 크기의 최대값과 최소값의 차이를 FSR(Full Scale Range)이라 하며 다음과 같다.

$$V_{FSR_{dev}} = V_{FST} - V_{ZST} + 2LSB_{dev} \quad (4)$$

2.1. A/D 변환기의 주요 파라미터들

오프셋 에러(offset error)는 이상적인 ZS와 측정된 ZS 사이의 차이를 말한다. 이득 에러(gain error)는 소자의 측정된 FSR에 이상적인 FSR을 빼 준 값이다. 즉 변환기 특성 기울기가 에러가 없을 때의 값인 1과 비교했을 때의 차이 값을 뜻한다. 이상적인 A/D 변환기에서 이웃 하는 디지털 출력코드가 변할 때, 아날로그

전압 범위는 1LSB 이다. 그러나 실질적으로 변하는 아날로그 전압 범위가 1LSB 보다 작아질 수 있는데, DNL (Differential Linearity)은 이들 변화량 중 가장 큰 값을 뜻한다. 오프셋 에러나 이득 에러를 제거했다 하여도 실질적인 A/D 변환기의 출력 곡선은 이상적인 출력곡선과 오차를 갖는다. INL(Integral Linearity)은 실질적인 출력 곡선과 이상적인 출력 곡선과의 오차이다. DNL이 소신호 선형 에러(small-signal linearity error)를 보는 것이라면 INL은 대신호 선형 에러(large-signal linearity error)를 보는 것이다.

2.2. A/D 변환기의 측정방법

A/D 변환기의 선형성을 측정하는 주요 파라미터들 중에서 오프셋 에러는 이상적인 ZST와 측정된 ZST 사이의 차이로 다음과 같은 식으로 표현한다.

$$E_{offset} = V_{ZS_{ideal}} - V_{ZS_{meas}} = [V_{ZST_{meas}} - 0.5LSB_{dev}] - V_{ZS_{ideal}} \quad (5)$$

여기서 는 측정된 ZS 이고 은 이상적인 ZS를 나타낸다.

이득 에러는 소자의 측정된 FSR에 이상적인 FSR을 빼 준 값으로, 오프셋 에러의 측정 방법을 사용하면, 이득에러는 다음과 같이 표현된다.

$$E_{gain} = V_{FSR_{meas}} - V_{FSR_{ideal}} = [V_{FST} - V_{ZST} + 2LSB_{dev}] - V_{FSR_{ideal}} \quad (6)$$

여기서 은 측정된 FSR이고 은 이상적인 FSR을 나타낸다.

이웃하는 디지털 출력코드가 변할 때, 아날로그 전압 범위는 1LSB 보다 작아 질 수 있는데, DNL은 이들 변화량 중 가장 큰 값을 의미한다. 따라서 DNL은 다음과 같이 표현한다.

$$DNL(n) = \frac{[V(n+1) - V(n)] - 1LSB}{1LSB} \quad (7)$$

여기서 V(n+1) 은 (n+1) 코드의 디지털 출력전압 이고 V(n)은 n 코드의 디지털 출력전압 이다. 오프셋 에러나 이득 에러를 제거했다 하여도 실질적인 A/D 변환기의 출력 곡선은 이상적인 출력곡선과 오차를 갖는다. INL은 실질적인 출력 곡선과 이상적인 출력 곡선과의 오차이다. 이는 앞에서 구한 DNL을 이용하여 INL을 구할 수 있다.

$$INL(n) = \sum_{n=0}^{255} DNL(n) \quad (8)$$

3. 하우스킵핑 A/D 변환기

CDMA의 하우스킵핑 A/D 변환기는 저전력, 중간 해상도의 측차근사 변환기로 RSSI, 충전상태 레벨 표시, 그리고 다른 저주파수제어 신호에 사용된다.

3.1. 하우스킵핑 A/D 변환기의 동작

하우스킵핑 A/D 변환기는 저전력 모드에 있는데, ADC_ENB 신호에 의해서 동작한다. 입력이 HIGH가 되면, 회로에 전원이 공급되고 A/D 변환을 시작한다. 디지털 인터페이스는 직렬로 MSB가 먼저 나온다. LSB가 나오면 변환이 종료되고 회로는 저전력 모드로 돌아간다. Fig. 3은 하우스킵핑 A/D 변환기의 블록도와 타이밍도이다.

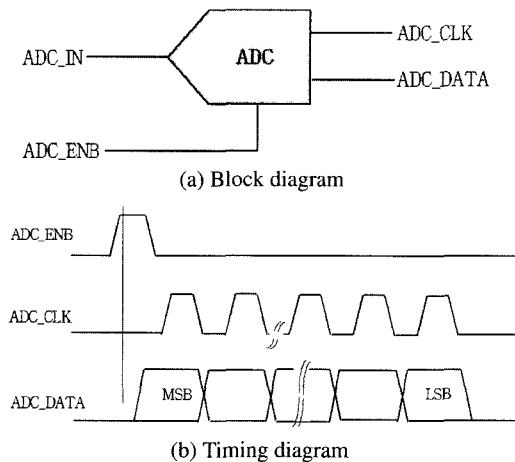


Fig. 3. Block and timing diagram of a Housekeeping A/D converter.

3.2. 하우스킵핑 A/D 변환기의 규격

해상도는 서로 다른 아날로그 신호 값들을 모두 표현할 수 있는 디지털 코드 값의 최대 비트수로 정의한다. 본 논문의 하우스킵핑 A/D 변환기는 8비트의 해상도를 가지므로 구별 가능한 아날로그 신호수는 256개

Table 1. Specifications of A Housekeeping A/D Converter.

규격	Value			Unit
	Min.	Nom.	Max.	
해상도	8			Bits
이득 에러	-6		+6	%
오프셋 에러	-6		+6%	
DNL		0.75		LSB
INL		1.00		LSB

가 된다. 이득 에러와 오프셋 에러는 $\pm 6\%$ 를 가지며, DNL은 $3/4\text{LSB}$ 이며 INL은 1LSB 이다.

4. 하우스킵핑 A/D 변환기 테스트 알고리즘

A/D 변환기의 선형성을 테스트하는 방법 중에서 일반적으로 히스토그램 테스트 알고리즘(Histogram Test Algorithm)을 사용하여 DNL과 INL 파라미터의 값을 측정한다.

4.1. 일반적인 히스토그램 테스트 알고리즘

A/D 변환기의 입력신호는 삼각파(ramp wave)를 인가하는데, 소자의 LSB 보다 몇 배 적은 신호를 아주 작은 간격으로 계속증가 또는 감소하여 신호를 인가한다. 이러한 신호가 인가되면서 출력 코드가 바뀌고 이 데이터들이 DSP 배열에 저장된다. Fig. 4(a)는 이러한 삼각 파형이 인가되는 형태를 보여주고 있으며 각 출력 코드 당 16개의 다른 입력값들이 들어간다고 하자. 그리고 입력신호 삼각파의 범위는 A/D 변환기 범위 보다 크게 넣어 준다. 이 경우 이상적인 A/D 변환기는 코드 당 16개의 출력 코드가 발생하는데, A/D 변환기 각 출력 단계 당 16개의 다른 입력값들이 인가되었기 때문이다. 이것을 Fig. 4(b), (c)에서 히스토그램으로 나타내었다. 히스토그램에서 가로축은 출력 코드가 되며, 세로축은 코드가 발생한 횟수를 명시한다. 이상적인 경우는 16번 발생이 되지만 실질적으로는 측정된 경우의 히스토그램 그림에서 보듯이 16번을 기준으로 많이 나오거나 적게 나오는 경우가 발생한다(가정된 값임). ZS(zero scale) 코드인 0 코드와 FS(full scale) 코드인 7 코드가 다른 코드들에 비해 많은 횟수가 된 이유는 입력 범위를 A/D 변환기 범위 보다 크게 넣어 주었으므로, 위와 아래가 찢리면서 이들 ZS와 FS 코드가 많은 출력 코드수를 갖게 되기 때문이다. 그래서 DNL 계산시에는 ZS 코드와 FS 코드는 계산에서 제외하고 DNL을 구한다.

이상적인 샘플수가 16이고 특정 코드가 21번 발생하였다면 그 코드의 DNL은 $(21-16)/16=5/16\text{LSB}$ 의 DNL이 나온다. 테스터 시스템에서는 이를 DSP 배열을 이용하여 ZS 코드와 FS 코드를 제외한 전 코드에 대해서 이 같은 계산방법으로 DNL을 산출하고 이 중 최대값을 규격과 비교하여 양품/불량 판정을 한다. INL은 히스토그램 테스트 알고리즘을 통해서 구한 DNL 데이터로부터 계산한다. INL은 DNL 곡선의 아래의 면적과 같다. DNL 히스토그램은 사각형으로 이루어져 있으므로 DNL 곡선 아래의 면적은 각 코드의

DNL을 모두 더한 것과 같다. FS에서 ZS의 전압값 차이와 FST에서 ZST의 전압값 차이가 같으므로 식 (1)로 부터 LSB를 구할 수 있다. 오프셋 에러는 ZS의 전압을 구하는 것이므로 식 (5)로 부터 계산된다. 이득 에러는 소자로부터 측정된 FSR로부터 이상적인 FSR을 빼주면 구해지는데 식 (6)으로 부터 계산된다.

기존의 A/D 변환기 테스트 방법은 DNL과 INL은 히스토그램 테스트 알고리즘에서 측정되는 히스토그램 샘플수를 이용하여 계산하고, 이득 에러와 오프셋 에러는 측정 알고리즘에 의한 계산식을 이용하여 측정한다. 따라서, 측정 알고리즘의 계산식에서 필요한 측정된 LSB, ZST, ZS, FSR 값들을 구하고 이상적인 ZST, ZS, FSR과의 계산 과정이 필요하다. 특히 FSR을 측정하기 위해서 낮은 전압에서 높은 전압까지 단계적으로 상승하면서 반복 측정을 해야 하는 복잡한 문제점이 있다.

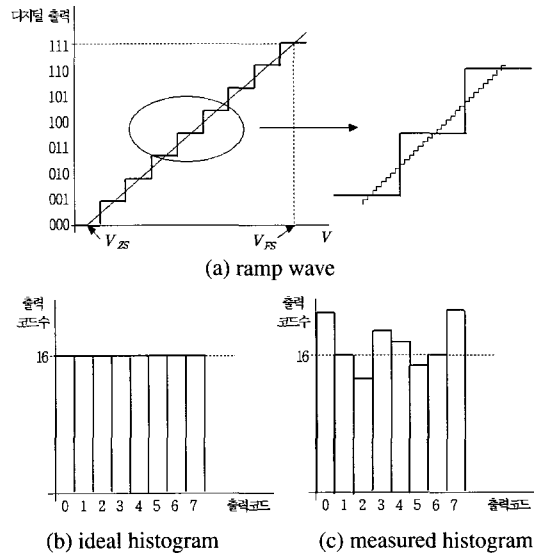


Fig. 4. Test algorithm of histogram

4.2. 동시측정 히스토그램 테스트 알고리즘

하우스킵핑 A/D 변환기의 선형성 평가를 위한 파라미터 측정을 위하여 새로운 동시측정 히스토그램 테스트 알고리즘(Concurrent Histogram Test Algorithm)을 제안한다. 이 알고리즘은 A/D 변환기의 출력최대특성을 이용하여 DNL, INL, 이득 에러 그리고 오프셋 에러를 측정하는 방법이다. 이 테스트는 Fig. 5처럼 AWG(Arbitrary Waveform Generator)를 이용하여 ADC_IN 핀에 삼각파를 인가하고 이때 발생하는 디지털 코드를 수집하여 4개의 테스트 항목들을 dsp 연산으로 추출해 낸다.

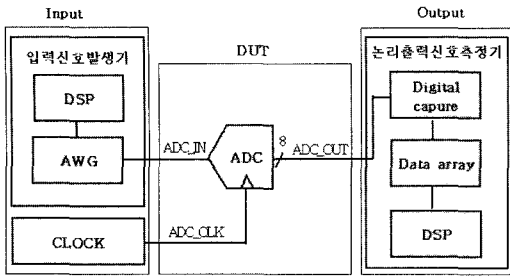


Fig. 5. Test configuration of Housekeeping ADC.

새로운 동시측정 히스토그램 테스트 알고리즘은 다음과 같다.

① AWG를 이용하여 삼각파(ramp waveform)를 소싱하는데 사용되는 샘플수 $N=40,000$ 개로서 "V"자 형태의 모양을 이루고 있다. 샘플주파수 f_s 가 400kHz로 세팅되어 있고, 주기 T 에 대하여 삼각파 입력주파수 f_i 는 $f_i/f_s=T/N$ 으로부터

$$f_i = \frac{T}{N} \times f_s = \frac{1}{40000} \times 400 \text{ kHz} = 10 \text{ Hz} \quad (9)$$

가 된다. 즉 삼각파 한 주기를 캡처하려면 $1/10 \text{ Hz}=100 \text{ ms}$ 가 걸린다.

② 패턴을 실행하여 디지털 코드를 캡처한다. 이때 패턴 클럭은 4.92 MHz 이다. ADC_ENB 신호가 클럭 될 때마다 A/D 변환이 일어나고 ADC_ENB의 클럭 주기는 백터가 218번째마다 일어나므로 샘플링 주파수 $f_s=4.92 \text{ MHz}/218 = 22,569 \text{ HZ}$ 가 된다. $f_s=22,569 \text{ Hz}$ 이고 삼각파 입력주파수 $f_i=10 \text{ Hz}$ 이므로, 3개의 주기를 캡처한 샘플수는 $N_{total}=(N \times 3)$ 이 되어 6770.6 개 이다. 연산의 편의를 위해 총 샘플수를 $N_{total}=6,800$ 개로 한다. 수십개의 샘플에 대한 오차는 무시할 수 있다.

Fig. 6에서 AWG의 소싱 파형은 dc_base를 1.5[V]로 하는 $V_{pp}=4[V]$ 삼각파이다. 하우스킵핑 A/D 변환기는 8비트이므로 측정되는 데이터는 256개 된다. FSR이 4V 보다 작으므로 코드 0와 코드 255는 피크 클리핑된 형태로 캡처되는데, 이 두 코드를 제외한 나머지 코드들을 이용하여 DNL과 INL을 구한다. 우선 캡처된 데이터를 dsp 버퍼에 이동시킨 후 float 값으로 변형시킨 다음 0~255 코드들로 256 등분 시켜 히스토그램을 얻는다. 즉 각 코드마다 캡처된 데이터가 몇 개인지를 히스토그램으로 볼 수 있다.

n_{255} 에 위쪽으로 클리핑된 샘플수와 n_1 에 아래쪽으로 클리핑된 수를 할당한다. 코드 1에서 코드 254까지

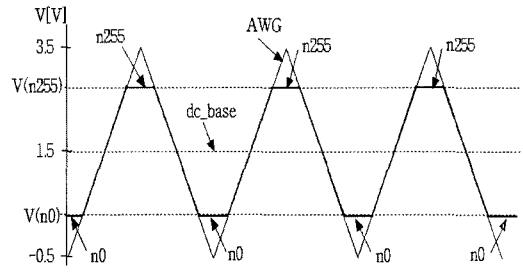


Fig. 6. Clipping ADC output from AWG ramp.

의 샘플된 캡처 데이터 수를 평균하면 하우스킵핑 A/D 변환기의 디지털 코드의 평균LSB 샘플수는

$$LSB_{N_{avg}} = \frac{N_{total} - n_0 - n_{255}}{2^8 - 2} \quad (10)$$

산출되며 단위는 샘플수 이다. 여기서 n_0 는 코드 0에 클리핑된 샘플수 이고 n_{255} 는 코드 255에 클리핑된 샘플수이다. 디지털 코드 히스토그램에서 각 코드들에 할당된 샘플수 $N(n)$ 에서 평균 LSB 샘플수를 빼고 그 수를 다시 나누면 각 코드들의 DNL이 LSB 단위로 산출된다. 즉

$$DNL(n) = \frac{N(n) - LSB_{N_{avg}}}{LSB_{N_{avg}}} \quad (11)$$

이다. 이들 값 중 가장 큰 절대값을 찾으면 최대 DNL이 된다. INL은 구해진 DNL 히스토그램으로부터

$$INL(n) = \sum_{n=0}^{255} DNL(n) \quad (12)$$

이 되고 이 값 중 가장 큰 값(절대값)이 최대 INL이 된다.

③ 이상적인 FSR이 $V_{pp}=2.0V$ 인 경우 코드 0에서 코드 255의 디지털 코드들은 2.0V를 수용해야 하나 측정된 결과는 차이가 난다. 이득이 1.0이면 정상적으로 경우 $V_{pp}=2.0V$ 가 디지털이징 된다. 이득 에러는 이상적인 FSR에서 측정된 FSR를 $\hat{n}A$ 값에 이상적인 FSR를 나눈 값이다. 즉

$$E_{gain} = \frac{V_{FSR_{ideal}} - V_{FSR_{meas}}}{V_{FSR_{ideal}}} = 1.0 - \frac{V_{FSR_{meas}}}{V_{FSR_{ideal}}} \quad (13)$$

이다. AWG의 삼각파가 $V_{pp}=4V$ 이고 A/D 변환기의 이상적인 FSR이 $V_{pp}=2.0V$ 라면 6800개의 삼각파 캡처 샘플 중 절반인 3,400개가 코딩 된다. 이 3,400개의 코드는 256등분됨으로 $3400/256 = 13.28125$ 가 되며 이

는 이상적인 A/D 변환기의 코드당 샘플수가 된다. DNL에서 구한 평균 LSB 샘플수 $LSB_{N_{avg}}$ 를 사용하여, 이상적FSR : 13.28125 = 측정된 FSR : $LSB_{N_{avg}}$ $V_{FSR_{(meas)}} / V_{FSR_{(ideal)}} = LSB_{N_{avg}} / 13.28125$ 이므로 식 (13) 으로부터

$$E_{gain} = 1.0 - \frac{L_{N_{avg}}}{13.28125} \quad (14)$$

가 되어 이득 에러가 계산된다. 즉 이득 에러는 앞서 DNL에서 구한 평균 LSB 샘플수만 알면 계산이 된다.

④ 오프셋 에러는 A/D 변환기의 오프셋이 AWG의 $dc_base=1.5V$ 와 얼마나 차이가 나는지를 측정한다. A/D 변환기의 오프셋은 디지털 코드 127과 코드 128 사이값이 되는 입력 전압이다. 여기서는 코드 127과 코드 128의 실제 전압을 찾지 않고 디지털 코드로 측정된 FSR의 중간 전압을 오프셋으로 보고 계산하였다. Fig. 4의 1/2 주기를 폴딩한 Fig. 7에서 직선의 방정식을 구한다. 삼각파의 음의 최대치를 V_n 그리고 양의 최대치를 V_p 라 하면 $V_n=-0.5V$ 이고 $V_p=3.5V$ 이다. 따라서 직선의 방정식은 다음과 같다.

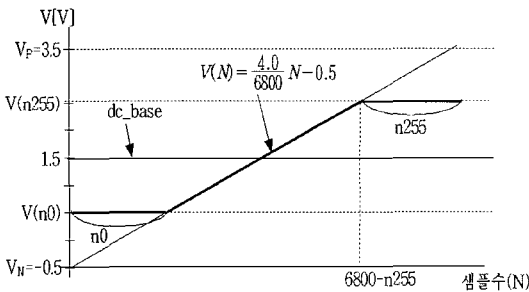


Fig. 7. 1/2 period of Clipping ADC output from AWG ramp waveform.

$$V(N) = \frac{V_p - V_n}{N_{total}} + V_n = \frac{4.0}{6800}N - 0.5 \quad (15)$$

여기서 N 은 해당 코드의 누적된 샘플수 이고 N_{total} 은 사용된 입력파형의 총샘플수 이다. 코드 0의 아날로그 전압 $V(n0)$ 와 코드 255의 $V(n255)$ 는 식 (15)로부터

$$V(n0) = \frac{4.0}{6800}N(n0) - 0.5 \quad (16)$$

$$\begin{aligned} V(n255) &= \frac{4.0}{6800}N(n255) \quad (17) \\ &= \frac{4.0}{6800}(6800 - n255) - 0.5 \end{aligned}$$

가 된다. $N(n0)$ 는 코드 0의 누적된 샘플수 이고 $n0$ 는

코드 0의 샘플수 이다. $N(n255)$ 는 코드 255의 누적된 샘플수로서, 이 경우 (6800-n255)가 된다. $n255$ 는 코드 255의 샘플수 이다. 실질적인 오프셋 전압은 측정된 FSR의 중간 전압을 계산하므로

$$V_{offset_{(real)}} = \frac{V(n0) + V(n255)}{2} \quad (18)$$

이다. 식 (16)와 (17)로부터 식 (18)을 변형하면

$$\begin{aligned} V_{offset_{(real)}} &= \frac{V(n0) + V(n255)}{2} \quad (19) \\ &= \frac{1.0}{3400} \times (n0 - n255) + 1.5 \end{aligned}$$

가 된다. 따라서 오프셋 에러는 실질적인 오프셋 전압에서 dc_base 를 뺀 값이므로

$$V_{offset} = V_{offset_{(real)}} - V_{dc_base} = \frac{n0 - n255}{3400} \quad (20)$$

가 된다. 즉 코드 0와 코드 255의 샘플수를 알면 오프셋 에러를 쉽게 계산할 수 있다.

제한된 동시측정 히스토그램 테스트 알고리즘(Concurrent Histogram Test Algorithm)은 A/D 변환기의 이상적인 FSR 보다 큰 값의 신호를 입력할 때 발생하는 출력신호가 피크 클리핑 되도록 하여 dsp 분석을 용이하게 하였고, 발생하는 히스토그램의 값들에서 DNL, INL, 이득 에러 및 오프셋 에러가 동시에 측정이 되므로 앞서 계산 과정들이 필요 없는 매우 간단한 테스트 알고리즘이다.

5. 측정 결과 및 고찰

5.1. 하우스킵핑 A/D 변환기의 입력신호

하우스킵핑 A/D 변환기의 입력신호는 $dc_base = 1.5[V]$ 의 $V_{pp}=4[V]$ 인 삼각파를 인가한다. 삼각파는 소자의 LSB 보다 몇 배 적은 신호를 아주 작은 간격으

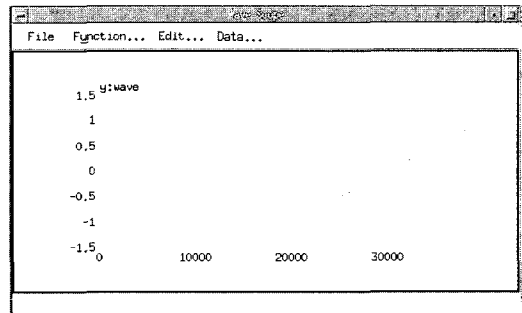


Fig. 8. Ramp waveform of AWG

로 계속증가 또는 감소하여 신호를 인가한다. AWG를 이용하여 Fig. 8과 같은 삼각파를 소싱하고 사용되는 샘플수는 40,000개이다.

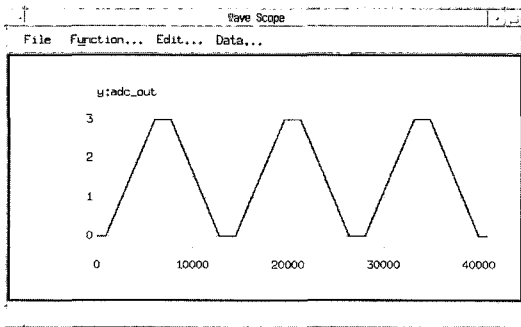
5.2. 하우스킵핑 A/D 변환기의 측정 결과

5.2.1. 히스토그램 측정 파형

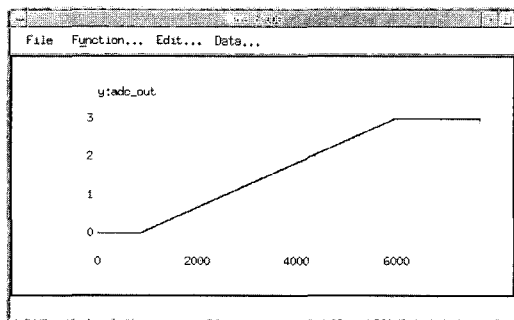
하우스킵핑 A/D 변환기는 8비트 이므로 측정되는 데이터는 256개 된다. FSR이 4[V] 보다 작으므로 코드 0와 코드 255는 Fig. 9처럼 피크 클리핑 된 형태로 캡처 된다. 클리핑되는 두 코드를 제외한 나머지 코드들을 이용하여 DNL과 INL을 구한다.

이득 에러는 이상적인 FSR에서 측정된 FSR를 뺀 값에 이상적인 FSR를 나눈 값으로, DNL에서 구한 평균 LSB 샘플수를 이용하여 간단하게 계산된다.

오프셋 에러는 하우스킵핑 A/D 변환기의 오프셋 이 AWG의 dc_base=1.5V로 부터 얼마나 차이가 나는지를 계산한다.



(a) clipping ADC output



(b) 1/2 period of clipping ADC output

Fig. 9. ADC output from AWG ramp waveform.

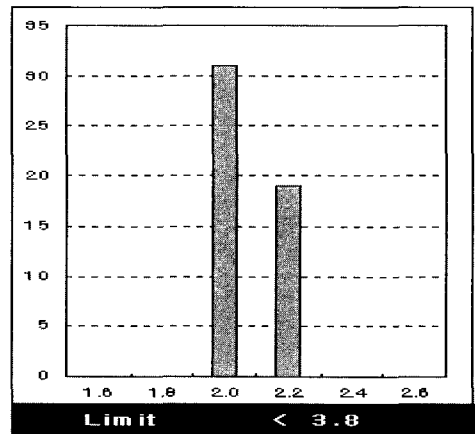
5.2.2. 측정 데이터 및 히스토그램 분석

하우스킵핑 A/D 변환기의 DNL, INL, 이득 에러 그리고 오프셋 에러를 새로운 동시측정 히스토그램 테스트 알고리즘을 사용하여 50개의 시료를 측정된 결과 및 히스토그램 분석은 다음과 같다.

① DNL

Table 2. DNL measurements.

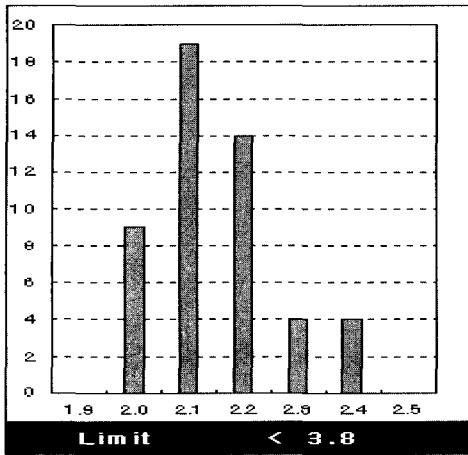
규격 [V]	측정데이터 분석 (50개 시료)								
	평균치	최소값	최대값	편차					
<38	2.0098	1.86	2.25	0.39					
시료 측정값	시료 측정값	시료 측정값	시료 측정값	시료 측정값					
1	1.86	11	2.1	21	1.94	31	2.02	41	2.02
2	2.02	12	1.94	22	2.1	32	1.87	42	2.1
3	2.02	13	2.1	23	2.02	33	1.94	43	1.94
4	2.02	14	1.94	24	2.17	34	2.02	44	2.1
5	2.17	15	1.94	25	2.02	35	2.1	45	1.86
6	1.87	16	1.87	26	2.17	36	2.1	46	1.87
7	2.02	17	1.94	27	1.94	37	2.02	47	2.02
8	2.1	18	1.86	28	1.86	38	2.1	48	2.02
9	2.09	19	2.17	29	2.1	39	2.1	49	2.25
10	1.86	20	1.94	30	1.86	40	2.09	50	1.94



② INL

Table 3. INL measurements.

규격 [V]	측정데이터 분석 (50개 시료)								
	평균치	최소값	최대값	편차					
<38	2.131	1.96	2.37	0.41					
시료 측정값	시료 측정값	시료 측정값	시료 측정값	시료 측정값					
1	2.11	11	2.07	21	2.11	31	2.02	41	2.17
2	2.21	12	2.09	22	2.35	32	2.06	42	2.27
3	1.96	13	2.17	23	2	33	2.19	43	2.02
4	2.15	14	1.96	24	2.737	34	2.09	44	2.09
5	2.23	15	2.13	25	2.07	35	2.13	45	2.07
6	2.06	16	2.06	26	2.19	36	2.07	46	2.11
7	2.29	17	2.02	27	2.15	37	2.21	47	2.09
8	2.25	18	2	28	2.15	38	2.07	48	2.04
9	2.03	19	2.31	29	2.19	39	2.33	49	2.23
10	2.07	20	2.13	30	2.07	40	2.34	50	2

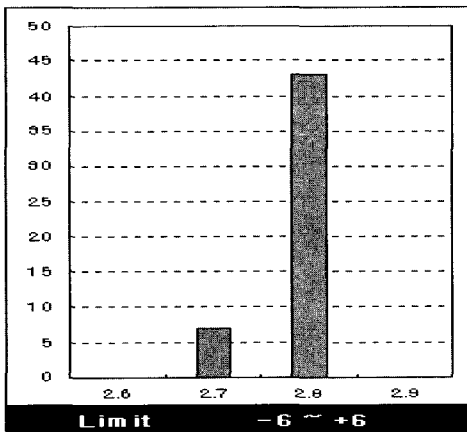


③ 이득 에러

Table 4. Gain error measurements.

규격 [V]	측정데이터 분석 (50개 시료)			
	평균치	최소값	최대값	편차
-6~+6	2.7358	2.62	2.83	0.21

시료	측정값	시료	측정값	시료	측정값	시료	측정값	시료	측정값
1	2.68	11	2.74	21	2.68	31	2.71	41	2.71
2	2.77	12	2.71	22	2.8	32	2.77	42	2.8
3	2.68	13	2.71	23	2.74	33	2.68	43	2.71
4	2.74	14	2.68	24	2.77	34	2.71	44	2.71
5	2.74	15	2.77	25	2.62	35	2.77	45	2.74
6	2.77	16	2.77	26	2.68	36	2.74	46	2.8
7	2.77	17	2.71	27	2.74	37	2.77	47	2.71
8	2.71	18	2.74	28	2.74	38	2.74	48	2.8
9	2.68	19	2.74	29	2.8	39	2.83	49	2.74
10	2.74	20	2.77	30	2.74	40	2.68	50	2.74

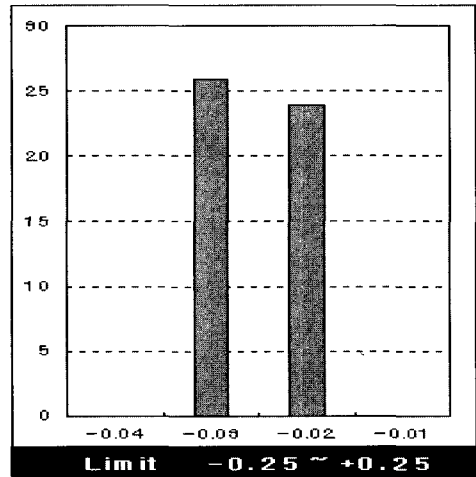


④ 오프셋 에러

Table 5. Offset error measurements.

규격 [V]	측정데이터 분석 (50개 시료)			
	평균치	최소값	최대값	편차
-0.25~+0.25	-0.0256	-0.03	-0.02	0.01

시료	측정값	시료	측정값	시료	측정값	시료	측정값	시료	측정값
1	-0.003	11	-0.003	21	-0.003	31	-0.002	41	-0.003
2	-0.003	12	-0.002	22	-0.003	32	-0.002	42	-0.002
3	-0.002	13	-0.002	23	-0.003	33	-0.003	43	-0.002
4	-0.003	14	-0.002	24	-0.003	34	-0.002	44	-0.002
5	-0.002	15	-0.003	25	-0.003	35	-0.003	45	-0.003
6	-0.003	16	-0.003	26	-0.002	36	-0.002	46	-0.002
7	-0.003	17	-0.002	27	-0.002	37	-0.002	47	-0.003
8	-0.002	18	-0.002	28	-0.003	38	-0.003	48	-0.003
9	-0.002	19	-0.003	29	-0.002	39	-0.003	49	-0.002
10	-0.003	20	-0.003	30	-0.003	40	-0.003	50	-0.003



50개의 시료에 대한 테스트는 AWG를 이용하여 ADC_IN 핀에 삼각파를 인가하고 이때 발생하는 디지털 코드를 수집하여 4개의 테스트 항목들을 dsp 연산으로 추출하였다. 이때 AWG의 삼각파는 A/D 변환기의 입력전압 범위 보다 크게 주어 클리핑되게 하여 dsp 분석을 용이하게 하였다. 측정 결과 이들 4개의 파라미터들은 특성 값들이 규격을 만족함을 알 수 있다. 데이터들이 안정적으로 측정되므로 DSP 처리의 장점인 잡음에 강한 측정임을 알 수 있다.

6. 결 론

하우스킵핑 A/D 변환기 테스트는 DSP-based ATE

장비환경에서 AWG를 이용하여 입력핀에 삼각파를 인가하고 이때 발생하는 디지털 코드를 수집하여 DNL, INL, 이득 에러 그리고 오프셋 에러들을 dsp 연산으로 추출하였다. 종래의 A/D 변환기 테스트 방법은 DNL과 INL은 히스토그램 테스트 알고리즘(Histogram Test Algorithm)으로, 이득 에러와 오프셋 에러는 측정 알고리즘에 의한 계산식을 이용하여 측정하였다. 따라서, 측정 알고리즘의 계산식의 측정된 ZST, ZS, FSR 값들을 구하고 이상적인 ZST, ZS, FSR과의 계산 과정이 필요하다. 특히 FSR을 측정하기 위해서 낮은 전압에서 높은 전압까지 단계적으로 상승하면서 반복 측정을 해야 하는 단점이 있다. 제안된 새로운 동시측정 히스토그램 테스트 알고리즘(Concurrent Histogram Test Algorithm)은 A/D 변환기의 이상적인 FSR 보다 큰 값의 신호를 입력할 때 발생하는 출력신호가 피크 클리핑 되도록 하여 dsp 분석을 용이하게 하였고, 발생하는 히스토그램의 값들에서 DNL, INL, 이득 에러 및 오프셋 에러가 동시에 측정이 되므로 앞서 계산 과정들이 필요 없는 매우 간단한 테스트 알고리즘이다. 제안한 동시측정 히스토그램 테스트 알고리즘을 실제 소자에 적용하여 DNL, INL, 이득 에러와 오프셋 에러를 측정한 결과, 소자의 전기적 특성들이 정확하게 검출되었고 테스트 알고리즘이 간단하므로 하우스킵핑 A/D 변환기의 테스트에 매우 적합하다.

참고문헌

1. Cliff So, DSP Testing Tutorial, Credence, 1996.
2. Lee, Whetsel, Proposal to simplify development of a mixed signal test standard, *IEEE International Test Conference*, 1996.
3. Lofstrom, A demonstration IC for the P1149.4 mixed signal test standard, *IEEE International Test Conference*, 1996.
4. Grebene, A. B., *Bipolar and MOS Analog Integrated Circuit Design*, John Wiley & Sons, 1991.
5. *아날로그 및 혼성모드 IC 설계*, 반도체설계교육센터 (IDEC), 1995.
6. Matthew Mahoney, Tutorial DSP-Based Testing of Analog and Mixed Signal Circuits, IEEE COMPUTER SOCIETY PRESS, 1987.
7. Video Converter Test Methodology, The HP 9480 Analog LSI Test System, April 1987.
8. Algeria, F., Arpaja, P., Danponte, P. and Cruz, A., "ADC histogram test based on small-amplitude waves," *IMEKO World Congress Proceedings*, Vol X., pp. 9-14, Sep. 2000.
9. Algeria, F., Arpaja, P., Danponte, P., Cruz, A., "ADC histogram test by Triangular small-waves," *IEEE Instrumentation and Measurement Technology Conference*, pp. 1690-1695, May 2001.