

논문 2004-41SD-11-11

Hysteresis를 가지는 카운터에 의한 디지털 DLL의 지터 잡음 감소

(Jitter Noise Suppression in the Digital DLL by
a New Counter with Hysteretic Bit Transitions)

정인영*, 손영수**

(In-Young Chung and Youngsoo Sohn)

요 약

디지털 방식으로 제어되는 아날로그 회로에서는 bang-bang 진동이 발생하며, 이 때 사용되는 FSM 이진 카운터의 MSB가 천이하는 곳에서 발생하는 bang-bang 진동은 큰 glitch를 발생시켜 DLL에 적용될 경우, 출력 클럭의 지터를 크게 증가시킨다. 본 논문에서는 카운터 값의 증감에 따라 MSB의 천이점에 hysteresis가 발생하는 새로운 형태의 escalator 코드 카운터를 제안한다. 이 카운터는 DLL의 locking 시 발생하는 bang-bang 진동을 최소 단위의 소자로 제어하게 함으로써 glitch의 발생 요인을 원천적으로 제거한다. 이 카운터를 사용한 DLL을 설계 시뮬레이션하여 규격 조건에서 최대 35ps 이상 지터가 줄어드는 것을 확인하였으며 이를 고속 packet-base DRAM의 이중 루프 DLL에 적용하여 데이터 윈도우를 극대화하였다.

Abstract

A digitally-controlled analog-block inevitably undergoes the bang-bang oscillations which may cause a big amplitudes of the glitches if the oscillation occurs at the MSB transition points of a binary counter. The glitch results into the jitter noise for the case of the DLL. In this paper, we devise a new counter code that has the hysteresis in the bit transitions in order to prevent the transitions of the significant counter-bits at the locking state. The maximum clock jitter is simulated to considerably reduce over the voltage-temperature range guaranteed by specifications. The counter is employed to implement the high speed packet-base DRAM and contributes to the maximized valid data-window.

Keywords : 디지털 DLL, 지터, 카운터, Hysteresis, glitch

I. 서 론

근래에 접어들면서 컴퓨터를 비롯한 각종 전자 시스템에서의 반도체 장치의 성능에 관한 가장 큰 관심사 중의 하나는 개별적인 반도체 칩 간의 정보 전송 속도가 되었다. 적용되는 시스템의 환경과 요구되는 성능에 따라 serial-link, USB(universal serial bus), bus 전송 방식 등의 많은 형태의 전송방식이 있으며 각각은 가장

적은 비용 요소로 최대의 전송속도가 구현되는 것을 목표로 많은 연구와 개발이 진행 중이다. DRAM을 비롯한 고속 메모리 시스템에서는 메모리의 특성 상 전송선의 길이가 비교적 길지 않고, 많은 반도체 칩 사이에 대량의 데이터가 동시에 전송되어야하므로 넓은 bus-width를 가지는 클럭 시스템을 사용한다. 클럭 bus 시스템은 마스터 칩과 슬레이브 칩의 클럭들의 주파수와 위상을 직접적으로 연관시켜 주며 전송되는 데이터의 발신 및 수신 시점을 결정하는 역할도 하게 된다. 메모리 시스템에서 각각의 DRAM은 시스템에서 주어지는 외부클럭을 받아 칩 내부의 구동 클럭으로 사용하며, 이 외부클럭의 시점에 맞춰 데이터를 마스터로 전송하도록 DLL(delay-locked loop)을 사용한다. 따라서

* 정회원, 경상대학교 전기전자공학과
(Department of Electronic Engineering, Gyeongsang National University)

** 정회원, 삼성전자
(Samsung Electronics)

접수일자: 2004년6월9일, 수정완료일: 2004년10월21일

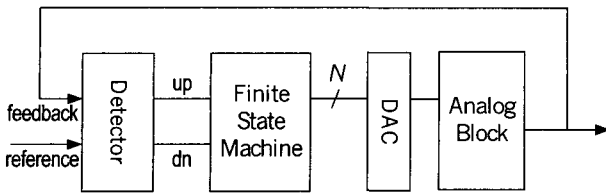


그림 1. 디지털 방식으로 제어되는 아날로그 회로의 신호 흐름도

Fig. 1. Signal flow of a digitally controlled analog block such as a digital DLL.

DLL 출력 클럭 시점에 맞춰 데이터의 전송 시점이 결정되며 DLL의 시점 잡음(timing noise)인 지터는 데이터의 시점 잡음으로 이어지며, 이는 신호의 전송 속도를 제한하는 요소가 된다.

본 논문에서는 DRAM 등의 고속 전송 소자에 사용되는 디지털 DLL 및 PLL의 지터 잡음 중 상당한 부분을 차지하는 bang-bang glitch에 의한 지터 잡음을 크게 줄일 수 있도록 새로운 카운터 형태를 제안한다. 이 카운터는 그 값의 증감 시 hysteresis를 가지도록 고안되었으며 이 특성으로 locking 시의 glitch 잡음을 획기적으로 해소한다. 디지털 DLL이나 PLL 등 디지털 방식으로 제어하는 아날로그 회로에서 일반적으로 적용가능하며 본 논문에서는 3.2Gbps packet-base DRAM^[6]에서 사용되는 이중 루프 디지털 DLL을 바탕으로 회로를 구성하여 그 유용성을 시뮬레이션을 통해 검증한다^[1].

II. Bang-bang 진동에 의한 잡음

DRAM등에서는 여러 가지 동작 모드의 적용에 편리한, FSM(finite state machine) 즉 카운터를 갖춘 디지털 DLL을 사용하는 경우가 대부분이다^[1-3]. 그림 1은 디지털 DLL의 개략적인 제어루프를 그린 것이다. 이 경우 DLL 코어 부분에서 발생하는 지터는 주로 회로의 전원 잡음에 의한 것과 FSM 값의 진동에 의해서 발생하는 이른바 bang-bang 잡음 성분이 주 요인이 된다. 전원 잡음은 DLL의 delay chain을 통과하는데 걸리는 지연시간을 변동시켜 시스템 클럭의 지터를 발생시키며 이를 억제하기 위해서 다양한 회로설계 기술이 개발되고 있다. Bang-bang 지터는 DLL을 디지털 방식으로 제어하는 경우 발생하는 것으로 디지털 DLL의 경우 필연적으로 출력 클럭의 위상이 이산적(discrete)으로 존재하게 되는데, 이 경우 locking된 정상상태의 출력 클럭의 위상은 목표 위상을 중심으로 계속 진동하게 된다. 이상적으로는 bang-bang 잡음은 FSM의 최소단위

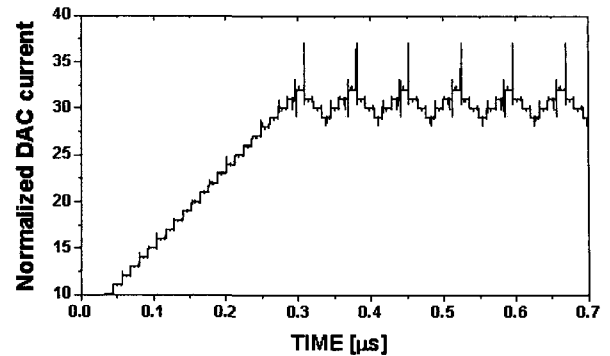


그림 2. Locking 상태로 진입할 때의 디지털 DLL FSM 값의 변동

Fig. 2. The FSM values of the DLL on the verge of the locking state.

에 해당하는 크기의 출력 클럭 위상 차이만큼만 발생해야하지만 실제로는 온도가 올라가거나 트랜지스터 공정 특성이 좋지 못하여 위상 검출기(phase detector)의 불확정성이 커질수록 FSM은 3~4 bit 이상 진동을 하게 되고 따라서 bang-bang 지터의 크기도 비례해서 커진다. 그림 2는 디지털 DLL에서의 locking 상태에 들어가는 FSM 카운터 값을 SPICE 시뮬레이션을 통해 나타낸 그림이다. 예를 들어 카운터 1-bit 당 클럭 위상 5ps의 해상도를 가진다면 그림 2의 DLL 코어는 기본적으로 15ps이상의 지터를 가지게 된다.

Bang-bang 지터 그 자체보다 더 큰 문제는 FSM이 bang-bang 진동을 하면서 발생하는 glitch 잡음이다. 즉, 디지털 DLL은 위상 믹싱을 통해서 클럭의 미세한 위상조절을 실행하게 되는데, 믹싱에 의한 점차적인 클럭 위상의 구현을 위해서는 FSM의 값을 바이어스 전류 등으로 변환해주는 간단한 형태의 DAC 회로가 필요하다. 만약 여기서 통상적인 이진 형태의 DAC를 사용하게 되면, 최상위 bit인 2^{N-1} 이 바뀌는 부근에서 DLL이 locking 될 경우 그림 3의 중앙부에서 보이는 바와 같이 카운터의 코드가 '10.00'과 '01.11'을 오가면서 발생하는 DAC의 glitch가 위상 믹서의 바이어스 전류에 매우 큰 잡음을 만들어 내며, 이는 곧 출력 클럭의 지터로 연결된다.

상위 bit의 천이로부터 발생하는 잡음을 방지하는 방법 중의 하나는 이진 카운터를 사용하지 않고 thermometer 카운터를 사용하는 것이다^[4]. N-bit 이진 카운터에 해당하는 thermometer 카운터는 DAC에 $2^N - 1$ 개에 해당하는 소자들을 구비하고 각각을 순차적으로 켜고 끄으로써 아날로그 전류 값을 조절하는 방식으로 카운터의 값이 1이 변할 때 DAC의 트랜지스터는 최소

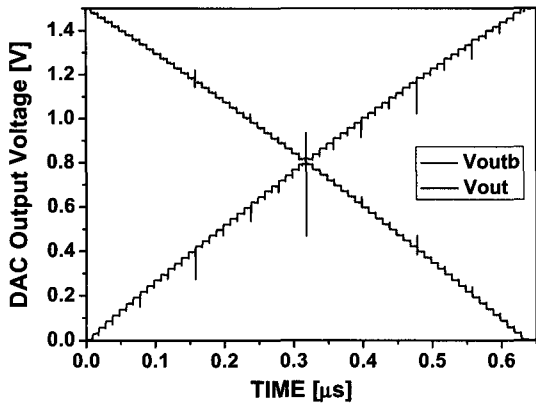


그림 3. 이진 카운터의 bit 증감에 따른 DAC 출력에서의 glitch 잡음
 Fig. 3. DAC glitch according to the bit transitions of the binary counter.

1-bit 단위의 소자만 천이가 발생한다. 따라서 이 방식의 카운터 및 DAC는 디지털 DLL에서 glitch에 의한 지터를 최소화하는 장점은 있으나, 2^N-1 개의 소자와 레지스터, 그리고 상당히 복잡한 논리회로를 필요로 하므로 N, 즉 클럭 조절 위상의 해상도가 증가할수록 급격히 회로설계의 부담이 증가하게 된다. 또, fast-lock-acquisition 모드나 offset-adjust 모드 등의 다양한 모드를 구현하는데도 불리하다. DAC에 있어서 thermometer 코드와 이진 코드의 특성을 적절히 섞어서 thermometer 코드의 부담을 덜면서 이진 코드보다 나은 특성을 갖게 하는 것이 segmented 코드이다^[5]. 그러나 이 경우에도 N이 증가함에 따라 그 정도는 덜하지만 이진 코드와 thermometer 코드의 문제점을 모두 가지게 된다.

이를 해결하기 위하여 본 논문에서는 다음 장에서 설명될, hysteresis 특성을 가진 새로운 형태의 코드를 그림 1의 FSM에 도입한다. 이는 DLL의 locking 시 발생하는 bang-bang 진동에 의해 상위 bit이 변동되는 것을 방지하며 최소의 하드웨어 부담으로 thermometer 코드 수준의 저 잡음 특성을 기대할 수 있다.

III. Escalator 코드

본 논문에서 제안하는 escalator 코드는 'cash' 부분과 'coin' 부분으로 나뉘게 되며 전체 escalator 코드의 값은 cash 코드와 coin 코드의 값의 합으로 표현된다. Cash 코드는 전체 코드와 비슷한 크기를 가지는 몸체 코드로 전체 값에 근접한 값을 가진다. 일반적인 경우 cash 코드로는 이진 코드를 사용하는 것이 장점이 많

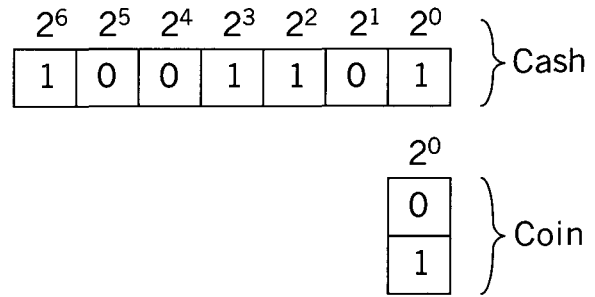


그림 4. 7-bit 이진 cash와 2-bit thermometer코드 coin로 구성된 escalator 코드의 일례

Fig. 4. An escalator code comprising a 7-bit binary-coded cash and a 2-bit thermometer-coded coin. The total code-value is 46, 45 by cash and 1 by coin.

다. Coin 코드는 cash에 비해 매우 작은 규모의 코드로 coin코드의 MSB 천이가 발생시키는 glitch의 크기가 회로에서 문제가 되지 않는 수준이 되도록 구성되어야 한다. Coin 코드의 구성으로는 일반적인 경우에는 thermometer 코드가 좋으나 특수한 적용의 경우에는 이진 코드가 적합할 수도 있다.

그림 4는 7-bit 이진 코드의 cash와 2-bit thermometer 코드의 coin으로 구성된 escalator 코드의 일례를 보인 것이다. 여기서 coin 부분은 2^0 의 동등한 값을 갖는 데이터 1의 stack으로 간주될 수 있다. Coin에서 데이터 1이 증가될 때 아래쪽으로부터 위쪽으로 더해지며, 감소될 때 맨 위쪽의 데이터 1부터 제거된다. Escalator 코드의 특징에는 임의의 숫자가 복수 가지의 방식, 즉 coin이 표현할 수 있는 숫자의 개수에 해당하는 표현 방식을 가진다는 점이다. 그림 4의 escalator 코드는 33을 cash와 coin값이 각각 (33, 0)과 (32, 1), 그리고 (30, 2)가 되는 세 가지 경우로 표현할 수 있다.

Escalator 코드는 카운터의 값을 증감시킴에 있어 다음과 같은 규칙을 따른다. 즉, 카운터의 숫자를 증가시켜 나갈 경우에는 coin의 값을 먼저 증가시킨다. Coin 코드가 모두 1로 가득 차게 되면 비로소 cash 코드의 값을 증가시킨다. 반대로 카운터의 숫자를 감소시킬 때에는 coin의 값을 먼저 감소시키고, coin 코드의 값이 모두 0으로 비게 되면 이후에는 cash의 값을 감소시킨다. Escalator 코드는 이상의 규칙을 따름으로써 코드 bit 천이에 있어서 hysteresis 특성을 갖게 된다. 그림 5에서 그림 4의 카운터가 31에서 34까지 증가한 후 다시 31까지 감소되는 과정을 보인다. 카운터 값이 증가할 때는 33과 34 사이에서 2^5 bit의 천이가 일어나며 감소할 때는 32와 31사이에서 발생한다. 두 천이 지점 간의

CASH							COIN		
0	1	1	1	1	1	0	0	1	31
↓									
0	1	1	1	1	1	0	1	1	32
↓									
0	1	1	1	1	1	1	1	1	33
↓									
1	0	0	0	0	0	0	1	1	34
↓									
1	0	0	0	0	0	0	0	1	33
↓									
1	0	0	0	0	0	0	0	0	32
↓									
0	1	1	1	1	1	1	0	0	31

그림 5. Escalator 코드의 MSB 천이지점의 hysteresis 특성
 Fig. 5. Hysteresis in the MSB transition points of the escalator code.

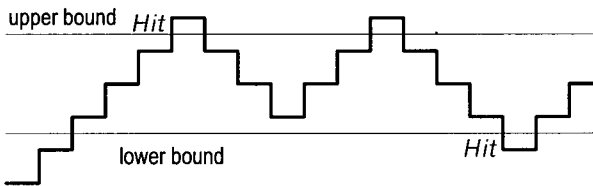


그림 6. Escalator 코드에서 MSB 천이가 발생하는 조건
 Fig. 6. The condition of the MSB transitions in an escalator code.

차이는 coin의 크기와 동일한 값을 가진다.

Escalator 코드의 hysteresis 특성은 bang-bang 진동과 같이 한정된 크기의 FSM 값의 변동을 coin 코드에서 흡수시키게 된다. Cash 코드의 MSB 천이는 그림 6에서와 같이 카운트 궤적이 hysteresis에 의한 상향-하향의 두 곳의 bit 천이 경계점을 모두 지날 때만이 발생한다. 이는 MSB에만 해당되는 것은 아니며 cash 코드의 모든 bit에도 해당된다. 따라서 DLL 혹은 PLL의 locking 과정 시 1회의 상위 bit 천이가 발생한 후 이후의 bang-bang 진동은 coin 코드의 변동만으로 나타난다. Escalator 코드에서 상위 bit의 천이가 발생하지 않는 최대 크기의 bang-bang 진동은 coin 코드의 크기와 같으므로 제어 루프에서 발생할 수 있는 진동의 크기를 미리 예측하여 코드를 구성하는 것이 좋다. 만약 진동의 크기가 매우 큰 경우에는 이진 코드로 coin을 구성하는 것도 하나의 선택이 될 수 있다. 그러나 이 경우에는 bang-bang 진동 중에도 coin에 채용된 이진 코드의 MSB 천이에 의한 glitch가 발생할 수 있다.

Escalator 코드의 구성은 반드시 cash와 coin의 두

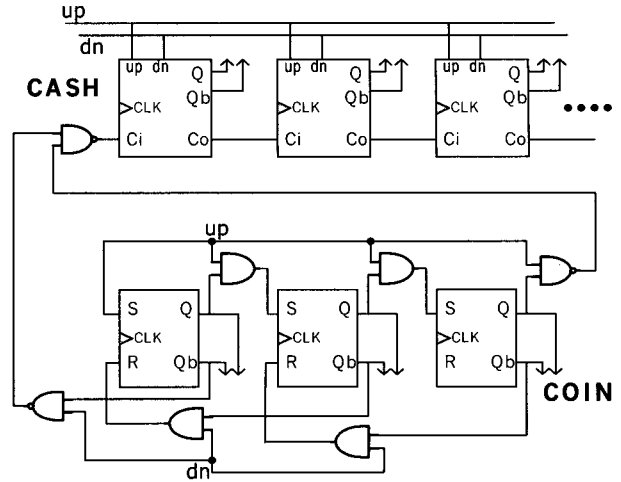


그림 7. 3-bit coin과 이진 cash 카운터를 연결한 escalator 코드 카운터 회로도
 Fig. 7. The escalator-code counter circuit including 3-bit coin and its connection to the binary cash. a.

수준으로 제한되는 것은 아니며 필요에 따라 cash, 제1 coin, 제2 coin 등으로 다층의 hierarchy를 구성할 수 있다. 이 경우, 제 1 coin과 제 2 coin의 관계는 앞에서 설명한 cash와 coin의 관계와 같게 된다. 또한 각 부분은 특성에 따라 이진 코드와 thermometer 코드 혹은 segmented 코드 중 하나를 선택할 수 있다.

IV. 회로 구성 및 시뮬레이션

Escalator 코드와 그 연산 알고리즘은 매우 간단하게 회로로 구현될 수 있다. Escalator 코드를 채택한 카운터의 coin과 cash의 연결 상태를 포함한 개념적인 회로도를 그림 7에서 볼 수 있다. 증감 연산이 먼저 coin에서 행해진 후, coin에서 overflow나 underflow가 발생하면 이것이 cash 코드에 carry-in으로 전달된다. Cash나 coin의 각 bit은 자신의 이진 자릿수의 비중을 가지는 DAC 입력 신호로 사용되며 전류거울에서의 단순한 출력 노드의 연결로써 cash와 coin 값의 합산이 출력 전류로 나타나게 된다. 그림 8에서는 FSM의 값이 MSB 천이 지점 근처에서 DLL이 locking 되었을 때 발생하는 DAC glitch 잡음의 SPICE 시뮬레이션 결과를 이진 코드 카운터와 escalator 코드 카운터를 서로 비교한 것이다. 각 카운터의 특성에서 예상할 수 있듯이 escalator 코드를 채택한 방식에서는 locking 과정 시 1회의 glitch가 발생한 후 더 이상의 glitch가 발생하지 않았지만 기존의 이진 코드를 채택한 방식에서는 지속적으로 큰 glitch 잡음이 발생하는 것을 0.11μm DRAM

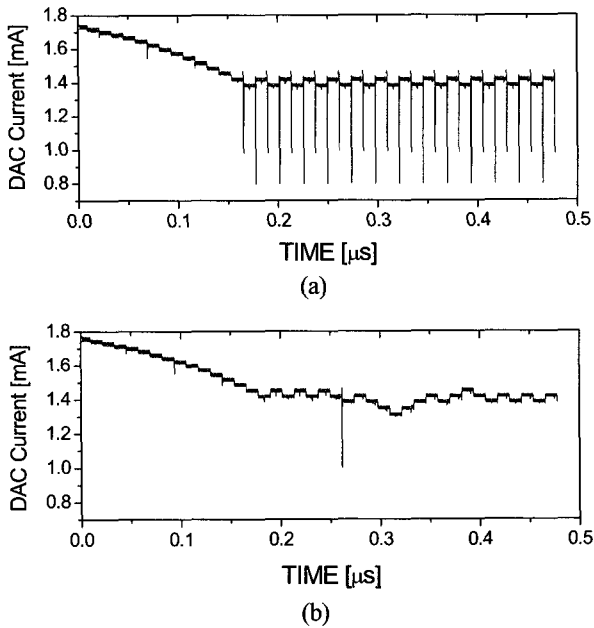


그림 8. MSB 천이지점 부근에서 locking된 DLL에서의 위상 믹싱 전류에 발생하는 glitch 잡음 (a)기존의 이진 카운터 (b)제안된 escalator 코드 카운터
 Fig. 8. The glitches on the phase-mixing current when the DLL phase is locked in the vicinity of the MSB transition point (a)with the conventional bin-ary counter and (b)with the proposed escalator code counter.

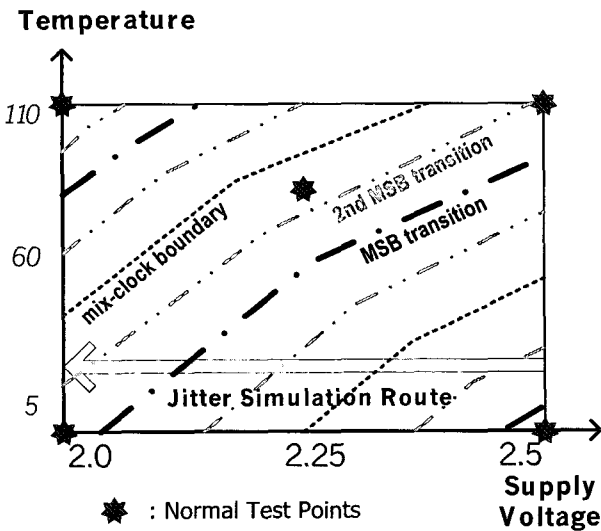


그림 9. 규격 상의 전압과 온도에 따른 이중 루프 DLL에서의 FSM 값과 MSB 천이지점의 이동 몇 가지의 테스트 조건만으로는 지터가 모니터링 되지 않는다.
 Fig. 9. The shift of the FSM value in the dual loop DLL according to temperature and the supply voltage within the specifications. Limited number of test conditions The jitter is probably not monitored in the limited number of the test conditions.

파라미터를 이용한 시뮬레이션으로도 확인할 수 있다.

정밀성을 요구하는 대부분의 디지털 DLL에서는 locking 위상을 찾는 데 있어서 게이트 지연시간의 차이를 가진 두 기본 클록을 위상 믹싱하는 기법을 사용한다^[1]. 이 때 FSM의 최상위 bit 값으로 위상 믹싱에 사용될 기본 클록을 선택하고 나머지 bit의 값으로 위상 믹싱 계수를 결정할 수 있다. 이 경우 두 기본 클록의 가중치가 균등하게 되는 곳에서 믹싱에 사용되는 최상위 bit의 천이 지점이 된다. DLL이 어떤 특정조건에서 이 지점에 locking될 확률은 높지 않다. 그러나 locking 지점은 PVT(process-voltage-temperature) 조건에 따라 계속 이동하며, 따라서 DRAM을 비롯한 일정 범위의 온도와 공급전압 환경에서 언제나 규격을 만족시켜야 하는 반도체 제품에 있어서는, 0.11μm 공정 파라미터에 의한 시뮬레이션 결과인 그림 9에서처럼 DLL이 최상위 bit이 천이하는 지점에서 locking 되는 온도-전압 조건이 늘 그 범위 내에 포함되게 된다. 그림 9에서 표시된 것처럼 몇몇 대표적인 온도-전압 조건에서만 테스트가 이루어지는 양산제품의 경우에는 glitch에 의한 심각한 지터 증가는 관찰되지 않을 확률이 크다. 그러나 VDD를 이동시켜 가면서 테스트할 경우, MSB 천이 영역에 해당하는 조건에서 유효 데이터 윈도우가 가장 작은 지점이 발생할 수 있으며, 이는 그대로 실장 상황에서 문제를 일으킬 개연성이 크다. 그림 10는 그림 9에서 나타난 선을 따라, 즉 2.5[V]에서 2.0[V]로 공급전압이 서서히 변화시켜 가면서 전체 DLL 클록의 지터 특성을 시뮬레이션 한 결과이다. 지터 관찰점인 1/2 VDD값이 고정되도록 (VDD, VSS)값을 (2.25, -0.25)에서 (2.0, 0.0)로 이동시켜 가며 시뮬레이션을 실시하였다. 본 DLL에서는 PD에서 클록의 rising edge만을 비교하므로 1.0[V]를 통과하는 클록 시점의 분포가 클록 지터에 해당한다. Escalator 코드 카운터로 구현된 DLL에서는 MSB의 toggling에 의한 glitch가 사라지면서 누적 지터가 65ps에서 28ps로 줄어든 것을 볼 수 있다.

Escalator 코드를 디지털 DLL에 적용할 경우 선형성에 있어서도 유리한 측면이 존재한다. 이진 카운터의 상위 bit이 천이할 경우, 동시에 on-off 되는 많은 개수의 DAC 트랜지스터들 사이의 통계적으로 누적되는 mismatch 양에 의해 FSM 값과 위상 믹싱 전류 관계에서 선형성(DNL)이 훼손되거나 심한 경우 역진성이 발생할 수 있다^[4]. 만약 이러한 조건에서 DLL이 locking하는 경우 bang-bang 지터가 증가하게 된다. 그러나 escalator 코드의 경우에는 지터 특성이 중요한 DLL

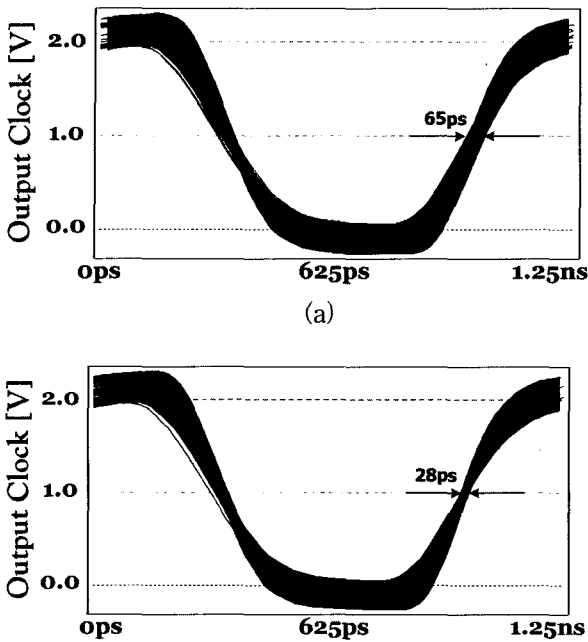


그림 10. 그림 9에서의 표시된 전압 행로를 따라 시뮬레이션 된 이중 루프 DLL의 출력 클럭 누적 지터 (a) 이진 카운터 DLL (b) escalator 코드 카운터 DLL

Fig. 10. The DLL output clock-jitter simulated along the route shown in Fig. 9. (a) with the binary counter DLL and (b) with the escalator-code counter DLL.

locking 시에는 coin 코드 부분만 변동하므로 선형성에 영향을 끼치는 mismatch 성분 역시 약 3~4개의 최소 단위 트랜지스터에 의해 발생되는 것으로 한정된다.

V. 결론

FSM으로 제어되는 디지털 DLL 및 PLL은 locking 상태에서 FSM 값이 반복적으로 움직이는 bang-bang 진동을 필연적으로 수반한다. 규격 내의 특정한 온도와 전압 조건에서 DLL 루프는 이진 카운터의 상위 bit들의 천이 지점에서 locking되며, 이 경우 DAC에서 공급하는 믹싱 전류에는 지속적으로 큰 진폭의 glitch가 발생하며 따라서 출력 클럭의 지터를 크게 증가시킨다. 본 논문에서는 디지털 DLL에 새로운 형태의 escalator 코드를 도입함으로써 이 문제를 해결하였다. Cash부분과 coin 부분으로 구성된 escalator 코드는 카운터 값의 증감에 따라 bit 천이지점의 hysteresis가 존재하여 locking 시 발생하는 bang-bang 진동을 glitch가 최소화된 coin 부분의 변동으로 해결함으로써 시뮬레이션 상으로 출력 클럭의 지터를 최대 35ps 이상 감소시키는

효과가 있음을 보였다. Escalator 코드를 채택한 semi-digital 이중 루프 DLL은 3.2Gbps의 고속 packet-base DRAM^[6]에 적용되었으며 클럭 지터를 최소화하여 유효 데이터 윈도우를 극대화하는데 크게 기여하였다.

참고 문헌

- [1] Stefanos Sidiropoulos, and Mark A. Horowitz, "A semidigital dual delay-locked loop," *IEEE J. Solid-State Circuits*, Vol. 32, no. 11, pp. 1683-1692, Nov. 1997.
- [2] Jung-Bae Lee, Kyu-Hyun Kim, Changsik Yoo, Sangbo Lee, One-Gyun Na, Chan-Yong Lee, Ho-Young Song, Jong-Soo Lee, Zi-Hyun Lee, Ki-Woong Yeom, Hoi-Joo Chung, Il-Won Seo, Moo-Sung Chae, Yun-Ho Choi, and Soo-In Cho, "Digitally-controlled DLL and I/O circuits for 500 Mb/s/pin 16 DDR SDRAM," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp. 68-69, 431, Feb. 2001.
- [3] Tatsuya Matano, Yasuhiro Takai, Tsugio Takahashi, Yuusuke Sakito, Isamu Fujii, Yoshihiro Takaishi, Hiroki Fujisawa, Shuichi Kubouchi, Seiji Narui, Koji Arai, Makoto Morino, Masayuki Nakamura Shinichi Miyatake, Toshihiro Sekiguchi, and Kuniaki Koyama, "A 1-Gb/s/pin 512-Mb DDRII SDRAM using a digital DLL and a slew-rate-controlled output buffer," *IEEE J. Solid-State Circuits*, vol. 38, no. 5, pp. 762-768, May 2003.
- [4] J. A. Schoeff, "An Inherently Monotonic 12 Bit DAC," *IEEE J. Solid-State Circuits*, vol. SC-14, no. 6, pp. 904-911, Dec. 1979.
- [5] David A. Johns and Ken Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, New York, 1997.
- [6] Rambus Inc. web page: <http://www.rambus.com/products/xdr/>

저 자 소 개



정 인 영(정회원)

1994년 서울대학교 전자공학과
학사.

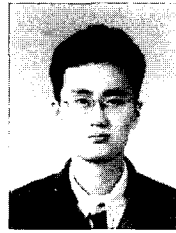
1996년 서울대학교 전자공학과
석사.

2000년 서울대학교 전기공학부
박사.

2000년~2004년 삼성전자 책임연구원.

2004년~현재 경상대학교 전기전자공학부 전임강사.

<주관심분야: 아날로그 회로설계, 나노 디바이스
기술, 바이오 전자>



손 영 수(정회원)

1997년 서강대학교 전자공학과
학사.

1999년 포항공과대학교
전기전자공학부 석사

2003년 포항공과대학교
전기전자공학과 박사

2003년~현재 삼성전자 책임연구원

<주관심분야: 아날로그 회로설계, 메모리 설계,
초고속 인터페이스>

