

논문 2004-41SD-11-9

# 최소 오버헤드를 갖는 IEEE 1149.1 TAP 테스트 기법에 관한 연구

## (A Study on IEEE 1149.1 TAP Test Methodology for Minimum Area Overhead)

김 문 준\*, 장 훈\*\*

(Moon-Joon Kim and Hoon Chang)

### 요 약

오늘날 모든 칩들에는 보드레벨 테스트를 위한 IEEE 1149.1 TAP 컨트롤러가 설계되어 내장된다. 하지만 최근에는 보드레벨 테스트뿐만 아니라 기능적 목적을 위해서 TAP 컨트롤러가 내장되는 경우도 다수 존재한다. 따라서 이러한 IEEE 1149.1 TAP 컨트롤러 회로를 테스트하고 모니터링 할 수 있는 동시 에러 검출 (CED: Concurrent Error Detection) 테스트 기법이 개발되었다. 본 논문에서는 기존에 제안된 여러 종류의 CED 테스트 기법을 IEEE 1149.1 TAP 컨트롤러에 적용하여 최적의 면적 오버헤드를 구현하는 기법에 대해 연구한다. 중복 기법과 패리티 예측 기법, 그리고 혼합 기법을 각각 연구하였으며, 혼합 기법이 IEEE 1149.1 TAP 컨트롤러를 테스트하는 데 가장 적합한 CED 기법임을 실험을 통하여 알 수 있었다. 따라서 혼합 기법은 앞으로 IEEE 1149.1 TAP 컨트롤러를 테스트하는 데 널리 사용될 수 있을 것이다. 또한 본 논문에서는 기존에 제안된 기법을 더욱 향상시켜 TAP 컨트롤러를 테스트하는 데에 소요되는 면적 오버헤드를 최소화 시켰다.

### Abstract

Today almost all chips have IEEE 1149.1 tap controller inside. Recently the circuit is embedded in the chips for other functional objectives. Hence a CED technique for testing and monitoring the IEEE 1149.1 tap controller had been proposed. This paper studies the optimal CED test technique on the IEEE 1149.1 tap controller. There are duplication, parity prediction, and hybrid techniques. The hybrid technique shows the best result on the area overhead. This means that the hybrid technique is perfectly adequate for the IEEE 1149.1 tap controller to be applied to test with the optimal area overhead and can be used widely in the field. Furthermore, we made more reduction from the previous method resulting in less area overhead.

**Keywords :** IEEE 1149.1, TAP Controller, Board Level Testing, CED

### I. 서 론

오늘날 VLSI 칩의 집적도가 기하급수적으로 증가함에 따라 칩 테스트의 어려움은 점점 증가하고 있다. 이러한 문제점을 해결하기 위하여 다양한 테스트 용이화 설계(Design For Testability) 기법들이 개발되었으며, 이러한 테스트 기법들이 칩 설계 단계에서부터 적용되고 있다. 테스트 용이화 설계 기법은 칩 내부 노드들의 관측용이도(observability)와 조절용이도(controllability)

를 향상시키는 설계 기법으로써 스캔 기법, BIST (Built-In Self Test) 기법 등이 존재한다<sup>[1]</sup>. 이러한 칩들을 이용하여 하나의 시스템을 구성할 경우 보드 설계 및 공정에서의 고장을 검사하기 위해 보드레벨 테스트 기법의 개발이 필요하였다. 보드 표면장착(surface mount) 기술의 발달로 칩 간의 연결선들이 표면으로 드러나지 않은 경우가 증가함에 따라 보드 레벨 테스트의 어려움도 증가하게 되었다. 따라서, 이를 해결하기 위한 설계 기법이 필요하게 되었으며, 1980년대 초부터 유럽과 북미의 산학연 협동체인 JTAG(Joint Test Access Group)이 보드레벨에서의 테스트를 지원할 수 있는 테스트 용이화 설계 기법을 연구하게 되었고, 이를 기초로 하여 IEEE 1149.1이라는 표준안이 제정되었다<sup>[2]</sup>. 오늘날

\* 학생회원, \*\* 정회원 숭실대학교 컴퓨터학과

(Department of Computing, Soongsil University)

※ 본 연구는 숭실대학교 교내연구비 지원으로 이루어졌음

접수일자: 2004년3월9일, 수정완료일: 2004년11월4일

의 모든 칩들에는 이러한 보드레벨 테스트를 위한 IEEE 1149.1 TAP 컨트롤러가 설계되어 내장되어 있다. 또한 최근에는 보드레벨 테스트 뿐만 아니라 다른 목적을 위해서 TAP 컨트롤러가 내장되는 경우가 다수 존재한다. 스캔, RAM BIST, 칩 고장의 위치 파악 등의 테스트를 위한 용도<sup>[3,4]</sup> 및 FPGA와 같은 프로그래머블 로직 회로에 설정파일을 적재하는 등의 비테스트 목적을 위해서도 사용되고 있다<sup>[5]</sup>.

이와 같이, IEEE 1149.1 TAP 컨트롤러는 작은 크기의 회로임에도 불구하고, VLSI 칩에서의 그 중요성이 매우 크다. 만약 TAP 컨트롤러에 고장이 발생한다면 이러한 테스트 및 비테스트 기능들이 제대로 동작하지 않을 것이다. 이 경우, 고장의 원인이 기능 블럭에 존재하는지, 혹은 테스트 블럭에 존재하는지의 검증 단계를 거쳐야 하기 때문에 곧바로 칩 제조 비용의 증가로 이어진다. 따라서 보드레벨 테스트를 수행하기 위해서 혹은 비테스트 목적으로 TAP 컨트롤러를 사용하기 위해서는 그에 앞서 TAP 컨트롤러에 대한 검증이 선행되어야 한다. 이를 위해 AT&T사에서 TAP 컨트롤러를 테스트하기 위한 기법이 개발되었다<sup>[6]</sup>. 이 기법은 TAP 컨트롤러의 구조를 변경하지 않고, TAP 컨트롤러를 테스트하기 위한 테스트 패턴을 생성하여 주입력에 모든 테스트 패턴을 인가하는 방법이다. 그러나 이 기법은 칩의 I/O 핀의 개수가 늘어남에 따라 테스트 시퀀스의 길이도 따라서 증가하는 단점이 있다. 이러한 단점을 극복하기 위해 동시 에러 검출 (CED: Concurrent Error Detection) 기법을 도입하여 TAP 컨트롤러의 자체 테스트를 가능하게 한 기법이 제안되었다<sup>[7]</sup>. 이 기법은 기존의 CED 기법을 TAP 컨트롤러 회로에 적용시켜 에러 시그널을 발생시킨 후, 이를 감지하여 경계주사의 출력 포트에 고장의 유무를 표시하도록 하였다. 또한 회로의 입출력 개수에 관계없이 고정 길이의 짧은 테스트 시퀀스만으로 TAP 컨트롤러의 테스트를 모두 수행하였다.

본 논문에서는 IEEE 1149.1 TAP 컨트롤러를 테스트하기 위한 효율적인 기법에 대해 연구한다. 이를 위해 기존에 제안된 여러 CED 기법들을 연구하고, 그 중에서 회로의 면적 오버헤드를 최소화 시킬 수 있는 기법에 대해 연구한다. 또한 TAP 컨트롤러의 테스트를 위한 회로를 보다 단순화시켜 면적 오버헤드를 최소화하였다. 본 논문의 구성은 다음과 같다. II장에서는 TAP 컨트롤러의 구성에 대해 간략히 설명한다. III장에서 TAP 컨트롤러를 테스트하기 위한 CED 기법과 설계된 회로에 적용할 테스트 시퀀스에 대해 설명한다. IV장에서는

TAP 컨트롤러 테스트를 위한 면적 오버헤드를 최소화하도록 본 논문에서 제안한 기법에 대해 설명한다. V장에서는 실험결과를 알아보고 VI장에서 결론을 맺는다.

## II. 경계 주사 기법

경계 주사 기법은 기관 수준의 테스트를 지원하기 위해 1990년도에 IEEE에서 제정한 표준안이다. 경계 주사 회로는 TDI(Test Data Input), TDO(Test Data Output), TCK(Test Clock), TMS(Test Mode Select), TRST(Test Reset), 총 5개의 입출력 핀을 가지고 있다. 각 핀의 기능은 표 1에 나타나 있다.

경계 주사 회로는 TAP 컨트롤러, 명령어 레지스터, bypass 레지스터, 명령어 디코더, 경계 주사 셀, 그리고 기타 회로들로 구성되어 있다. 그림 1은 이러한 경계 주사 회로의 구조를 보여준다. TAP 컨트롤러는 TMS와 TCK에 의해 동작하는 동기 유한 상태 머신(FSM: Finite State Machine)로서 경계 주사 회로의 동작에 필요한 여러 제어 신호들을 생성한다. 명령어 레지스터는 TDI 포트를 통하여 입력되는 경계 주사 회로를 위한 명령어를 래치하는 레지스터이다. Bypass 레지스터는 TDI와 TDO 사이의 최단 경로를 제공하여 기관 수준의 테스트에서 테스트 시간을 줄일 수 있게 해주는 레지스터이다. 경계 주사 셀은 테스트를 수행할 때 주사 체인을 형성하는 레지스터이다. 그리고 32비트 크기를 갖고

표 1. 경계 주사 회로의 입출력 핀의 종류 및 기능  
Table 1. Types and characteristics of boundary scan I/O pins.

입출력 포트	기능
TDI	테스트 데이터와 명령어를 인가하기 위한 핀으로 TDI로 인가되는 값은 TCK의 rising edge에서 유효하다.
TDO	테스트된 결과나 TDI로 인가된 값을 출력하기 위한 핀으로 TCK의 falling edge에서 유효하다.
TCK	IEEE 1149.1에서 정의한 테스트 회로에 클럭을 인가하기 위한 핀이다.
TMS	테스트 동작을 제어하는 TAP 컨트롤러의 상태 제어 신호를 인가하기 위한 핀으로 TMS 포트에 인가되는 값은 TCK의 rising edge에서 유효하다.
TRST	TAP 컨트롤러의 비동기 초기화를 위한 optional 핀으로 TRST에 논리 0이 인가되면 TAP 컨트롤러는 Test-Logic-Reset 상태가 된다.

버전, 부품번호, 제조업자 식별에 관한 정보를 갖고 있는 디바이스 식별 레지스터와 사용자가 정의한 레지스터를 필요에 따라 추가할 수 있다.

그림 2는 TAP 컨트롤러의 상태를 보여주고 있다. TAP 컨트롤러 회로는 테스트에 필요한 리셋과 클럭 신호를 제외하면 오직 TMS만을 입력으로 받는다. 그림 2에서의 0과 1은 각 상태에서 입력으로 받는 TMS의 값을 의미한다. TAP 컨트롤러는 입력으로 받은 TMS 값에 따라 각각의 상태를 이동하면서 9개의 컨트롤 신호들, 즉 ShiftIR, ClockIR, UpdateIR, Reset, Sel, Enable, ShiftDR, ClockDR, UpdateDR을 생성한다. TAP 컨트롤러는 이처럼 전체 경계주사회로가 올바르게 테스트 동작을 수행하도록 클럭에 맞추어 여러 신호를 출력해내는 역할을 수행한다. 본 논문에서는 이러한 TAP 컨트롤러를 테스트 및 비테스트 용도로써 사용하는 데 반드시 필요한 테스트 기법을 연구한다.

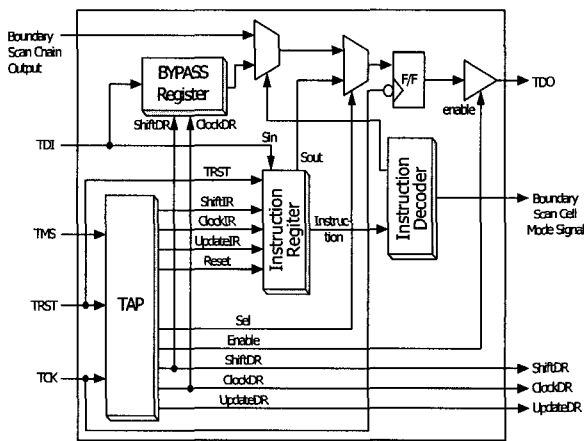


그림 1. 경계주사회로의 구조  
Fig. 1. Boundary Scan Architecture.

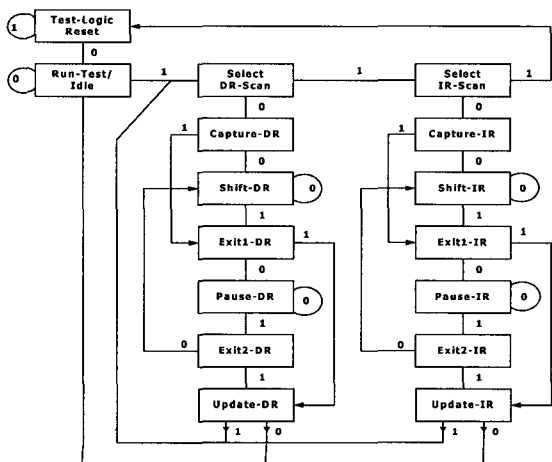


그림 2. TAP 컨트롤러의 상태도  
Fig. 2. Finite State Machine for TAP Controller.

### III. 동시 에러 검출 기법을 이용한 TAP 컨트롤러 테스트

본 논문에서는 현재 널리 사용되고 있는 여러 가지 CED 기법들의 면적 오버헤드를 비교한다. CED 기법은 높은 데이터 무결성(data integrity)을 특성으로 가지므로 설계시 시스템을 테스트하기 위해 널리 사용되고 있다. 데이터 무결성이란 시스템이 올바른 출력을 생성하거나, 그렇지 않고 올바르지 않은 출력을 생성할 경우 반드시 에러시그널을 발생시키는 성질을 말한다. 또한 이는 고장 보증(fault secure)이라고도 불린다<sup>[8]</sup>. CED 기법의 종류에는 중복(duplication) 기법, 패리티 예측 (parity prediction) 기법, 그리고 패리티 예측 기법과 중복 기법의 장점을 취합하여 구현한 혼합(hybrid) 기법 등이 존재한다. 본 논문에서는 이 세 가지 CED 기법들을 TAP 컨트롤러 회로에 적용하여 TAP을 테스트하는데 있어서 가장 효율적인 기법에 대해 연구한다.

#### 1. 동시 에러 검출 기법을 이용한 테스트 방법 가. 중복 CED 기법

중복 기법은 CED 기법 중 가장 간단한 기법으로써, 테스트 대상이 되는 유한상태머신을 이루는 모든 회로를 단순히 복사하는 기법이다<sup>[7]</sup>. 동일한 두 개의 회로에서 나오는 출력은 동일검사기(equality checker)를 이용하여 테스트한다<sup>[9]</sup>. 테스트 대상 회로인 TAP 컨트롤러 순차회로의 구조를 그림 3과 같이 표시했을 때, 중복 기법을 적용한 TAP 컨트롤러 회로의 구조도는 그림 4와 같다.

그림 4의 Circuit2는 그림 3에 보인 TAP 컨트롤러 회로, 즉 Circuit1을 중복시킨 회로이며, 각각에서 나오는 조합회로의 출력과 플립플롭 출력을 비교하여 올바

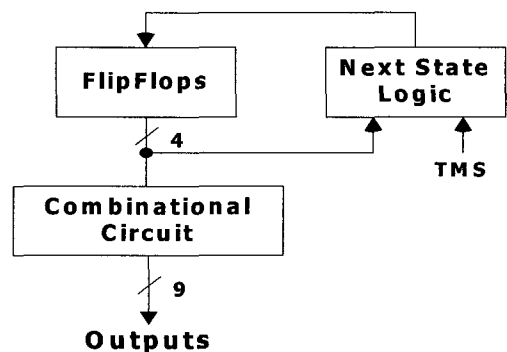


그림 3. TAP 컨트롤러의 순수회로  
Fig. 3. Basic Circuit of TAP Controller.

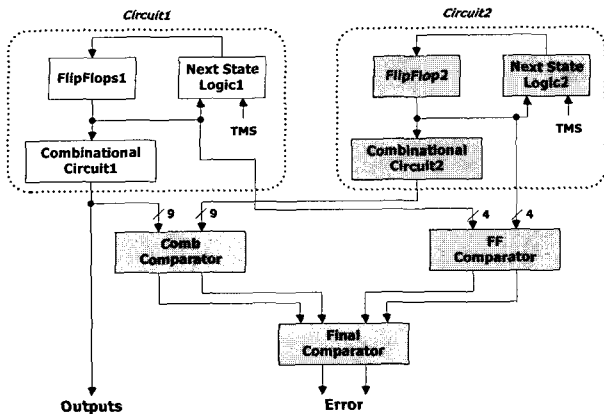


그림 4. 중복 CED 기법 구조도  
Fig. 4. Structure of Duplicate CED Technique.

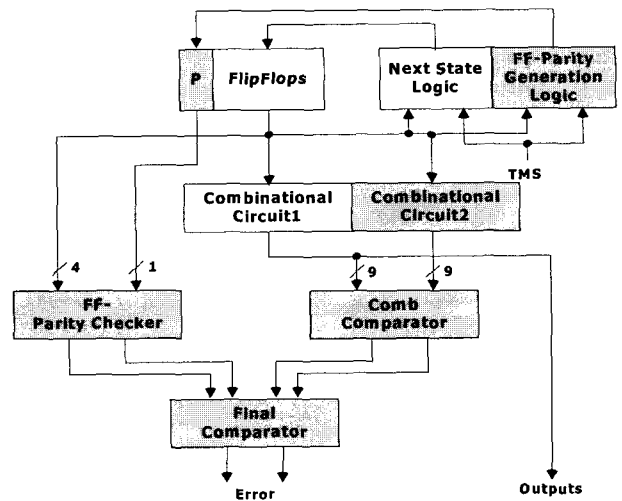


그림 6. 혼합 기법 구조도  
Fig. 6. Structure of Hybrid CED Technique.

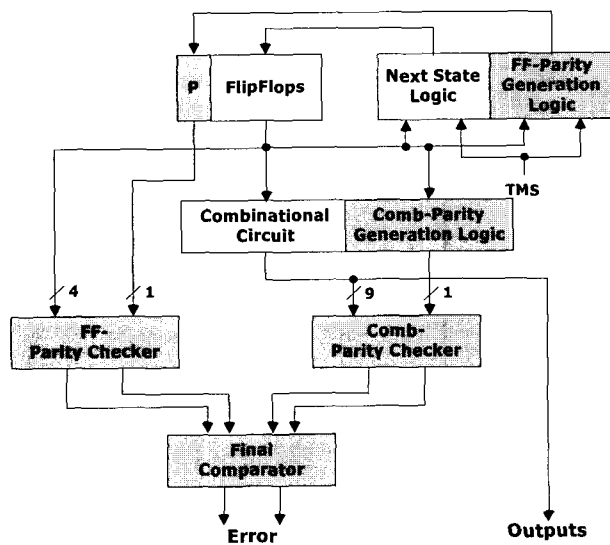


그림 5. 패리티 예측기법 구조도  
Fig. 5. Structure of Parity Prediction CED Technique.

른 값이 출력되는지 항상 모니터링한다. 비교기의 회로 구성은 [9]에 자세한 구현이 나타나있다. 이러한 중복 CED 기법은 동일회로 뿐만 아니라 비교기가 추가되기 때문에, 중복기법의 순수회로 대비 면적 오버헤드는 항상 100% 이상이다. 유한상태머신의 출력의 개수가 많아질수록 비교기의 면적 오버헤드도 매우 커진다는 단점도 존재한다.

나. 패리티 예측 기법

패리티 예측 기법은 플립플롭을 위한 패리티비트와 조합회로 출력을 위한 패리티비트를 각각 생성하여 독립된 패리티검사기를 통과시키는 구조를 가진다[10]. 본 논문에서는 오드(Odd) 패리티 검사기를 이용하였다. 패리티 예측 기법의 구조도는 그림 5와 같다.

플립플롭을 1비트만 추가하기 때문에 중복 기법에

비해 적은 면적 오버헤드를 가지는 장점을 가진다. 플립플롭과 조합회로를 위한 패리티 검사기가 각각 필요하며 패리티 검사기는 XOR 트리로 이루어져 있다. 자체테스트를 위해서 패리티 검사기의 출력은 1비트가 아닌 2비트로 구현하였다[11].

다. 혼합 기법

패리티 예측 기법을 적용할 경우 조합회로의 특성에 따라서 면적 오버헤드가 몇 개의 게이트에서 몇 십, 몇 백 개의 게이트로 그 크기가 다양할 수 있다. 따라서 플립플롭 테스트를 위해서는 패리티 기법을 사용하고, 조합회로를 위해서는 중복기법을 적용하는 기법이 개발되었으며 이를 혼합(Hybrid) 기법이라 한다[12]. 혼합기법의 구조는 그림 6과 같다.

플립플롭 테스트를 위해서는 한 개의 플립플롭과 패리티비트 생성회로, 그리고 오드 패리티체커가 추가되었으며, 조합회로에는 중복 기법을 적용하여 테스트대상 회로와 동일한 조합회로, 그리고 동일검사가 추가되었다. 중복 CED 기법이 적용된 TAP 컨트롤러의 조합회로에서 나온 각각의 시그널을 비교기를 거친 후 반드시 10의 고정적인 값을 가지도록 구현되었으며, 패리티 예측 기법이 적용된 플립플롭은 비교기를 거친 후 반드시 01 혹은 10의 값을 가지도록 구현되었다. 최종 비교기는 각각의 비교기가 올바른 값을 내보내는 지 항상 모니터링 하며, 고장이 일어나 다른 값이 검출되면 00 혹은 11의 값을 내보낸다. 정상적인 경우엔 항상 01 혹은 1을 내보내도록 설계되었다.

2. TAP 테스트를 위한 시퀀스

CED 기법을 도입한 TAP 컨트롤러를 테스트하기 위한 시퀀스는 기존에 제안된 모든 경우의 기능테스트(exhaustive functional test)를 수행한다. 모든 경우의 기능테스트는 상태표(state table)에 기반하여 수행되므로 오직 작은 크기의 회로에만 적용가능하다. 순차회로의 기능테스트는 증명된 바와 같이<sup>[13]</sup>, n개의 상태를 가지는 순차회로 M에 대하여 다음의 과정만 거치면 그 회로의 모든 고장을 검출할 수 있다.

1. 순차회로 M을 초기화한다. 즉 M을 시작 상태로 놓는다.
2. M이 n 개의 상태를 가지고 있는지 검증한다.
3. M의 상태표에 정의되어 있는 모든 경우(entry)를 검증한다.

따라서 TAP 컨트롤러를 Test Logic Reset 상태로 초기화시킨 후 TMS에

100111010001001110101011011000100111101010110110100 값을 차례로 인가시키면 TAP 컨트롤러의 모든 상태와 천이(transition)를 검사할 수 있다<sup>[7]</sup>.

IV. 개선된 테스트 응답 관측 기법

III장에서는 TAP 컨트롤러를 테스트하기 위한 CED 기법에 대해서 설명하였다. CED 기법에 의한 TAP 컨트롤러 테스트 회로는 최종적으로 2비트의 에러 시그널을 내보내도록 설계되어졌다. 하지만 경계주사를 적용한 보드에서 이 에러시그널을 출력 포트로 뽑아보기에는 포트 수의 오버헤드가 너무 크다는 단점이 있다. 따라서 기존의 기법에서 외부출력인 TDO를 통해 고장이 발생했음을 알 수 있는 구조가 소개되었고<sup>[7]</sup>, 구조는 그림 7과 같다.

CED가 적용된 TAP 컨트롤러 테스트회로에서 정상 동작을 나타내는 에러시그널 01 혹은 10이 출력될 경우 그림 7의 TDO로 연결되어 있는 멀티플렉서의 출력을 정상동작 패스에 연결시키고, 고장이 발생하여 신호선 Error에 11 혹은 00이 출력될 경우에는 TDO로 디바이스 레지스터의 값을 출력시킨다. 즉 고장의 유무에 따라 TDO로 출력되는 멀티플렉서의 컨트롤 신호를 1(고장 없음) 또는 0(고장 발생)으로 발생시켜, 명령어에 상관없이 TDO로 디바이스 레지스터 값이 계속해서 출력된다면 TAP 컨트롤러에 고장이 발생한 것을 알 수 있

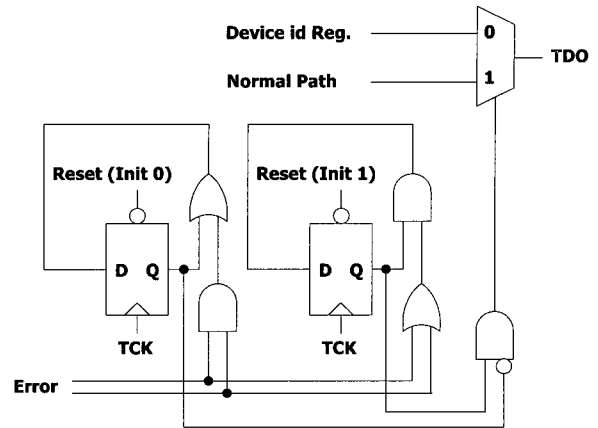


그림 7. 기존의 에러시그널 관측 구조  
Fig. 7. Structure for Previous Error Signal Observation.

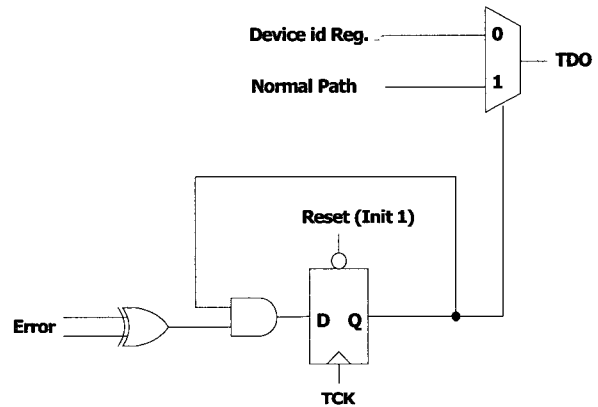


그림 8. 제안된 에러시그널 관측 구조  
Fig. 8. Structure for Proposed Error Signal Observation.

다. 이를 위해, 기존의 기법에서는 D-플립플롭 2개와 AND 게이트 3개, 그리고 OR 게이트 2개, 그리고 인버터 1개의 면적 오버헤드를 보였다. 이는 그림 7의 왼쪽 플립플롭이 Error 신호선에 발생하는 11을 처리하고, 오른쪽 플립플롭이 00을 상호 독립적으로 처리하도록 구현되었기 때문이다.

본 논문에서는 이러한 에러시그널의 관측회로를 오직 1개의 D-플립플롭과 XOR 게이트 1개, 그리고 AND 게이트 1개만으로 단순화시켜 구현하였으며, 이 회로의 구성도는 그림 8과 같다.

그림 8의 플립플롭은 Reset 신호에 의해 1 값을 가지도록 초기화된다. 고장이 발생하지 않으면 신호선 Error에 01 이나 10 만이 들어오기 때문에 MuxSel 신호는 항상 1값을 유지하여 TDO에 정상동작 신호를 내보내게 된다. 만일 고장이 발생하여 신호선 Error에 00 혹은 11 값이 생성되면 플립플롭의 다음상태는 그 이후로 항상 0 값을 가지게 된다. 회로의 특성상 고장이 한 번이라도 발생하면 MuxSel에 항상 0이 출력되기 때문

에, TDO로 출력되는 값은 다른 모든 컨트롤 신호에 상관없이 디바이스 레지스터에 저장된 값이 출력되어 고장이 발생했음을 알 수 있다. 본 회로는 기존의 에러 시그널 관측 기법에 비해 약 50%의 면적 오버헤드 향상을 보이며, 기존의 기법에서 수행하는 에러시그널 관측 기능을 성공적으로 수행해낸다. 따라서 IEEE 1149.1 TAP 컨트롤러를 CED 기법으로 테스트하는 데 있어서 최소한의 면적오버헤드를 달성하였다.

### V. 실험 결과

본 논문에서는 IEEE 1149.1 TAP 컨트롤러를 테스트하기 위한 CED 기법에 대해 연구하였다. 이 중에서 최소한의 면적 오버헤드를 가지는 기법을 가려내기 위해서, 본 연구에서는 CED 기법을 적용하지 않은 순수 회로와, 3장에서 설명한 3가지 CED 기법들을 적용한 회로를 각각 구현하여 면적 오버헤드를 비교하였다. 구현된 CED 기법은 모든 단일 고착 고장을 검출할 수 있도록 설계되었으며 각각의 면적 오버헤드는 그림 9와 같다. 합성 툴은 Synopsys사의 Design Analyzer를 사용하였다. 모든 회로에는 본 논문에서 제안한 에러 시그

널 관측 회로가 구현되어 포함되어 있다.

실험을 위해서 테스트기법이 적용되지 않은 TAP 컨트롤러 회로, 그리고 TAP에 각각의 CED 기법을 적용한 회로, 즉 중복 기법, 패리티 예측 기법, 혼합 기법을 적용한 회로를 모두 구현하였다. 그림 9의 (a)는 4개의 회로에서 각각 필요로 하는 플립플롭의 총 개수의 비교를 그래프로 나타낸 것이다. CED 기법을 적용하지 않은 순수 TAP 컨트롤러의 플립플롭 개수는 상태 값을 저장하는 네 비트와 조합회로 중 Reset, Enable, ShiftIR, ShiftDR 신호선의 타이밍에 필요한 네 비트를 포함하여 모두 8개이다. 중복 기법은 TAP 컨트롤러 회로의 2배에 해당하는 플립플롭과 에러시그널 관측에 사용되는 1개의 플립플롭이 추가되어 총 17개의 플립플롭이 사용된다. 패리티 예측 기법에서는 상태 값의 오드 패리티를 저장하는 1개의 플립플롭과 관측용 플립플롭이 추가되어 총 10개의 플립플롭이 소요된다. 또한 혼합 기법에서는 패리티를 위한 플립플롭 1개와 조합회로를 중복시켜서 추가되는 4개의 플립플롭, 그리고 관측용 플립플롭 1개가 추가되어 총 14개의 플립플롭이 사용된다. 플립플롭의 개수는 패리티 예측 기법의 경우가 가장 적은 면적 오버헤드를 보였다.

그림 9의 (b)는 각각의 회로가 합성되고 난 후의 총 게이트 수를 2입력-NAND 게이트의 수로 정량적으로 표현한 것이다. TAP 컨트롤러를 테스트하기 위해 세 가지의 CED 기법들을 적용할 경우, 중복 기법, 패리티 예측 기법, 혼합 기법의 순으로 점차 면적 오버헤드가 줄어드는 것을 알 수 있다. 이러한 면적의 크기를 비율로 표시한 것이 그림 9의 (c)에 나타나있다. (c)는 테스트기법이 적용되지 않은 순수 TAP 컨트롤러의 면적의 크기를 100%로 보았을 때 각각의 CED 기법들이 보이는 면적의 상대수치를 나타내었다. 실험결과에서와 같이, 중복 기법이 TAP 컨트롤러를 테스트하기 위한 CED 기법 중 가장 큰 오버헤드를 보였으며, 패리티 예측 기법은 중복 기법보다 조금 향상된 면적 오버헤드를 보였다. 패리티 예측 기법은 상대적으로 적은 플립플롭을 필요로 하지만, 조합회로의 패리티 생성을 위한 회로와 패리티체커의 면적 오버헤드가 작지 않음을 알 수 있다. 혼합기법은 조합회로 부분의 패리티 생성 부분을 원래의 기능회로로 중복시키고 플립플롭 부분에는 한 개의 플립플롭과 패리티 생성 회로로 구현함으로써 순수 TAP 컨트롤러에 대비해 면적 193%의 가장 적은 수치를 나타내었다. 즉, 패리티 예측 기법을 제외한 두 가지 CED 기법은 면적 오버헤드만을 따졌을 경우 모두

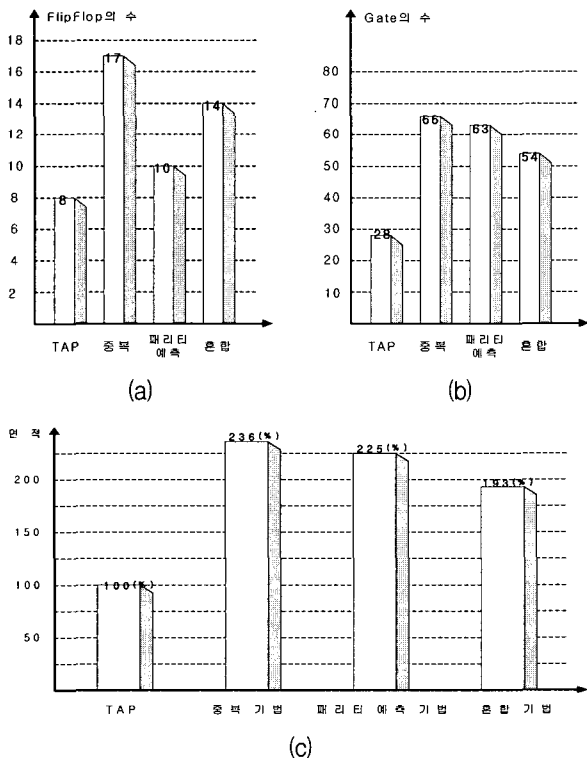


그림 9. CED 기법을 적용한 TAP 컨트롤러 설계의 면적 오버헤드 비교

Fig. 9. Area Overhead Comparison of CED technique for TAP Controller.

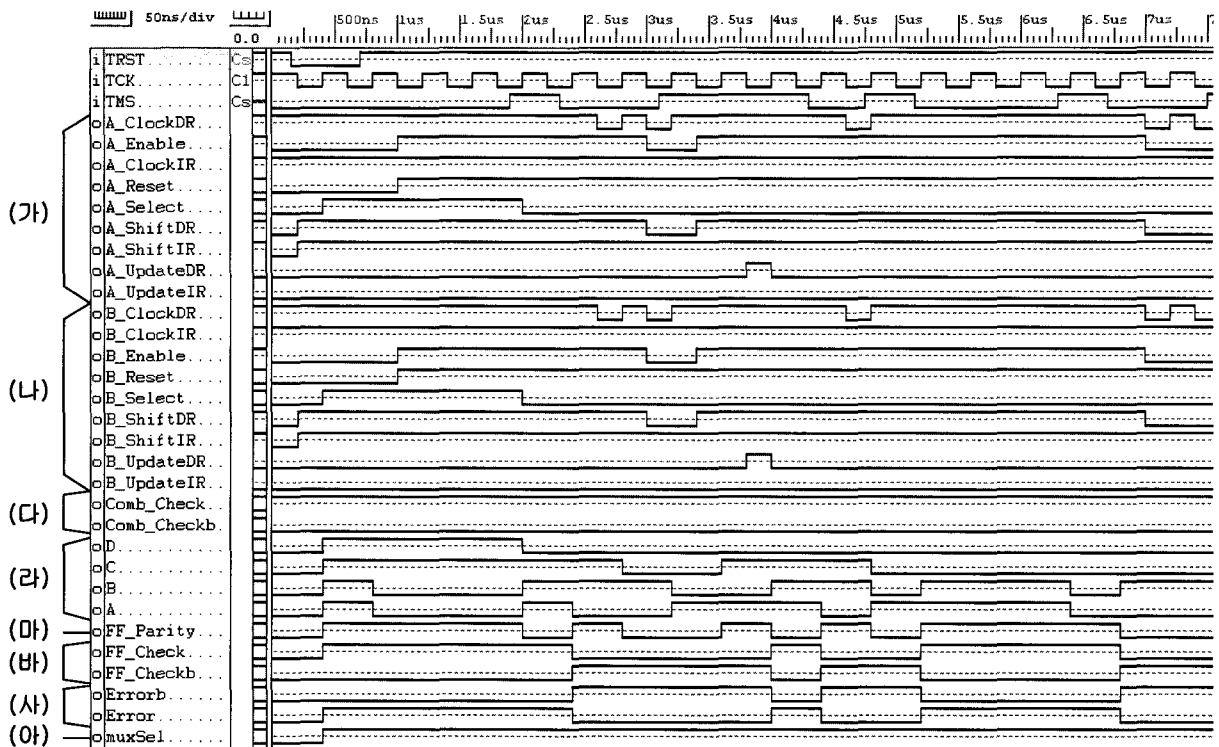


그림 10. 혼합 기법이 적용된 IEEE 1149.1 TAP 컨트롤러의 테스트 시뮬레이션 파형  
 Fig. 10. Wave Simulation of TAP Controller with Hybrid Technique.

100%를 초과하였으며, 패리티 예측 기법만이 100% 이하인 93%의 추가적인 면적 오버헤드를 보였다. 따라서 IEEE 1149.1 TAP 컨트롤러 테스트에 적용할 수 있는 가능한 가장 적은 면적 오버헤드를 보이는 최적의 CED 테스트 기법은 중복기법과 패리티 예측기법의 장점을 취합한 혼합기법임을 알 수 있다.

그림 10은 구현된 CED 기법들 중 가장 적은 면적 오버헤드를 보이는 혼합 기법을 적용하여 TAP 컨트롤러를 테스트하는 시뮬레이션 파형을 보여준다. 상태 값을 저장하는 플립플롭을 위해서는 오드 패리티 검사기를 사용하였으며 출력 시그널을 위한 조합 회로를 위해서는 중복 기법을 사용하였다. 조합회로(그림 6의 Combinational Circuit1)를 A라고 하고 중복시킨 조합회로(그림 6의 Combinational Circuit2)를 B라고 했을 때, IEEE 1149.1 회로의 리셋 시그널인 TRST이 1값을 가진 후부터 A와 B의 조합회로에서 출력되는 각각의 9개의 시그널들은 정상 동작일 경우 그림의 (가), (나)와 같이 각각 동일한 값을 출력해야 한다. 고장이 없는 경우 조합회로 출력들의 동일검사기(그림 6의 Comb Comparator)로부터 생성되는 출력 값인 Comb\_Check와 Comb\_Checkb 신호 선은 그림의 (다) 부분과 같이 항상 10 값을 가진다<sup>[9]</sup>. 또한 TAP 컨트롤러의 상태 값을 저장하는 4비트의 플립플롭(그림 6의 FlipFlops)은 (라)부

분과 같이 MSB(Most Significant Bit)부터 차례로 D, C, B, A로 표시했으며, 패리티 생성 부분에서 각각의 상태 값에 따른 패리티 비트를 만들어 (마)와 같이 FF\_Parity 시그널로 내보내어 레지스터(그림 6의 P)에 저장된다. 4개의 플립플롭 저장 값들 중 1의 개수가 짝수인 경우 1값을 가진다. 이 다섯 개의 신호선들은 오드 패리티 검사기(그림 6의 FF-Parity Checker)를 통해 실제 상태 값에 고장이 없는 지 체크하여 정상 동작일 경우 그림의 (바)와 같이 최종 비교기(그림 6의 Fianl Comparator)의 출력인 FF\_Check와 FF\_Checkb 신호선에 10 혹은 01 값을 내보낸다. Error와 Errorb 신호선은 그림의 (사)와 같이 최종적으로 Comb\_Check, Comb\_Checkb, FF\_Check, FF\_Checkb 신호선을 입력으로 받아 전체 TAP 컨트롤러에 고장이 있는 지 여부를 표시한다. 고장이 발생하면 11 혹은 00을, 고장이 없는 경우에는 01 혹은 10 값을 내보낸다. 최종 에러 시그널은 그림 8에서 설명한 바와 같이 TDO로 출력되는 멀티플렉서의 컨트롤 신호로 연결되며 정상인 경우 노멀 동작 값을 TDO로 내보내며, 고장이 발생하면 다른 컨트롤 신호에 관계없이 디바이스 레지스터 값을 TDO로 내보내게 된다. 또한 고장이 한번 발생하면 다시는 노멀 동작 값을 내보내지 않게 하여 고장 발생 유무를 언제 든지 완벽하게 알 수 있다. 그림 10의 (아)와 같이 고장

이 발생하지 않을 경우 계속해서 1값을 내보내는 것을 확인할 수 있다.

## VI. 결 론

본 논문에서는 기존에 제안된 여러 종류의 CED 테스트 기법을 IEEE 1149.1 TAP 컨트롤러에 적용하여 최적의 면적 오버헤드를 구현하는 기법에 대해 연구하였다. 중복 기법과 패리티 예측 기법, 그리고 혼합 기법을 각각 구현하여 실험한 결과 혼합 기법이 93%의 가장 적은 면적 오버헤드를 보였으며, 이는 TAP 컨트롤러 회로의 규모가 작기 때문에 CED 기법을 적용하기에 충분하다. 또한 기존의 에러시그널 관측 기법을 위한 회로에서 불필요한 부분을 개선하여 테스트 응답을 관측하는 데 필요한 회로의 면적 오버헤드를 약 50% 줄일 수 있었다. 따라서 본 논문에서 제안한 관측 기법과 혼합 CED 테스트 기법을 활용하여, 앞으로 IEEE 1149.1 TAP 컨트롤러를 최소의 면적 오버헤드만으로 테스트하는 데 널리 사용될 수 있을 것으로 기대된다.

## 참 고 문 헌

- [1] M. Abramovici, M. A. Breuer and A. D. Friedman, Digital System Testing and Testable Design, Computer Science Press, 1990.
- [2] IEEE Standard 1149.1: Standard Test Access Port and Boundary Scan, 1990.
- [3] K. P. Parker, The Boundary Scan Handbook, Kluwer Academic Publishers, 1998.
- [4] B. Nadeau-Dostie, Design for At-Speed Test, Diagnosis and Measurement, Kluwer Academic Publishers, 2000.
- [5] Xilinx Virtex Application Notes, XAPP151(v1.5), 2000.
- [6] A. T. Dahbura, M. Uyar and C. W. Yau, "An Optimal Test Sequence for the JTAG/IEEE P1149.1 Test Access Port Controller," Intl. Test Conf., 1989.
- [7] S. Mitra, E. J. McCluskey and S. Makar, "Design for Testability and Testing of IEEE 1149.1 Tap Controller," Proc. IEEE VLSI Test Symposium, 2002.
- [8] Dimitris Nikolos, "Optimal Self-Testing Embedded Parity Checkers," IEEE Transactions on Computers, Vol. 47, No. 3, 1998.
- [9] Steven D. Millman and E. J. McCluskey, "Bridging, Transition, and Stuck-Open Faults in Self-Testing CMOS Checkers," Fault-Tolerant Computing, Digest of Papers, Twenty-First International Symposium, 1991.
- [10] C. Zeng, N. R. Saxena and E. J. McCluskey, "Finite State Machine Synthesis with Concurrent Error Detectino," Proc. Intl. Test Conf., 1999.
- [11] E. J. McCluskey, "Design Techniques for Testable Embedded Error Checkers," IEEE Computer, Vol. 23, Issue. 7, 1990.
- [12] K. Mohanram, C. V. Krishna, N. A. Touba, "A methodology for automated insertion of concurrent error detection hardware in synthesizable Verilog RTL," IEEE International Symposium on Circuits and Systems, Vol. 1, 2002.
- [13] E. F. Moore, "Gedanken Experiments on Sequential Machines," in Automata Studies, pp. 129-253, Princeton University Press, Princeton, New Jersey, 1956.

## 저 자 소 개



김 문 준(학생회원)  
2000년 숭실대학교 컴퓨터학부  
학사 졸업.  
2002년 숭실대학교 컴퓨터학과  
석사 졸업.  
2002년 3월~현재 숭실대학교  
대학원 컴퓨터학과 박사  
과정

<주관심분야: VLSI 설계 및 테스트, 컴퓨터구조,  
VLSI CAD>



장 훈(정회원)  
1987년 서울대학교 공대  
전자공학과 학사 졸업.  
1989년 서울대학교 공대  
전자공학과 석사 졸업.  
1993년 University of Texas at  
Austin 졸업.

1991년 IBM Inc. Senior Member of Technical  
Staff.

1993년 Motorola Inc. Senior Member of  
Technical Staff.

1994년~현재 숭실대학교 컴퓨터학부 부교수.

<주관심분야: 통신, 컴퓨터, 신호처리, 반도체>