

논문 2004-41SC-6-3

저전력 소비를 위한 저전압 스윙 도미노 로직

(A Small Swing Domino Logic for Low Power Consumption)

양 성 현*, 김 두 환**, 조 경 록**

(Sung-Hyun Yang, Doo-Hwan Kim, and Kyoung-Rok Cho)

요 약

본 논문에서는, 저전력 소비를 위한 새로운 저전압 스윙 도미노 로직 회로를 제안한다. 전력 소비를 줄이기 위해, 도미노 로직의 예비충전(precharge) 노드와 출력 노드가 0V부터 $V_{REF}-V_{TH}$ 까지의 범위에서 스윙하도록 설계하였다. 여기서, $V_{REF}=VDD-nV_{TH}$ ($n=0, 1, 2, 3$)로 정의되며 설계자는 요구되는 속도와 전력 소비 특성을 감안하여 n 값을 설정할 수 있다. 이와 같은 특성은 누설 전류 없이 저전압 입력을 받을 수 있는 인버터의 구조에 의해 얻어진다. 제안된 도미노 로직을 적용하여 4×4 Braun 곱셈기를 설계하였고 공급전압 3.3V를 갖는 0.35 μ m n-well CMOS 공정으로 제작하였다. 제작된 칩은 기존 회로들과 비교할 때, 30% 이상의 전력 감소효과를 나타내며 전력-지연 곱에서도 우수한 성능을 나타내었다.

Abstract

In this paper, we propose a new small swing domino logic for low-power consumption. To reduce the power consumption, both the precharge node and the output node swing the range from 0 to $V_{REF}-V_{THN}$, where $V_{REF}=VDD-nV_{THN}$ ($n=1, 2, \text{ and } 3$). This can be done by adding the inverter structure on domino logic that allows a full swing or a small swing on its input terminal without leakage current. Compared to previous works, the proposed structure can save the power consumption of more than 30% for $n=0, 1, 2, \text{ and } 3$ in the equation of $V_{REF}=VDD-nV_{THN}$. A multiplier applying the proposed domino logic has been designed and fabricated using a 0.35- μ m n-well CMOS process under 3.3-V supply voltage. Compared with other previous works, it shows a 30% power reduction and a better feature in power-delay product.

Keywords : Domino logics, small-swing circuits, low-power circuits, multipliers

I. 서 론

최근, 회로설계에 있어서 회로의 저전력 소비 특성이 설계 목표로 되고 있다^[1-15]. 이러한 추세를 따라 실제 회로 설계에서 정적(static) 회로보다 동적(dynamic) 회로가 더 많이 사용되고 있으며 특히 도미노 로직

(domino logic)은 다음과 같은 장점을 가진다. PMOS 트랜지스터를 예비충전(precharge)용으로만 사용하기 때문에 회로 크기가 작고, 입력 capacitance가 작아 고속 동작이 가능하며, 따라서 저전력 소비 특성을 가지고 있다. 또한 상대적으로 높은 잡음 여유(noise margin)를 가지고 있다^[5-6]. 그러나 도미노 로직은 대부분 full-custom 설계를 요구하므로 설계 비용이 높고, 각 노드 사이의 전하 공유(charge sharing) 현상으로 인해 회로가 오동작할 수 있으며, subthreshold 전류를 흐르게 하여 전력 소비가 증가할 수 있다. 다른 회로들에 비해서 테스트가 어려운 것도 단점이라고 할 수 있다.

디지털 CMOS 회로에서 소비되는 전체 전력을 P_{total} 이라고 할 때, 전체 소비 전력 P_{total} 은

* 정회원, LG 전자 SIC DNI 그룹
(SIC DNI Group, LG Electronics)

** 정회원, 충북대학교 정보통신공학과 컴퓨터정보통신 연구소

(Dept. of Computer and Communication Engineering and Research Institute for Computer and Information Communication, Chungbuk National University)

※ 본 연구는 반도체설계교육센터(IDEC)의 설계지원과 산업자원부 한국산업기술재단 지역혁신인력양성사업의 연구비 지원으로 수행되었음.

접수일자: 2004년7월6일, 수정완료일: 2004년11월3일

$$P_{total} = p_t(C_L \cdot VDD \cdot V_{sig})f_C + I_{sc} \cdot VDD + I_{leakage} \cdot VDD \quad (1)$$

와 같이 계산될 수 있다^[10, 15]. 여기서, p_t 는 전력 소비가 일어날 확률, C_L 은 출력단 인버터에 의해 구동되는 출력 커패시턴스, VDD 는 공급전압, V_{sig} 는 출력 전압 스윙, f_C 는 스위칭 주파수를 나타낸다. I_{sc} 는 단락회로 전류(short-circuit current)이고 $I_{leakage}$ 는 junction이나 subthreshold 영역에서 발생하는 누설전류(leakage current)를 나타낸다. 식 (1)에서 첫 번째 항은 출력 부하 C_L 을 충전/방전할 때 발생하는 동적 전력(dynamic power)을 나타내며, 올바르게 설계된 회로라면 동적 전력이 전체 전력 소비의 대부분을 차지한다. 두 번째 항은 전류가 VDD 로부터 접지로 곧바로 흐를 때 발생하는 단락 회로 전력(short circuit power)을 나타낸다. 마지막 항은 각각의 트랜지스터에서 발생하는 누설 전류로 인한 전력 소비를 나타낸다.

일반적으로 CMOS 회로에서는 전력 소비를 줄이기 위해, 동적 전력 소비를 유발하는 성분들을 줄인다. 즉, 식 (1)의 첫 번째 항에 나타난 성분들을 줄임으로써 저전력 회로 특성을 얻는다. 특별히, 저전압 스윙 기법에서는 저전력 특성을 얻기 위해, 동적 전력 성분 중에서 V_{sig} 를 줄이는 방법을 사용한다. $V_{sig} < VDD$ 인 저전압 스윙을 사용하는 회로를 생각하면, $V_{sig} = VDD$ 인 풀 스윙 회로와 비교할 때 $(V_{sig}/VDD) \times 100\%$ 의 전력만 소비된다. 본 논문에서는 저전력 소비 특성을 얻기 위해, 표준 CMOS 공정으로 구현 가능한 저전압 스윙 도미노 회로를 제안한다.

본 논문의 구성은 다음과 같다. II장에서는 기존의 도미노 회로의 구조와 동작에 대해 알아보고 III장에서는 제안한 도미노 회로의 구조와 동작, 그리고 저전압 스윙 특성에 대해 논의한다. 또한 저전압 스윙 기법의 한계를 정리한다. IV장에서는 제안된 도미노 회로를 적용하여 곱셈기를 설계하고 시뮬레이션 결과를 제시한다. V장에서는 실제로 제작된 칩에 대한 실험결과를 분석한다. 마지막으로 VI장에서는 결론을 내린다.

II. 기존의 도미노 회로들

그림 1은 일반적인 도미노 회로의 구조를 나타낸다. 앞단은 클럭 신호 clk 를 입력으로 하는 $MPS1$ 과

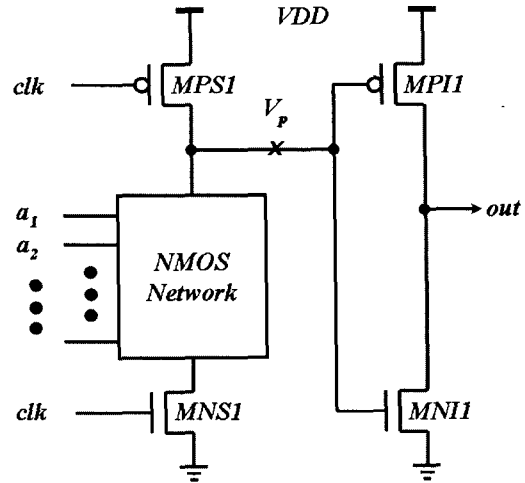


그림 1. 일반적인 도미노 로직 회로
Fig. 1. Conventional domino logic circuit.

$MNS1$, 그리고 NMOS Network으로 구성되며, 뒷단은 단순한 CMOS 인버터임을 알 수 있다. 도미노 회로의 동작은 $clk=0$ 인 예비충전 단계(precharge phase)와 $clk=1$ 인 로직결정 단계(evaluation phase)로 이루어지며, 회로의 동작은 NMOS Network에 의해 결정된다. $clk=0$ 일 때는 PMOS 트랜지스터 $MPS1$ 이 켜져서 예비충전 노드(precharge node) V_p 를 VDD 까지 충전한다. $clk=1$ 이 되면, $MPS1$ 은 꺼지고 $MNS1$ 이 켜진다. 또한 NMOS Network은 입력 조합에 따라 V_p 노드에 충전된 전압을 방전하거나 그대로 유지할지의 여부를 결정한다. V_p 노드를 입력으로 하는 인버터는 예비충전 단계에서 무조건 0을 출력하며, 로직결정 결과에 따라 0을 유지하거나 1을 출력한다.

그림 2는 Rjoub이 제안한 저전압 스윙 도미노 로직 회로의 구조를 나타낸다^[1]. 이 구조는 출력 전압의 스윙을 줄이기 위해 인버터를 구성하는 $MPII$ 과 $MNII$ 사이에 NMOS 트랜지스터 $MNLI$ 를 삽입하였다. $MNLI$ 의 게이트 입력에 V_{REF} 를 인가하면 출력 노드 out 은 0V부터 $V_{REF}-V_{THN}$ 까지의 범위를 스윙한다. 설계자는 기준전압 V_{REF} 를 원하는 값으로 설정함으로써 저전압 스윙을 구현할 수 있다. V_{REF} 전압은 그림 2에서 보는 바와 같이 $MB1$ 부터 MBn 트랜지스터에 의해 $V_{REF} = VDD - nV_{THN}$ 으로 결정되며, 이것은 트랜지스터의 문턱 전압 강하(threshold voltage drop) 특성을 이용한 것이다. 그림 2의 커패시터는 MBn 의 소스/드레인 기생 커패시턴스보다 5배 이상 큰 값을 사용해야 안정된 V_{REF} 전압을 유지할 수 있으며 간단한 MOS 커패시터로 구현할 수 있다^[1].

그림 2의 회로는 일반적인 도미노 회로와 동작은 같

지만 출력 전압 스윙이 다르다. $clk=0$ 이 되면, 예비충전 노드 V_p 가 VDD 로 충전되고 $MNII$ 이 켜져서 도미노 회로의 출력은 $0V$ 를 나타낸다. $clk=1$ 일 때, V_p 노드가 VDD 를 유지한다면 출력은 $0V$ 가 된다. 그러나 V_p 노드가 방전하여 $0V$ 가 되면, $MPII$ 이 켜지고 이 때의 출력 전압은 $MNLI$ 트랜지스터 때문에 $V_{REF}-V_{THN}$ 이상 올라갈 수 없다. 출력 전압의 스윙 범위는 다음 단의 $NMOS\ Network$ 을 동작시킬 수 있는 범위까지 줄일 수 있다^[1]. 그림 2의 구조는 일반적인 도미노 회로보다 출력 전압 스윙이 작으므로 식 (1)에 의해 동적 전력 소비가 줄어들게 된다.

III. 제안된 저전압 스윙 도미노 회로

도미노 로직 회로의 전력 소비를 더욱 감소시키기 위해, 본 논문에서는 새로운 저전압 스윙 도미노 회로를 제안한다. 제안된 회로는 출력 노드뿐만 아니라 예비충전 노드 V_p 에도 저전압 스윙 기법이 적용되었다. 예비충전 노드에 저전압 스윙을 적용하려면 뒷단의 인버터가 저전압 스윙을 받아들일 수 있어야 한다. 그림 2의 인버터 구조는 풀 스윙 입력만을 받을 수 있다. 만약 이 인버터로 저전압 스윙이 입력되면, NMOS와 PMOS가 동시에 켜져서 많은 양의 단락 전류가 흐르게 되고, 이는 전력 소비를 증가 시킨다. 예비충전 노드가 high로 충전되어 있을 때, 인버터를 구성하는 PMOS가 완전히 꺼져 있어야 이런 현상을 막을 수 있다.

3.1 제안된 도미노 회로의 구조와 동작

그림 3은 제안된 저전압 스윙 도미노 회로의 구조를 나타낸다. 출력 노드와 예비 충전 노드가 모두 $0V$ 부터 $V_{REF}-V_{THN}$ 까지의 범위를 스윙을 하도록 설계되어 Rjoub의 회로보다 우수한 저전력 소모 특성을 얻을 수 있다. 먼저 그림 3의 $MNLI, MPII, MNII$ 으로 구성된 인버터를 살펴보자. 그림 2의 인버터와 비교할 때, $MNLI$ 와 $MPII$ 의 위치가 서로 바뀌어 있음을 알 수 있다. 그림 3의 인버터 구조로부터 얻을 수 있는 장점은 풀 스윙 입력 전압뿐 아니라 저전압 스윙 입력도 누설 전류 없이 받아들일 수 있다는 것이다. 그림 3의 앞단은 예비충전 노드 V_p 가 저전압 스윙을 할 수 있도록 $MPSI$ 위에 $MNL2$ 를 삽입한 구조를 사용한다. 이로써 예비충전 노드의 최대 충전 전압은 $V_{REF}-V_{THN}$ 이 된다. 기준전압 V_{REF} 를 생성하는 회로는 그림 2에 나타낸 것과 동일한 구조를 사용한다. PMOS 트랜지스터 $MPSI$

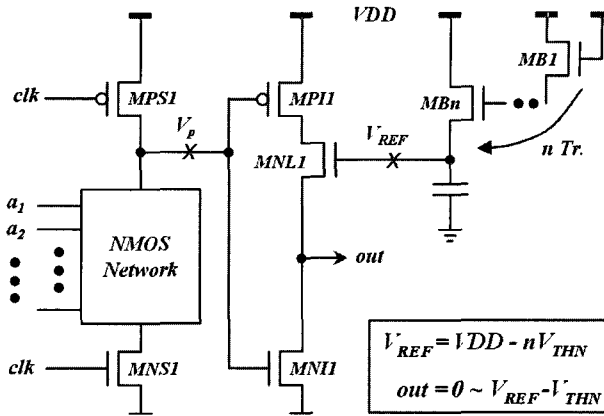


그림 2. Rjoub의 저전압 스윙 도미노 회로^[1]
Fig. 2. Rjoub's small swing domino circuit^[1].

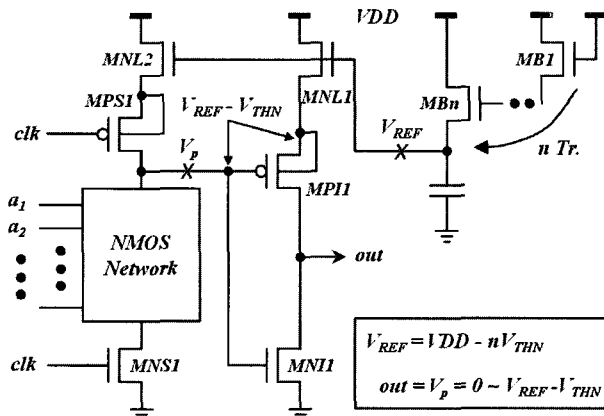
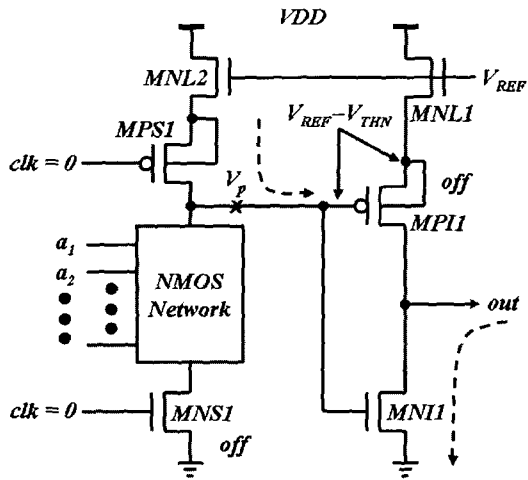


그림 3. 제안된 저전압 스윙 도미노 로직 회로
Fig. 3. Proposed small swing domino logic circuit.

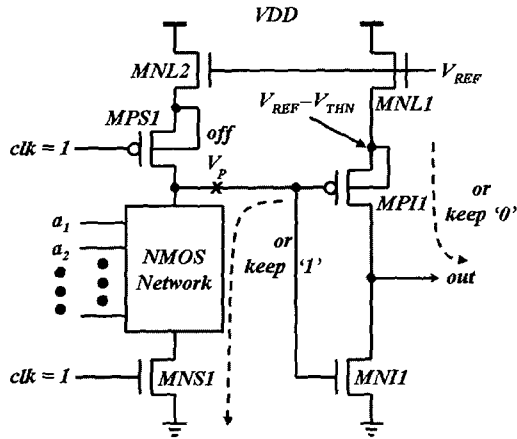
과 $MPII$ 의 바디(body)는 소스(source)에 함께 연결해서 body effect로 인한 V_{TH} 증가를 최소화한다.

그림 4는 제안된 도미노 회로의 동작을 나타낸다. 먼저 $clk=0$ 인 예비충전 단계에는 그림 4(a)와 같이 $MPSI$ 이 켜져서 예비충전 노드가 $V_{REF}-V_{THN}$ 이 된다. 이에 따라 $MNII$ 이 켜지고 출력은 $0V$ 가 된다. 이때 $MPII$ 의 소스 전압은 예비충전 노드 전압과 같은 $V_{REF}-V_{THN}$ 이므로 $V_{SG,MPII}=0V$ 가 되어 $MPII$ 은 완전히 꺼지게 된다. 그림 4(b)는 로직결정 위상일 때의 동작을 나타낸다. $clk=1$ 이므로 $MPSI$ 은 꺼지고 $MNSI$ 이 켜진다. 만약 $NMOS\ Network$ 의 입력 조합이 조건을 만족하지 않는다면, 예비충전 노드의 전압은 $V_{REF}-V_{THN}$ 을 유지하며 출력도 계속 $0V$ 를 나타낸다. 반대로 $NMOS\ Network$ 이 방전 경로를 형성해서 V_p 노드를 $0V$ 까지 방전하면, $MNII$ 은 꺼지고 $MPII$ 이 켜져서 출력 노드를 $V_{REF}-V_{THN}$ 까지 끌어 올린다.

그림 4(b)에서 출력이 high를 나타낼 때, $MPII$ 의 소스-게이트 사이의 전압 $V_{SG,MPII}$ 는 $V_{REF}-V_{THN}$ 이 된다.



(a)



(b)

그림 4. 제안된 도미노 회로의 동작 (a) 예비충전 위상 (b) 로직결정 위상

Fig. 4. Operation of the proposed domino circuit: (a) precharge phase (b) evaluation phase.

그러나 그림 1과 2의 구조에서는 $V_{SG,MPII}=V_{DD}$ 가 된다. 따라서 제안된 도미노 회로가 전류를 더 적게 흘릴 것이다. 전류가 적게 흐르는 만큼 전력 소비가 줄어들지만 그만큼 동작 속도도 감소한다. 제안된 저전압 스윙 도미노 회로는 clk 신호도 저전압 신호로 입력으로 할 수 있으므로 clock driver가 소모하는 상당량의 전력을 줄일 수 있다^[9, 11]. clock 신호의 저전압 스윙은 저전력 소비 특성 이외에 clock feed-through 현상이나 EMI (electro-magnetic interference) 등의 문제를 완화시킬 수 있는 장점이 있다.

3.2 저전압 스윙 기법의 한계

저전압 스윙 기법의 목적은 신호의 스윙 범위를 줄여서 동적 전력 소비를 줄이는 데 있다. 본 논문에서는 문

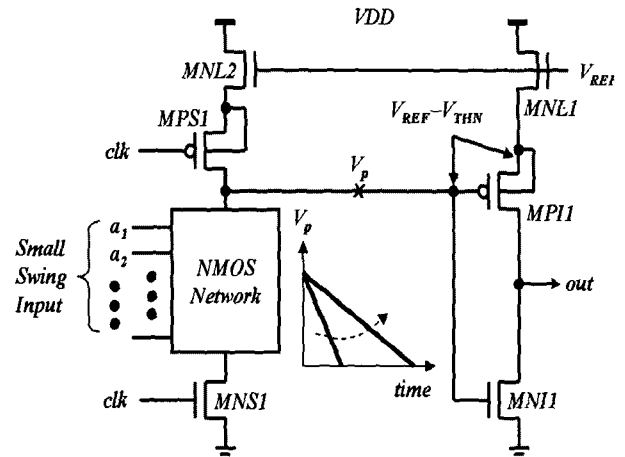


그림 5. 예비충전 노드의 방전 시간 증가 효과

Fig. 5. Effect of the discharge time increase of the precharge node.

턱 전압을 그대로 유지하므로 저전압 스윙 기법을 적용하는데 있어서 몇 가지 한계점이 있다. 신호 스윙과 문턱 전압을 함께 줄이는 방법도 있지만 누설전류가 증가하고 잡음 여유 특성이 나빠지며 별도의 공정이 추가되어야 하는 단점이 있다. 일반적으로 동적 전력 소비를 고려할 때 신호의 상승/하강 에지(rising/falling edge)의 천이 시간(transition time)은 포함되지 않는다^[5, 13]. 즉, 신호 천이 시간이 무시할 수 있을 만큼 작다고 가정하여 이 시간에 소비되는 단락회로 전력을 무시한다. 그러나 실제로 저전압 스윙 기법이 적용된 회로는 신호 천이 시간이 증가하게 되고, 결국 단락회로 전력이 전체 전력 소비를 결정하는 또 다른 성분이 된다.

그림 5에 나타낸 것과 같이, 저전압 스윙 입력은 예비충전 노드의 방전 시간을 증가시킨다. 입력 전압이 작아질수록 NMOS network의 등가 저항이 증가하여 예비충전 노드가 방전하는데 걸리는 시간이 길어진다. 방전시간의 증가는 MPII와 MNII으로 구성된 인버터로 흐르는 단락 전류를 증가시킨다. 즉 저전압 입력은 인버터의 PMOS와 NMOS가 동시에 켜지는 시간을 더 오래 지속시켜 전력 소비를 증가시킨다. 저전압 스윙 기법에서 단락 전류를 줄이려면 예비충전 노드의 방전이 빠르게 이루어지도록 해야 한다. 저전압 스윙 입력에 의해 증가된 NMOS Network의 등가저항은 다음과 같은 방법으로 줄일 수 있다.

- (1) NMOS Network의 트랜지스터 크기를 키운다.
- (2) NMOS Network 내부의 직렬 접속된 트랜지스터의 개수를 줄인다.
- (3) 트랜지스터의 문턱 전압을 낮춘다.

설계하고자하는 회로의 사양을 고려하여 신호의 스윙 레벨과 위의 항목들 간의 타협점을 찾는 것이 바람직할 것이다.

IV. Braun 곱셈기 설계

제안된 회로의 전력 소비 특성을 알아보기 위해, 제안된 저전압 스윙 도미노 회로를 적용한 4×4 Braun 곱셈기를 설계한다. 그림 1과 그림 2의 구조를 적용한 4×4 Braun 곱셈기를 각각 설계하여 성능을 비교한다. 설계 공정으로 3.3V의 공급 전압을 갖는 0.35 μ m CMOS 공정을 이용하였다.

4.1 Braun 곱셈기의 구조

Braun 곱셈기는 그림 6과 같이 AND 게이트들, carry save adder (CSA), ripple carry adder (RCA) 등으로 구성된다. 곱하는 수와 곱해지는 수는 비트단위로 AND 게이트에 입력되어 부분 곱(partial product)을 생성하고 CSA와 RCA를 거쳐서 전체 곱셈 연산을 완료한다. 곱셈 연산에 걸리는 전체 지연 시간은

$$T_{mul} = T_{AND} + (N - 1)T_{CSA} + T_{RCA} \quad (2)$$

로 계산될 수 있다. 여기서 T_{mul} 은 Braun 곱셈기의 전체 지연 시간이고 N 은 입력 비트 수를 나타낸다. 또한 T_{AND} , T_{CSA} , T_{RCA} 은 각각 AND 게이트, CSA, RCA에서의 지연 시간을 나타낸다. 그림 6의 점정색 인버터 심볼은 저전압 스윙 인버터를 나타내며 흰색 인버터는 풀스윙 인버터를 나타낸다. CSA와 RCA의 각 단(stage)은 기준 클럭 신호를 단계적으로 지연시킨 클럭을 사용하여 직렬 연결된 도미노 로직이 올바르게 동작하도록 한다^[8].

4.2 전가산기(Full Adder) 회로

제안된 저전압 스윙 도미노 로직을 이용한 전가산기 회로가 그림 7에 나타나 있다. V_{REF} 는 그림 2에서 사용한 회로를 동일하게 적용하여 생성한다. 그림 7을 보면 회로의 로직 연산이 NMOS 트랜지스터들에 의해서만 구현되므로 전가산기를 구현하기 위해서 반전 신호가 필요하게 된다. 본 논문에서는 반전 신호를 따로 생성하지 않고 예비충전 노드 전압을 반전 신호로서 사용한다. 그림 7의 keeper 트랜지스터 MPK 는 출력이 high가 될 때 $V_{SG,MPK}=0V$ 이므로 완전히 꺼진다. 따라서 누설전류 없이 동작하며, 예비충전 노드의 방전을 방해하

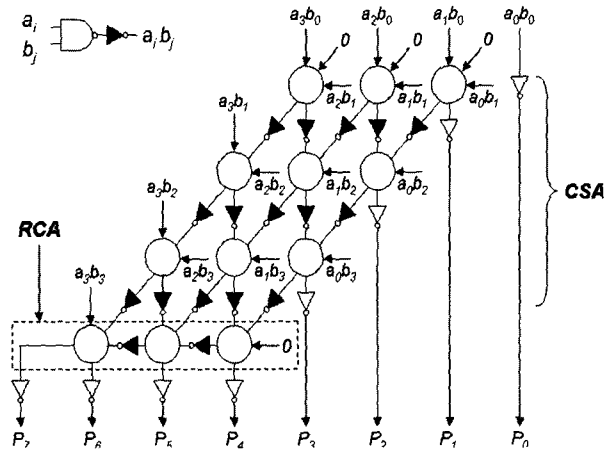


그림 6. 4×4 Braun 곱셈기의 구조
Fig. 6. Structure of a 4×4 Braun multiplier.

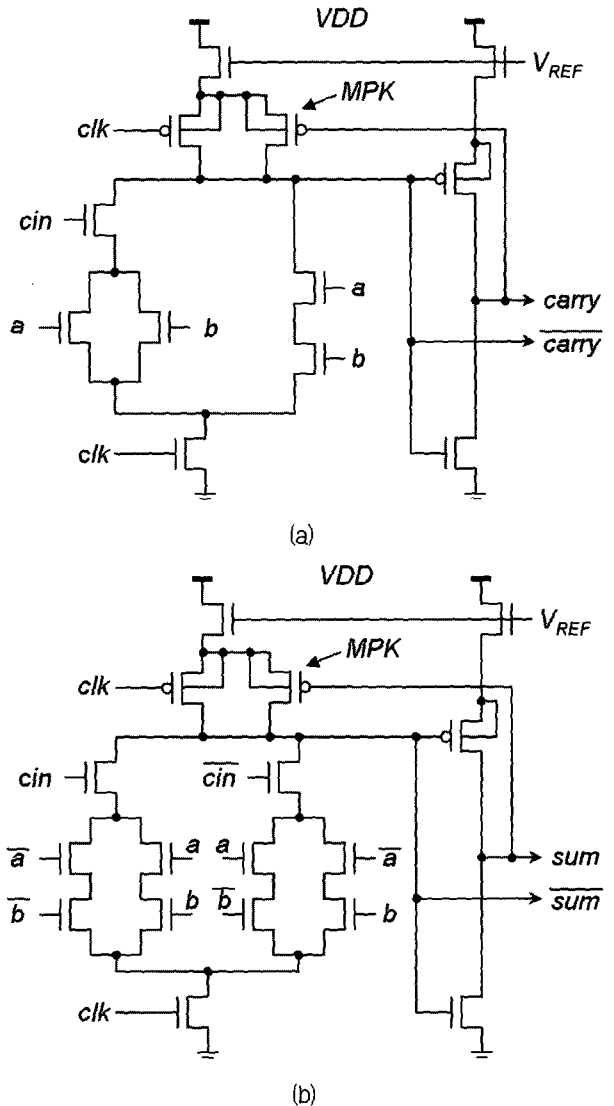


그림 7. 저전압 스윙 도미노 전가산기 (a) sum 회로 (b) carry 회로
Fig. 7. Proposed small swing full adder (a) sum circuit (b) carry circuit.

지 않으므로 회로의 동작 속도에도 영향을 덜 미친다. 그러나 그림 2의 구조는 keeper 트랜지스터를 적용하기 어렵다. 왜냐하면 출력이 high일 때, 출력 전압, 즉 MPK의 게이트 전압은 $V_{REF}-V_{THN}$ 이고, MPK의 소스 전압은 V_{DD} 이므로 $V_{SG,MPK}=V_{DD}-V_{REF}-V_{THN}$ 가 되어 keeper 트랜지스터가 항상 켜져 있기 때문이다. 예비충전 노드가 low로 방전할 때 keeper 트랜지스터가 계속 켜져 있으면 MPK와 NMOS Network을 지나는 전류 경로가 형성되어 전력 소비가 증가한다. 또한 방전 시간이 오래 걸려서 회로 동작 지연이 증가한다.

4.3 시뮬레이션 결과

그림 8은 설계된 도미노 전가산기에 대한 시뮬레이션 결과를 나타낸다. 설계 공정은 $0.35\mu m$ CMOS 공정이고 시뮬레이션 조건은 $V_{DD}=V_{REF}=3.3V$, $f_{clk}=20MHz$, $V_{THN}=0.65V$, $V_{THP}=-0.85V$, $T=25^{\circ}C$ 이고 각각의 출력 단자에는 $100fF$ 의 부하 커패시터를 연결하였다. V_{REF} 전압으로 V_{DD} 와 같은 전압을 사용하였으므로 예비충전 노드와 출력 노드의 전압은 $0V$ 부터 $V_{REF}-V_{THN}=V_{DD}-V_{THN}$ 까지의 범위를 스윙한다. 그림 8의 시뮬레이션 결과를 보면, 예비충전 노드와 출력 노드가 $0V$ 부터 약 $2.5V$ 까지 스윙하는 것을 알 수 있다. 또한 반전 신호, 즉 예비충전 노드는 전하 공유 현상의 영향을 받지만 keeper 트랜지스터의 동작에 의해 올바른 값으로 복귀하는 것을 알 수 있다.

그림 9는 제안된 저전압 스윙 도미노 로직을 적용한 4×4 Braun 곱셈기에 대한 시뮬레이션 결과를 나타낸다. 두 개의 입력 데이터 $a[3:0]$ 와 $b[3:0]$ 중에서, $b[3:0]$ 는 $15(=1111)_2$ 로 고정하고 $a[3:0]$ 는 매 클럭마다 1씩 증가시키도록 하였다. 따라서 출력 데이터는 다음과 같이 계산된다.

$$\begin{aligned}
 0 \times 15 &= 0 \quad (00000000) \\
 1 \times 15 &= 15 \quad (00001111) \\
 2 \times 15 &= 30 \quad (00011110) \\
 3 \times 15 &= 45 \quad (00101101) \\
 &\dots\dots\dots \\
 15 \times 15 &= 225 \quad (11100001)
 \end{aligned}$$

그림 9의 시뮬레이션 결과를 보면, 곱셈기의 출력 신호 $P[7:0]$ 는 저전압 스윙 기법을 사용하지 않는 다른 블록들을 구동하기 위해 풀 스윙 출력을 가진다. 이것은 그림 6에도 나타나 있다.

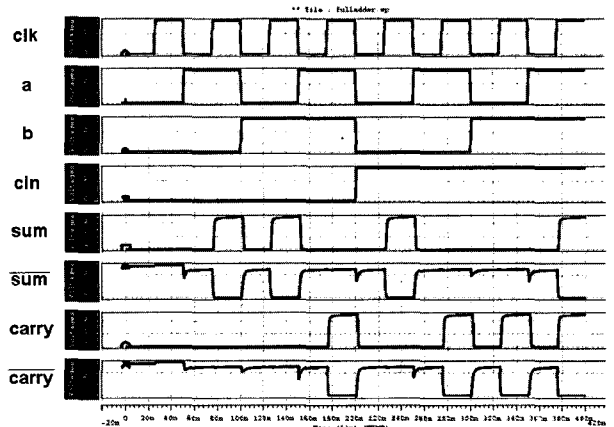


그림 8. 제안된 도미노 전가산기에 대한 시뮬레이션 결과($f_{clk}=20MHz$)

Fig. 8. Simulation result of the proposed domino full adder ($f_{clk}=20MHz$).

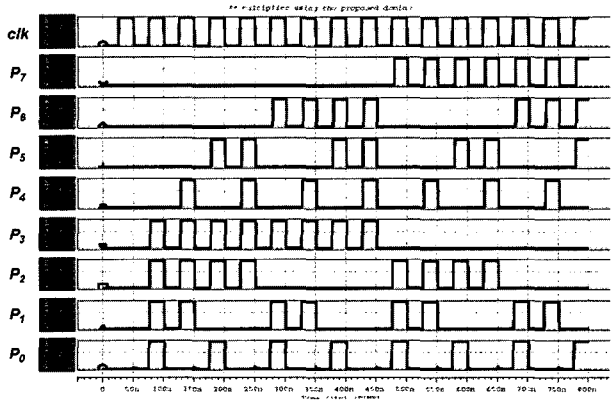


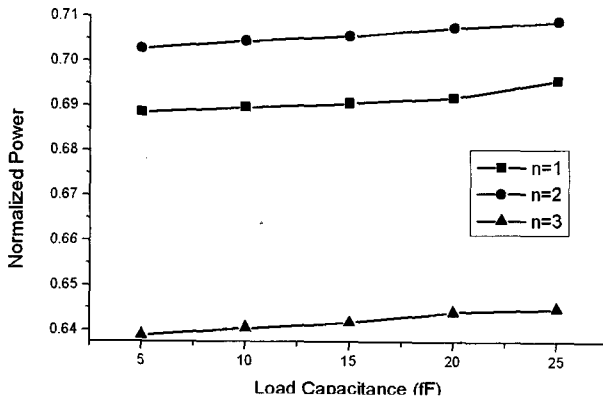
그림 9. $(a \times 15)$ 곱셈에 대한 시뮬레이션 결과 ($f_{clk}=20MHz$)

Fig. 9. Simulation result of an $(a \times 15)$ multiplication ($f_{clk}=20MHz$).

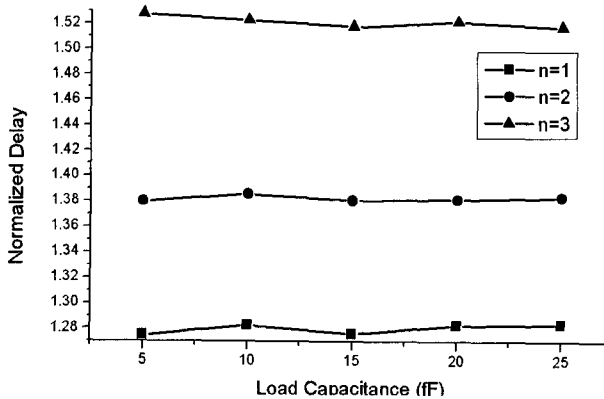
4.4 성능 비교

그림 10은 설계된 곱셈기의 전력, 지연, 전력-지연 곱을 나타낸다. 성능 비교를 위해, 각각의 그래프는 그림 2에 나타낸 Rjoub의 회로를 적용한 곱셈기의 전력, 지연, 전력-지연 곱 특성에 정규화(normalization)되었다. 회로의 전력 소비 특성은 전력 측정 회로(power meter circuit)를 사용하여 HSPICE에서 측정하였다^[4, 5]. n은 그림 2와 3의 V_{REF} 생성 회로에 사용된 NMOS 트랜지스터의 개수를 의미한다. 따라서 n이 증가할수록 회로의 스윙 범위는 줄어들게 되며 전력 소비는 감소한다. Rjoub의 회로와 비교할 때, 제안된 회로를 사용한 곱셈기는 전력 소비를 30% 이상 줄일 수 있다.

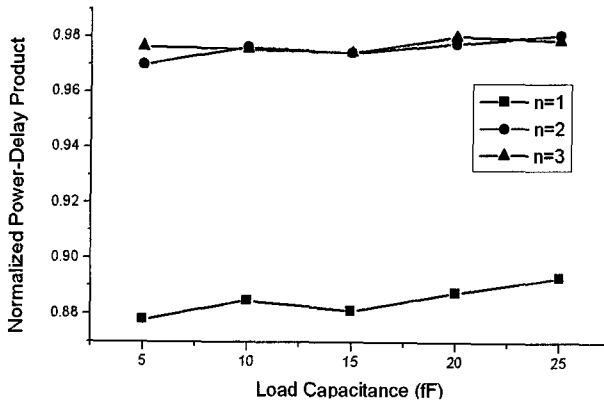
그림 10 (b)를 보면, 전압 스윙이 작아질수록 지연 시간은 증가하는 것을 알 수 있다. 이것은 저전압 스윙 입력이 NMOS Network의 등가 온-저항(equivalent on



(a) 정규화 전력



(b) 정규화 지연



(c) 정규화 전력-지연 곱

그림 10. 제안된 곱셈기의 성능(Rjoub의 곱셈기 성능에 정규화됨)

Fig. 10. Performance of the proposed multiplier (normalized to Rjoub's multiplier).

-resistance)를 증가시켜 예비충전 노드의 방전을 느리게 하기 때문이다. 제안된 회로의 전력-지연 곱은 $n=1, 2, 3$ 에 대해 모두 1보다 작은 값을 가져 Rjoub의 회로보다 성능이 좋다는 것을 나타내고 있다. n 이 2보다 큰 경우, 예비충전 노드의 방전 시간이 현저하게 증가하여 뒷단 인버터의 단락 전류가 증가한다. 즉, 전압 스윙이 작아질수록, 감소된 동적 전력 소비량이 단락회로 전력

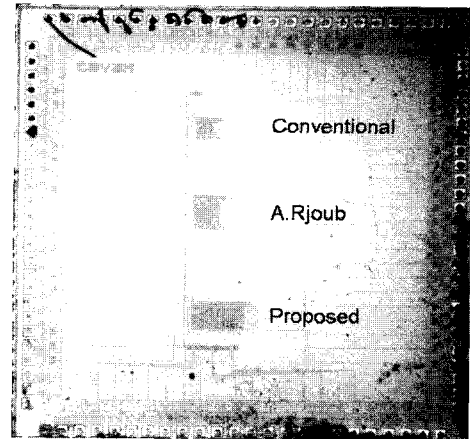


그림 11. 구현된 칩의 사진

Fig. 11. Photograph of the fabricated chip.

소비량의 증가분과 같아지는 경우가 발생한다. 따라서 $n \leq 2$ 를 유지하거나 NMOS Network을 구성하는 트랜지스터의 문턱전압을 낮추는 방법을 사용하는 것이 바람직하다. 본 논문에서는 특정 트랜지스터의 문턱전압을 변화시키는 방법은 배제하였다.

V. 실험결과

제안된 저전압 스윙 도미노 회로를 적용한 4×4 Braun 곱셈기와 그림 1과 그림 2의 구조를 적용한 4×4 Braun 곱셈기를 각각 설계하여 칩에 집적하였다. 칩 제작은 공급 전압 3.3V의 $0.35\mu\text{m}$ CMOS 공정을 이용하였고 그림 11에 구현된 칩의 사진이 나타나 있다. 제안된 곱셈기의 면적은 일반적인 도미노 회로를 적용한 곱셈기보다 1.5배 정도 증가한다. 이것은 문턱 전압 변화를 최소화하기 위해 바디를 소스에 연결한 PMOS 트랜지스터를 사용하기 때문이다. 즉 도미노 회로 내의 PMOS 트랜지스터가 n-well을 따로 써야 하므로 well과 well 사이의 간격 확보를 위해 더 많은 면적이 소비되는 것이다. PMOS 트랜지스터의 바디를 소스와 연결하지 않고 VDD에 연결하면 면적은 기존 회로들과 거의 동일해진다. 그러나 최대 약 0.15V 정도의 문턱 전압 변화가 나타나 회로의 속도에 영향을 미친다. 따라서 PMOS 트랜지스터의 바디 연결 방법은 회로에 요구되는 면적과 속도 조건을 고려하여 결정해야 할 것이다.

제안된 회로의 저전력 소모 특성을 알아보기 위해, 그림 12와 같이 세 개의 곱셈기에 대해 입력 클럭 주파수에 따른 전류 소모 특성을 측정하여 비교하였다. 식 (1)을 참고하면, 동적 전력 소모는 동작 주파수에 비례

하여 증가한다. 저전압 스윙 기법으로 인해 제안된 회로가 가장 적은 전류를 소모하는 것을 알 수 있다. 그러나 클럭 주파수가 증가함에 따라, 전력 소모의 감소분이 작아진다. 그림 12를 보면, 1MHz의 주파수에서 제안된 회로는 일반적인 도미노 회로에 비해 75%, Rjoub의 회로에 비해 50%의 전력 감소 효과를 보이지만, 5MHz에서는 전력 감소분이 각각 40%와 25%로 낮아진다. 이런 현상은 단락 전류에 의한 전력 소비를 나타내는 식 (3)에 의해 설명될 수 있다^[15].

$$P_{sc} = \frac{\beta}{12} (VDD - V_{THN})^3 \frac{t_{rf}}{T_{clk}} \quad (3)$$

여기서 t_{rf} 는 입력의 상승/하강 시간이고 T_{clk} 은 클럭 주기를 나타낸다. 일단 트랜지스터 회로의 물리적인 크기가 결정되면, t_{rf} 는 상수로 고정되므로 식 (3)의 t_{rf}/T_{clk} 항은 클럭 주파수가 증가할수록 커진다. 따라서 클럭 주파수가 증가하면 단락회로 전력도 증가하여 저전압 스윙으로 얻은 전력 감소분이 감소하는 것이다. 이러한 모든 현상에도 불구하고 제안된 회로는 그림 12의 전체 주파수 범위에서 여전히 가장 낮은 전력 소비 특성을 나타낸다.

입력 데이터의 패턴도 곱셈기의 전력 소비 특성에 영향을 미친다. 그림 13을 보면, 입력 데이터에 포함된 '1'의 개수에 따라 전류 소모가 증가하는 것을 알 수 있다. 즉, 같은 수의 '1'을 가진 입력에 대해서는 비슷한 양의 전류를 소모한다. 예를 들어, 입력 데이터 1(0001₂), 2(0010₂), 4(0100₂), 8(1000₂)과 같이 한 개의 '1'을 가진 입력에 대해서 그림 13의 B와 같이 동일 레벨의 전류를 소모하는 것을 알 수 있다. 이와 같은 현상이 일어나는 이유는 그림 6의 부분 곱을 생성하는 도미노 AND 게이트와 관계가 있다. 즉, '1'의 개수가 많을수록 예비충전 노드의 전하를 방전하는 AND 게이트의 개수도 늘어나므로 이에 따라 전력 소비가 늘어나는 것이다.

VI. 결 론

본 논문에서는 새로운 구조의 저전압 스윙 도미노 로직 회로를 적용하여 4x4 Braun 곱셈기를 구현하였다. 기존의 저전압 스윙 도미노 회로는 뒷단 인버터의 출력 스윙을 줄이는 방식을 사용하였으나, 본 논문에서는 인버터의 출력 스윙뿐만 아니라 출력예비충전 노드의 스윙 폭도 함께 줄임으로써 회로의 전력 소비를 더욱 감

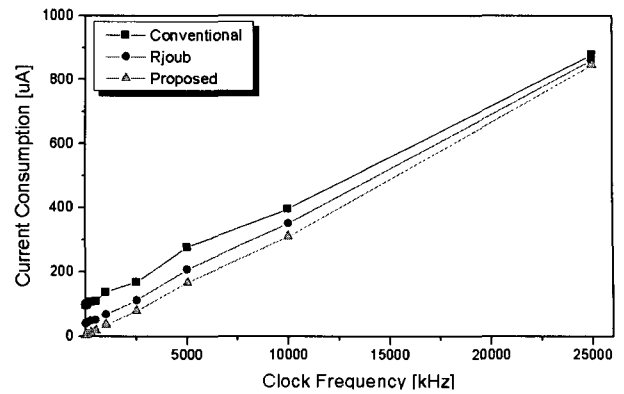


그림 12. 클럭 주파수에 따른 전류 소모 특성 비교
Fig. 12. Current consumption vs. input clock frequency.

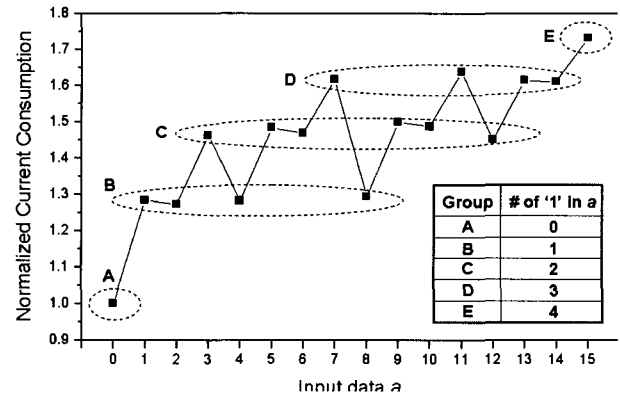


그림 13. 입력 데이터에 의존하는 전류 소모 특성
Fig. 13. Current consumption characteristics vs. input patterns.

소시켰다. 이와 동시에 제안된 저전압 스윙 도미노 로직은 누설 전류가 없는 구조로 회로의 동작 신뢰도가 높아졌다. 신호의 스윙 폭의 감소는 문턱 전압 강하를 발생시키는 트랜지스터의 개수 n 을 증가시킴으로써 구현되었다. 이론적으로 신호 스윙의 폭은 뒷단 트랜지스터를 켤 수 있는 전압까지 감소시킬 수 있으나, 전압 스윙이 특정 전압 이하로 내려가면 예비충전 노드의 방전 시간이 증가하여 단락 전류가 증가하게 되고 이것은 전력 소비의 증가로 이어진다. $VDD=3.3V$ 인 $0.35\mu m$ CMOS 공정에서는 신호전압이 $VDD-nV_{TH}$ 에서 $n=2$ 가 최대 전력을 절약할 수 있는 값이 된다. 본 논문에서 설계된 곱셈기는 기존의 구조들에 비해 30% 이상의 전력 감소효과를 가져왔고 전력-지연 곱에서도 우수한 성능을 나타낸다.

참 고 문 헌

[1] A. Rjoub and O. Koufopavlou, "Low-power domino logic multiplier using low-swing techni

-que," in *Proc. IEEE Int. Conf. Electronics, Circuits and Systems*, vol. 2, pp. 45-48, 1998.

[2] E. D. Kyriakis-Bitaros and S. S. Nikolaidis, "Design of low power CMOS drivers based on charge recycling," in *Proc. IEEE Int. Symp. Circuits and Systems*, vol. III, pp. 1924-1927, 1997.

[3] A. Rjoub and O. Koufopavlou, "Low-swing/low power driver architecture," in *Proc. IEEE Int. Conf. Electronics, Circuits and Systems*, vol. 2, pp. 639-642, 1999.

[4] S. M. Kang, "Accurate simulation of power dissipation in VLSI circuits," *IEEE J. Solid State Circuits*, vol. SC-21, no. 5, pp. 889-891, Oct. 1986.

[5] S. M. Kang and Y. Leblebici, *CMOS Digital Integrated Circuits: Analysis and Design*, McGraw-Hill, 1996

[6] D. V. Campenhout, Mudge, and K. Sakallah, "Timing verification of sequential domino circuits," in *Proc. IEEE/ACM Int. Conf. Computer-Aided Design*, pp. 127-132, 1996.

[7] A. Rjoub, S. Nikolaidis, O. Koufopavlou, and T. Stouraitis, "A new efficient low power bus architecture," in *Proc. IEEE Int. Symp. Circuits and Systems*, vol. III, pp. 1864-1867, 1997.

[8] G. E. Sobelman and D. L. Raatz, "Low-power multiplier design using delayed evaluation," in *Proc. IEEE Int. Symp. Circuits and Systems*, pp. 1564-1567, 1995.

[9] H. Kawaguchi and T. Sakurai, "A reduced clock-swing flip-flop (RCSFF) for 63% power reduction," *IEEE J. Solid-State Circuits*, vol. 33, pp. 807-811, no. 5, May 1998.

[10] A. P. Chandrakasan, S. Sheng, and R. W. Brodersen, "Low-power CMOS digital design," *IEEE J. Solid-State Circuits*, vol. 27, no. 4, Apr. 1992.

[11] D. Liu and C. Svensson, "Power consumption estimation in CMOS VLSI chips," *IEEE J. Solid-State Circuits*, vol. 29, no. 6, Jun. 1994.

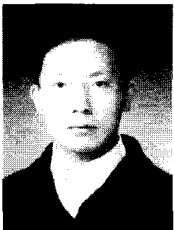
[12] C. Farnsworth, D. A. Edwards, and S. S. Sikand, "Utilising dynamic logic for low power consumption in asynchronous circuits," in *Pro. Int. Symp. Advanced Research in Asynchronous Circuits and Systems*, pp. 186-194, 1994.

[13] H. Kojima, S. Tanaka, and K. Sasaki, "Half-swing clocking scheme for 75% power saving in clocking circuitry," *IEEE J. Solid-State Circuits*, vol. 30, pp. 432-435, Apr. 1995.

[14] R. Zimmermann and W. Fichtner, "Low-power logic styles: CMOS versus pass-transistor logic," *IEEE J. Solid-State Circuits*, vol. 32, pp. 1079-1090, Jul. 1997.

[15] K. K. Parhi, *VLSI Digital Signal Processing Systems: Design and Implementation*, Prentice Hall, 1999.

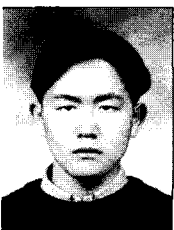
저 자 소 개



양 성 현(정회원)
 1999년 충북대학교
 정보통신공학과 공학사.
 2001년 충북대학교
 정보통신공학과 공학석사.
 2004년 충북대학교
 정보통신공학과 공학박사.
 2004년~현재 LG 전자 SIC DNI Group
 <주관심분야: CMOS 이미지 센서, Continuous Time Filter, LVDS I/O 회로 등.>



조 경 록(정회원)
 1977년 경북대학교 전자공학과 공학사.
 1989년 일본 동경대학교 전자공학과 공학석사.
 1992년 일본 동경대학교 전자공학과 공학박사.
 1979~1986년 (주)금성사 TV연구소 선임연구원.
 1992년~현재 충북대학교 정보통신공학과 교수.
 <주관심분야: VLSI 시스템 설계, 통신 시스템용 LSI 개발, 고속 마이크로프로세서 설계.>



김 두 환(학생회원)
 2003년 충북대학교
 정보통신공학과 공학사.
 2003년 3월~현재 충북대학교
 정보통신공학과 석사과정
 <주관심분야: LVDS I/O 회로, 아날로그 필터 설계, OLED 드라이버 설계.>

