

Nano-scale CMOS를 위한 Ni-germano Silicide의 열 안정성 연구

Study of Ni-germano Silicide Thermal Stability for Nano-scale CMOS Technology

황빈봉¹, 오순영¹, 윤장근¹, 김용진¹, 지희환¹, 김용구¹, 왕진석¹, 이희덕^{1,a}
(Bin-Feng Huang¹, Soon-Young Oh¹, Jang-Gn Yun¹, Yong-Jin Kim¹, Hee-Hwan Ji¹,
Yong-Goo Kim¹, Jin-Suk Wang¹, and Hi-Deok Lee^{1,a})

Abstract

In this paper, novel methods for improvement of thermal stability of Ni-germano Silicide were proposed for nano CMOS applications. It was shown that there happened agglomeration and abnormal oxidation in case of Ni-germano Silicide using Ni only structure. Therefore, 4 kinds of tri-layer structure, such as, Ti/Ni/TiN, Ni/Ti/TiN, Co/Ni/TiN and Ni/Co/TiN were proposed utilizing Co and Ti interlayer to improve thermal stability of Ni-germano Silicide. Ti/Ni/TiN structure showed the best improvement of thermal stability and suppression of abnormal oxidation although all kinds of structures showed improvement of sheet resistance. That is, Ti/Ni/TiN structure showed only 11 ohm/sq. in spite of 600 °C, 30 min post silicidation annealing while Ni-only structure show 42 ohm/sq. Therefore, Ti/Ni/TiN structure is highly promising for nano-scale CMOS technology.

Key Words : Ni-germano silicide, Tri-layer structure, Post silicidation annealing, Thermal stability, Abnormal oxidation

1. 서론

ULSI (Ultra Large Scale Integration) 공정이 발전함에 따라 소자 크기가 계속 줄어들면서 최근에는 100 nm 급 이하의 소자 제작 공정 기술에 대한 연구가 활발히 진행되고 있다. 소자 크기 감소에 수반하여 게이트 산화막의 두께가 얇아지고 수직 방향의 전계가 증가함에 따라 캐리어의 표면 집중 현상이 발생하게 된다. 따라서 표면에서의 산란으로 인하여 캐리어의 이동도가 급격히 떨어지는 문제점이 발생하고 있어 이런 문제점을 해결하기 위해 기존의 Si 기판위에 격자상수가 4.2 % 큰

Ge을 함께 성장시켜 SiGe층을 형성시킴으로써 캐리어의 이동도를 향상시키는 연구가 보고되고 있다[1-3]. 그리고 Ge 성분 조성비를 달리하여 에너지 밴드갭 (0.66~1.12 eV)을 조정할 수 있고, 유효 이동도 및 유효 질량 등의 조절이 가능하여 나노급 소자에 적용 할 수 있기 때문에 현재 nano-scale CMOS 기술에 SiGe를 적용하기 위해 많은 연구가 진행 되고 있다. 또한 SiGe은 고속전자소자와 광소자 공정에 적용이 가능하다[4-6].

SALICIDE (Self-aligned silicide) 는 소스/드레인 그리고 게이트의 면저항 및 접촉저항을 낮추어 구동전류를 증가시킴으로써 스위칭 시간을 감소시켜 RC 지연을 줄이므로 고속 소자에 필수적인 공정이라 할 수 있다. 실리사이드로 널리 쓰인 TiSi₂[7]와 CoSi₂[8,9]같은 경우에는, 낮은 면저항을 갖는 실리사이드 상 (phase) 형성온도가 높기 때문에 실리사이드 형성 후의 열 안정성이 좋은 특성을 갖고 있다. 그러나 나노급 이하 CMOS 소자에

1. 충남대학교 전자공학과
(대전시 유성구 공동 220)
a. Corresponding Author : hdlee@cnu.ac.kr
접수일자 : 2004. 8. 17
1차 심사 : 2004. 10. 4
심사완료 : 2004. 10. 8

서는 급격한 면저항 증가 및 높은 실리콘 소모율로 인한 누설 전류의 증가 현상을 초래하여 나노급 CMOS 소자에는 적합하지 않게 되었으며 이를 대체할 물질로 니켈 실리사이드가 각광을 받고 있다. 니켈은 실리콘 소모율이 적고 얇은 실리사이드 형성이 가능하여 얇은 접합을 갖는 나노 CMOS 소자기술에 적합한 장점을 갖고 있지만 실리사이드 형성 후의 열처리 공정에서 열안정성이 낮다는 문제점을 가지고 있다[10-13]. 따라서 이 문제점을 해결하기 위해 많이 연구가 진행되고 있다.

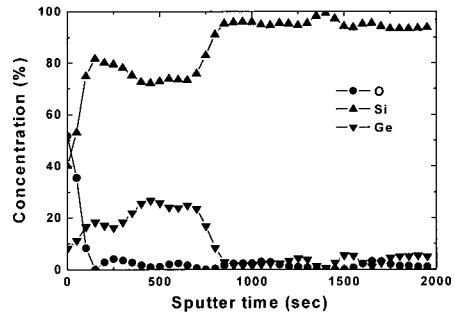
본 논문에서는 이러한 두 가지 기술을 고려하여 나노 CMOS에 적합한 Ni-germano Silicide의 열안정성 개선방법을 제안하였다. 특히 Ge이 열에 약하기 때문에 NiSi 보다도 Ni-germano Silicide의 열안정성이 훨씬 약하여 후속 열처리 공정에서 높은 열안정성을 유지하는 Ni-germano Silicide를 위해 열안정성이 좋은 코발트와 타이타늄의 특성을 활용하기 위해 여러 가지 Tri-layer 구조를 적용하였다. Tri-layer의 구조는 Ni-silicide의 특성 개선에 효과적이었던 구조 및 Ni-germano Silicide의 산화를 방지하기 위한 Ti interlayer 구조를 중심으로 split 하였다[14-17].

2. 실험 방법

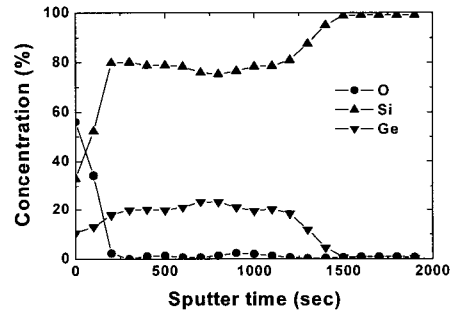
본 실험에서는 Ge 농도 20 %인 undoped SiGe 층이 100 nm 또는 200 nm가 형성된 wafer를 사용하였다. 그림 1은 본 연구에 사용된 SiGe의 두께와 Ge농도를 XPS (X-ray Photoelectron Spectroscopy) depth profile로 확인한 결과로 SiGe 두께 100 nm 그림 1(a)와 200 nm 그림 1(b)를 보여주고 있다.

그림 2는 본 실험의 주된 공정과 공정조건을 간략하게 나타내었다. 준비된 시편을 30초간 100:1로 희석시킨 불산 용액에서 wafer 표면의 자연 산화막을 제거한 후, Ni, Co, Ti, TiN을 이용하여 Ti/Ni/TiN, Ni/Ti/TiN, Co/Ni/TiN, Ni/Co/TiN의 4가지 Tri-layer를 각각 형성하였다. Metal 증착은 이온빔스퍼터 (IBS: Ion Beam Sputter System)를 이용하여 Ar 플라즈마에서 실시하였으며, 기본 진공도 (Base Pressure)는 7×10^{-7} Torr이고 공정 진공도 (Working Pressure)는 1.9×10^{-4} Torr이었다. Ni-germano Silicide를 형성시키기 위해 30 mTorr의 진공 상태에서 400 °C ~ 800 °C의 온도 범위에서, 30초간 급속 열처리 (Rapid Thermal Processing)

를 하였다. Ni-germano Silicide를 형성시킨 후 반응하지 않은 금속은 황산용액 ($H_2SO_4:H_2O_2 = 4:1$)에서 선택적 습식 식각으로 제거하였다. 다음에 Ni-germano Silicide의 열 안정성 (Thermal stability)을 평가하기 위해 고온로 (furnace) 열처리를 450 °C ~ 650 °C에서 30분간 질소 분위기에서 실시하였다.



(a)



(b)

그림 1. SiGe의 Ge 성분 조성비 분석을 위한 XPS depth profile.

Fig. 1. XPS depth profile of SiGe ingredient.

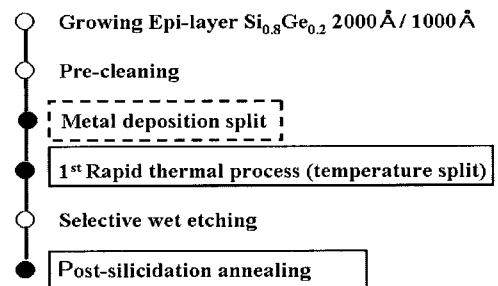


그림 2. 실험을 위한 주요 공정 흐름도.

Fig. 2. The key process flow for experiment.

형성된 Ni-germano Silicide의 두께와 계면 특성을 확인하기 위해 전계 방출 주사 전자 현미경 (FESEM: Field Emission Scanning Electron Microscopy: 한국기초과학지원연구원 전주분소, 모델: Hitachi S-4700)으로 분석하였고, 상 (phase)과 성분분석을 위해 XRD (X-ray Diffractometer: 한국기초과학지원연구원 대구분소, 모델 : X'PERT)와 XPS로 분석하였다.

3. 실험 결과

3.1 순수한 Ni만으로 형성된 Ni-germano Silicide의 특성

순수한 Ni (150 Å) 만을 이용하여 형성된 Ni-germano Silicide의 고온로 열처리 전후의 상변이 현상을 XRD로 분석하여 그림 3에 나타내었다. 실리사이드 형성 후에는 모노실리사이드인 Ni (SiGe)의 상 (phase) peak만 나타나지만 600 °C 30분의 고온로 열처리 후에는 Ni(SiGe) 상과 높은 면저항의 di-silicide인 Ni(SiGe)₂ 상 peak가 분석되었다. 이로써 600 °C, 30분의 고온 열처리 후에 Ni-germano Silicide가 열화되어 di-silicide가 형성됨을 알 수 있었다.

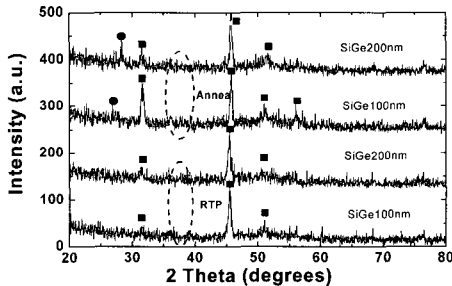
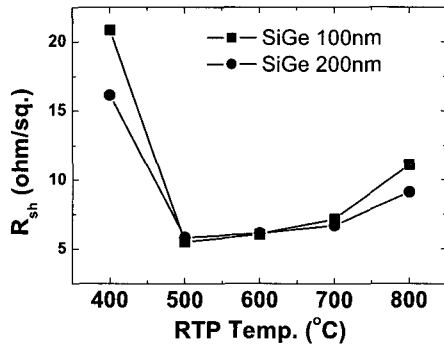


그림 3. 600 °C, 30분 고온로 열처리 전후 XRD 분석 ■Ni(SiGe) ●Ni(SiGe)₂.

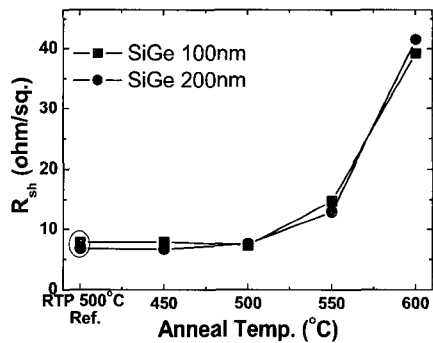
Fig. 3. XRD spectra of Ni-GermanoSilicide before and after post silicidation annealing of 600 °C, 30 min. ■Ni(SiGe) ●Ni(SiGe)₂.

그림 4는 고온로 열처리 전후의 Ni-germano Silicide의 면저항 특성이다. 그림 4(a)에서는 고온로 열처리 전의 면저항 특성으로 500 °C~700 °C의 RTP온도범위에서 낮은 면저항의 Ni-germano Silicide가 형성됨을 알 수 있었다. 그림 4(b)는 고온로 열처리 후의 면저항 특성으로 550 °C, 30분의

고온로 열처리 후에 면저항이 증가하기 시작하여 Ni-germano Silicide가 di-silicide의 형태로 상변이 (Phase Transition)가 되어 그림 2에서 확인한 것처럼 600 °C에서도 di-silicide가 형성되었다. 두께가 다른 wafer에 Ni-germano Silicide를 형성한 결과 면저항 특성은 거의 일치하였다.



(a)



(b)

그림 4. Ni만으로 형성된 Ni-germano Silicide의 면저항 특성 (a)고온로 열처리 전 (b)고온로 열처리 후.

Fig. 4. Sheet resistance of Ni-germano silicide formed by pure-Ni (a) before and (b) after post silicidation annealing of 600 °C, 30 min.

그림 5는 200 nm두께를 갖는 SiGe 기관에서 Ni-germano Silicide의 XPS depth profile분석을 나타내고 있다. 그림 5(a)는 500 °C, 30초간의 급속 열처리 후의 Ni, Si, Ge 성분비로서 Ni : Si : Ge의 성분비율이 5 : 4 : 1로 모노 실리사이드

(Ni(Si_{0.8}Ge_{0.2})) 가 형성됨을 알 수 있었다. 그렇지만 600 °C, 30분간의 고온로 열처리 후의 Ni-germano Silicide의 XPS depth profile을 보면 표면에 산소가 분포하여 니켈이 기판 쪽으로 움직이고 이상 산화 현상이 발생하였음을 그림 5(b)와 같이 나타나고 있다.

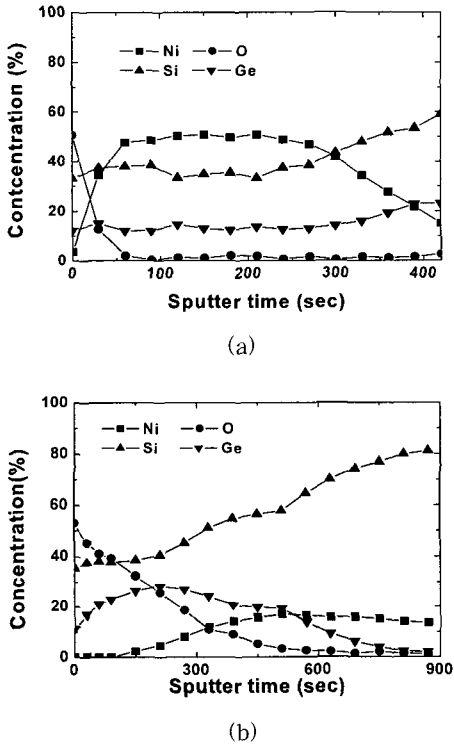


그림 5. 200 nm 두께의 SiGe기판에서 Ni만으로 형성된 Ni-germano Silicide의 XPS 분석 (a) 500 °C 30초간 급속 열처리 후 (b) 600 °C 30분간 고온로 열 처리 후.

Fig. 5. XPS depth profiles of Ni-germano Silicide formed by Ni only structure on 200 nm-thick SiGe substrate (a) after RTP at 550 °C for 30s (b) after post silicidation annealing of 600 °C for 30 min.

그림 6은 니켈만으로 형성된 Ni-germano Silicide의 두께와 단면 특성을 FESEM으로 분석한 결과이다. 100 nm 두께의 SiGe 기판 그림 6(a)과 200 nm 두께의 SiGe기판 그림 6(b)에서 500 °C, 30초간 급속 열처리한 경우 모두 Ni-germano Silicide 두께는 약 400 Å임을 나타내고 있다. 그

림 6(c), 6(d)는 600 °C, 30분간의 고온로 열처리 후의 단면 FESEM으로서 실리사이드의 응집현상과 이상 산화층이 발생한 것을 보여주고 있다. 따라서 Ni만을 사용한 Ni-germano Silicide는 이상 산화로 인하여 열 안정성이 매우 열악함을 보여주고 있다.

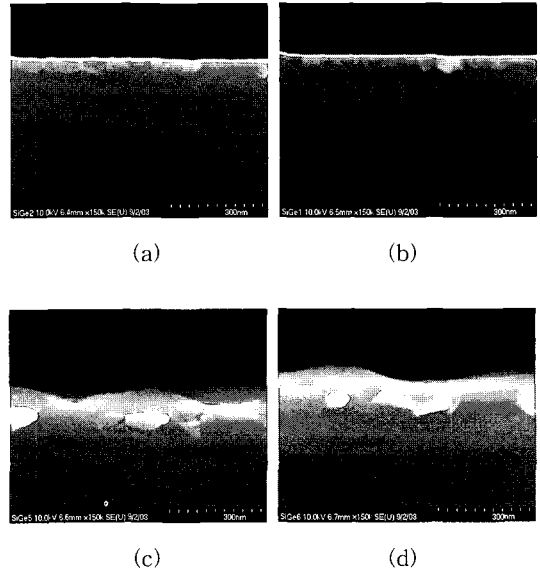


그림 6. Ni만으로 형성된 Ni-germano Silicide의 FESEM 단면 특성 (a), (b) 500 °C 30초급속 열처리 (c), (d) 600 °C 30분 고온로 열처리 (a), (c) SiGe 100 nm, (b), (d) SiGe 200 nm.

Fig. 6. FESEM images of Ni-germano Silicide formed by Ni only structure after (a), (b) RTP at 500 °C, 30 sec and (c), (d) post silicidation annealing at 600 °C, 30 min. (a), (c) SiGe 100 nm (b), (d) SiGe 200 nm.

3.2 이상 산화 방지 및 열 안정성 개선

앞의 실험 결과와 같이 니켈만으로 실리사이드를 형성하는 경우에는 30분간의 고온로 열처리 후에 이상 산화가 발생하여 면저항도 증가하고 열화 현상이 발생하였다. 이와 같은 이상 산화를 방지하고 Ni-germano Silicide의 열 안정성을 개선하기 위해 Ti/Ni/TiN, Ni/Ti/TiN, Co/Ni/TiN, Ni/Co/TiN 등 여러 가지 구조를 200 nm 두께의 SiGe 기판에 적용하였다. 형성된 Ni-germano Silicide의

고온로 열처리 후 면저항 특성을 보면, 그림 7과 같이 Ti-interlayer를 적용한 Ti/Ni/TiN 구조가 면저항 측면에서 가장 좋은 특성을 보이고 있음을 알 수 있다.

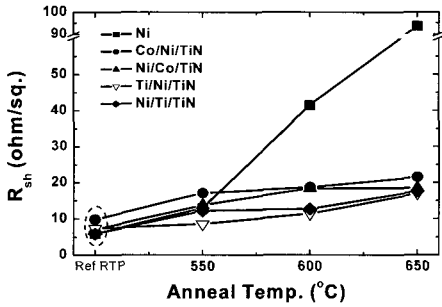


그림 7. 200 nm 두께의 SiGe기판에서 고온로 열처리 온도에 따른 면저항 특성.

Fig. 7. Sheet resistance on the 200 nm-thick SiGe substrate after post silicidation annealing.

그림 8은 100 nm 및 200 nm 두께의 SiGe기판에 Ti/Ni/TiN 구조를 이용하여 형성된 Ni-germano Silicide의 고온 열처리 전후의 XPS depth profile로서, 고온 열처리에도 불구하고 Ni, Si, Ge의 성분비가 거의 없음을 나타내고 있으며, 특히 Ti가 표면으로 이동하였음을 나타내고 있다. 따라서 표면으로 이동한 Ti가 산화 방지에 효과적으로 작용하여 Ni-germano Silicide의 열안정성이 개선됨을 알 수 있다. 니켈만 적용하여 형성된 Ni-germano Silicide는 그림 5(b)와 같이 고온로 열처리한 후 Germano Silicide층에 Silicide와 SiGe의 계면까지 많이 산소 들어갔지만 Ti/Ni/TiN구조를 적용한 후에는 산소가 Germano Silicide층 표면에 조금 밖에 없음을 보여주고 있다.

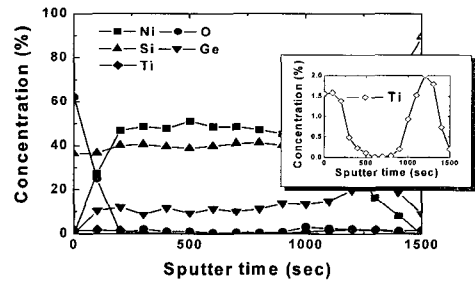
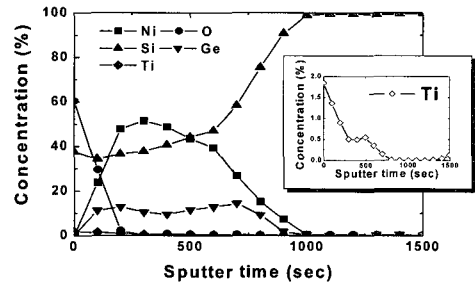
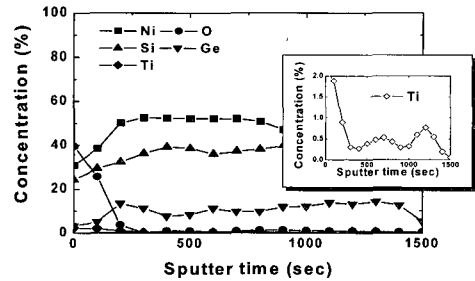
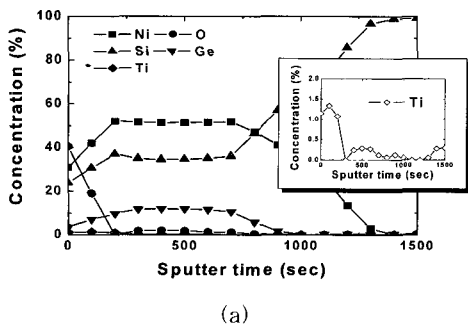


그림 8. Ti/Ni/TiN구조로 형성된 Ni-germano Silicide의 XPS depth profiles (a), (b) 500 °C 30초 급속 열처리 (c), (d) 600 °C 30분 고온로 열처리 (a), (c) SiGe 100 nm, (b), (d) SiGe 200 nm.

Fig. 8. XPS depth profiles of Ni-Germano Silicide formed by Ti/Ni/TiN structure (a), (b) after RTP at 500 °C, 30 s (c), (d) after post silicidation annealing at 600 °C, 30 min (a), (c) SiGe 100 nm (b), (d), SiGe 200 nm.

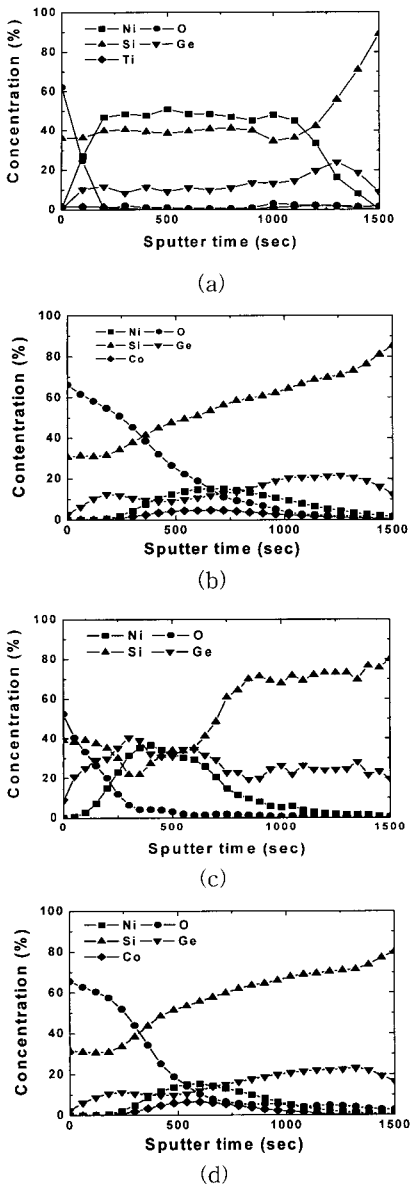


그림 9. 600 °C, 30분 고온로 열처리 후의 Ni-germano Silicide의 XPS depth profiles (a) Ti/Ni/TiN, (b) Co/Ni/TiN, (c) Ni/Ti/TiN, (d) Ni/Co/TiN.
 Fig. 9. XPS depth profiles of Ni-Germano Silicide after post silicidation annealing at 600 °C for 30 minute. (a) Ti/Ni/TiN, (b) Co/Ni/TiN, (c) Ni/Ti/TiN, and (d) Ni/Co/TiN.

그림 9는 제안된 4가지 구조 각각을 이용한 Ni-germano Silicide를 30분간 600 °C 고온로 열처리 한 후의 XPS depth profile로써 Ti/Ni/TiN

구조로 형성된 Ni-germano Silicide인 경우에는 그림 9(a)와 같이 산소의 분포를 낮출 수 있지만 Co/Ni/TiN, Ni/Ti/TiN, Ni/Co/TiN 구조로 형성된 Ni-germano Silicide는 각각 그림 9(b), (c), (d)와 같이 Ni-germano Silicide 층에서 산소의 분포가 깊게까지 분포하고 Si와 Ge의 비율도 안정하지 않고, 이상 산화도 방지할 수 없는 것을 알 수 있다.

그림 10은 200 nm 두께의 SiGe 기판에서 30분간 600 °C 고온로 열처리 후 FESEM으로 단면 특성을 비교한 것으로, Ti/Ni/TiN 구조 그림 10(a)에서만 Ni-germano Silicide 표면에 산화층이 발생하지 않았음을 나타낸다. 반면에 다른 세가지 구조인 경우에는 산화층이 형성 되었을 뿐만 아니라 Ni-germano Silicide의 profile이 매우 열화 됨을 확인할 수 있었다. 다시 말하면, 이상 산화를 억제한다면 열 안정성도 개선시킬 수 있음을 증명해준다. 그러므로, 이상 산화 억제가 꼭 필요함을 알 수 있다.

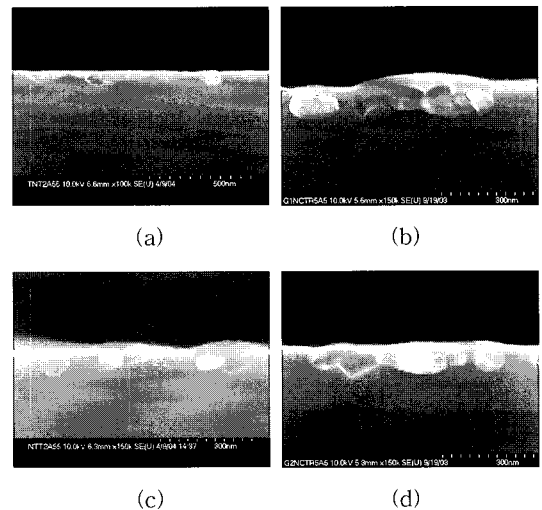


그림 10. 200 nm 두께의 SiGe 기판에서 600 °C 고온로 열처리 후의 Ni-germano Silicide의 FESEM 단면 특성. (a) Ti/Ni/TiN, (b) Co/Ni/TiN, (c) Ni/Ti/TiN, (d) Ni/Co/TiN.
 Fig. 10. FESEM images after post silicidation annealing at 600 °C on the 200 nm thick SiGe substrate. (a) Ti/Ni/TiN, (b) Co/Ni/TiN, (c) Ni/Ti/TiN, and (d) Ni/Co/TiN.

4. 결론

본 논문에서는 Co/Ni/TiN, Ni/Co/TiN, Ti/Ni/TiN, Ni/Ti/TiN의 4가지 Tri-layer 구조를 이용한 Ni-

germano Silicide의 열안정성 개선에 대해 연구하였다. 제한한 4가지 구조 모두 Ni만을 사용한 경우에 비해 고온 열처리 후에도 개선된 면저항 특성을 나타내었지만, 특히 Ti/Ni/TiN 구조가 면저항 개선 뿐만 아니라 이상 산화 현상의 억제에 효과적임을 나타내었다. Ti/Ni/TiN 구조인 600 °C, 30 분간의 고온로 열처리 후에도 Ni, Si, Ge의 성분비가 거의 일정하게 유지되고, 단면 profile의 열화가 매우 적고 Ni-germano Silicide내의 산소의 농도가 매우 적음을 FESEM과 XPS를 이용하여 확인하였다. 따라서 100 nm 이하의 Nano CMOS를 위한 Ni-germano Silicide를 위해서는 Ti/Ni/TiN 구조가 바람직함을 알 수 있다.

감사의 글

본 연구는 한국과학재단 목적기초연구 (R01-2003-000-11659-0) 지원으로 수행 되었음.

참고 문헌

- [1] R. People, "Physics and applications of Ge_xSi_{1-x}/Si strained-layer heterostructures", *IEEE J. Quantum Electron* 22, p. 1696, 1986.
- [2] Iyer, S. S. Solomon, P. M. Kesan, V. P. Bright, A. A. Freeouf, J. L. Nguyen, T. N. Warren, and A. C. "A gate-quality dielectric system for SiGe metal-oxide-semiconductor devices", *IEEE Electron Device Lett.* 12, p. 246, 1991.
- [3] D. K. Nayak, J. C. S. Woo, J. S. Park, K. Wang, and K. P. MacWilliams, "Enhancement-mode quantum-well Ge_xSi_{1-x} PMOS", *IEEE Electron Device Lett.* 12, p. 154, 1991.
- [4] U. Konig, J. Boers, F. Schaffler, and E. Kasper, "Enhancement mode n-channel Si/SiGe MODFET with high intrinsic transconductance", *Electron. Lett.* 28, p. 160, 1992.
- [5] D. Nayak, J. Woo, J. Park, K. Wang, and K. MacWilliams, "High-mobility p-channel metal-oxide-semiconductor field-effect transistor on strained Si", *Appl. Phys. Lett.* 62, p. 2853, 1993.
- [6] J. Welser, J. L. Hoyt, and J. F. Gibbons, "Temperature and scaling behavior of strained-Si N-MOSFET's", *IEEE Trans. Electron Devices* 40, p. 2101, 1993.
- [7] O. Thomas, F. M. d'Heurle, and S. Delage, "Some titanium germanium and silicon compounds: Reaction and properties", *J. Mater. Res.* 5, p. 1453, 1990.
- [8] W. J. Qi, B. Z. Li, W. N. Huang, Z. G. Gu, H. Q. Lu, X. J. Zhang, M. Zhang, G. S. Dong, D. C. Miller, and R. G. Aitken, "Solid state reaction of Co,Ti with epitaxially-grown $Si_{1-x}Ge_x$ film on Si(100) substrate", *J. Appl. Phys.* 77, p. 1086, 1995.
- [9] R. A. Donaton, K. Maex, A. Vantomme, G. Langouche, Y. Morciaux, A. St. Amour, and J. C. Sturm, "Co silicide formation on SiGeC/Si and SiGe/Si layers", *Appl. Phys. Lett.* 70, p.1266, 1997.
- [10] T. Jarmar, J. Seger, F. Ericson, D. Mangelinck, U. Smith, and S. L. Zhang, "Morphological and phase stability of nickel-germanosilicide on $Si_{1-x}Ge_x$ under thermal stress", *J. Appl. Phys.* 92, p. 7193, 2002.
- [11] A. Lauwers, A. Steegen, M. de Potter, R. Lindsay, A. Satta, H. Bender, and K. Maex, "Materials aspects, electrical performance, and scalability of Ni silicide towards sub-0.13 μm technologies", *J. Vac. Sci. Technol. B*19(6), p. 2026, 2001.
- [12] D. X. Xu, S. R. Das, C. J. Peters, and L. E. Erickson, "Material aspects of nickel silicide for ULSI applications", *Thin Solid Films*, 326, p.143, 1998.
- [13] 지희환, 안순의, 배미숙, 이현진, 오순영, 이희덕, 왕진석, "CMOS 소자를 위한 NiSi의 Surface Damage 의존성", *한국전기전자재료학회 논문지*, 16권, 4호, p. 280, 2003.
- [14] D. K. Sohn, J. S. Park, B. H. Lee, J. U. Bae, K. S. Oh, S. K. Lee, J. S. Byun, and J. J. Kim, "High Thermal Stability and Low Junction Leakage Current of Ti Capped Co Silicide and its Feasibility for High Thermal Budget CMOS devices", *IEEE IDEM*, 326, p. 1005, 1998.
- [15] W. L. Tan, K. L. Pey, Simon Y. M. Chooi, J. H. Ye, and T. Osipowicz, "Effect of a titanium cap in inducing interfacial oxides in the formation of nickel silicide", *J. Appl. Phys.* 91, p. 2901, 2002.
- [16] 오순영, 윤장근, 박영호, 황빈봉, 지희환, 왕진석, 이희덕, "Cobalt Interlayer와 TiN capping를 갖는 새로운 구조의 Ni-silicide 및 Nano CMOS에의 응용", *대한전자공학학회논문지* 40권, p. 897, 2003.
- [17] J. G. Yun, S. Y. Oh, H. H. Ji, B. F. Huang, Y. H. Park, J. S. Wang, and H. D. Lee, "Novel NiSi Technology Utilizing Ti/Ni/TiN Structure and Fluorine Implantation for Thermal Stability Improvement by Suppression of Abnormal Oxidation", *IWJT*, p. 131, 2004.