

핫-캐리어 내성을 갖는 WSW 소자의 신뢰성 평가

김 현 호*, 장 인 갑**

Reliability Evaluation of the WSW Device for Hot-carrier Immunity

Hyeon-Ho Kim *, In-gab Jang **

요 약

본 논문에서는 드레인 부근의 채널 영역에서 접합 전계를 줄이는 WSW(Wrap Side Wall) 구조의 소자를 제안하였다. WSW 구조의 소자 제작은 첫 번째 게이트를 식각한 후에 NM1(N-type Minor1) 이온주입을 하고 다시 질화막을 덮어 식각함으로써 만들어진다. 새로운 WSW 구조는 전계를 줄이기 위한 버퍼층으로 되어 있으며 WSW 소자와 LDD 구조의 소자 수명을 비교하였으며 핫-캐리어 열화 특성도 분석하였다. 또한 AC 핫-캐리어 열화를 칩 상에서 평가하기 위해 펄스 발생기, 레벨 시프터, 주파수 분배기를 포함한 테스트 패턴 회로를 설계하였다. 이러한 것은 AC와 DC 스트레스간의 핫-캐리어 열화 조건이 AC와 DC 스트레스 모두 동일한 물리적 메커니즘을 지닌다는 것을 알 수 있었다. 따라서 일반적으로 회로 동작 조건 하에서 DC 핫-캐리어 열화 특성을 토대로 AC 소자 수명도 예측할 수 있었다.

Abstract

New WSW(Wrap Side Wall) is proposed to decrease junction electric field in this paper. WSW process is fabricated after first gate etch, followed NM1 ion implantation and deposition & etch nitride layer. New WSW structure has buffer layer to decrease electric field. Also we compared the hot carrier characteristics of WSW and conventional. Also, we design a test pattern including pulse generator, level shifter and frequency divider, so that we can evaluate AC hot carrier degradation on-chip. It came to light that the universality of the hot carrier degradation between DC and AC stress condition exists, which indicates that the device degradation comes from the same physical mechanism for both AC and DC stress. From this universality, AC lifetime under circuit operation condition can be estimated from DC hot carrier degradation characteristics.

▶ Keyword : wsw, hot-carrier, AC, DC

* 충북과학대학 전자정보과 조교수

** 충북대학교 정보통신공학과 박사과정

1. 서론

VLSI 기술이 발달하여 회로의 집적도가 높아져 MOSFET의 채널길이가 서브마이크론으로 감소됨에 따라 종래의 긴 채널 소자에서 볼 수 없었던 여러 짧은 채널효과(Short channel effect)가 발생한다. 짧은 채널 효과는 ① 펀치스루우(Punch-through)에 의한 낮은 항복전압(Breakdown voltage)[1], ② 문턱전압(Threshold voltage)의 감소, ③ DIBL(Drain Induced Barrier Lowering)효과, ④ 문턱전압 이하 기울기의 특성 저하[18], ⑤ CMOS에서의 Latch-up특성의 저하, ⑥ 핫-캐리어 효과 등이 있다[1][2]. 이러한 짧은 채널 효과 중 가장 문제가 되고 있는 것이 바로 핫-캐리어에 의한 열화 현상이다.

NMOSFET의 경우 핫-캐리어 효과에 의해 기판전류(Substrate current)가 증가하고, 문턱전압이 증가하며, 트랜스컨덕턴스가 감소한다. 또한 소자의 수명(Device lifetime)이 감소되는 심각한 문제점을 안고있다.

따라서 본 논문에서는 핫-캐리어 내성(immunity) 특성을 지닌 WSW(Wrap Side Wall) 소자를 제작하였으며 소자의 수명을 측정할 값이 LDD 구조의 소자보다 우수하다는 것을 알 수 있었다. 이 실험을 위하여 새로이 고안된 AC 핫-캐리어 스트레스/테스트 패턴을 128Mb DRAM 칩과 동일 웨이퍼 상에 0.18 μ m CMOS 공정을 이용하여 제작하였다.

II. 핫-캐리어 내성을 갖는 LDD 구조 및 WSW 구조

드레인 끝 부분에서의 높은 채널 전계가 짧은 채널 소자에서는 핫-캐리어 효과에 중요한 원인이 된다. 채널 전계를 줄이기 위해 초집적 회로에서 n채널 소자에서는 거의 경사진 드레인(Graded drain) 구조를 갖는 DDD(Double

Diffused Drain)와 LDD(Lightly Doped Drain) 구조가 가장 널리 사용된다. n채널 MOSFET의 DDD 구조는 인(P)과 비소(As)를 소스와 드레인에 주입함으로써 형성된다. 처음에 인으로 Lightly doped region(n-)을 형성하고 다음에 비소를 사용하여 Heavily doped region(n+)을 형성한다. 인이 비소보다 질량이 적으므로 더 빠르게 확산된다. 그러므로 DDD에서는 n-영역이 (그림 1)(b)와 같이 n+영역을 감싼 구조가 된다.

DDD 구조는 비록 공정이 간단하지만 보통 1.5~2 μ m 채널 길이의 소자에서 핫-캐리어 효과를 줄이는데 사용한다. 그러나 이 구조는 서브마이크론 소자에는 적합하지 않다. 왜냐하면 접합 깊이가 커져서 짧은 채널 효과(Short channel effect)를 증가시키고 게이트-소오스/드레인 중첩 캐패시턴스(Overlap capacitance)를 더욱 증가시키기 때문이다. 서브 마이크로 소자에서 가장 많이 사용되는 소오스/드레인 구조는 LDD 구조이다[3].

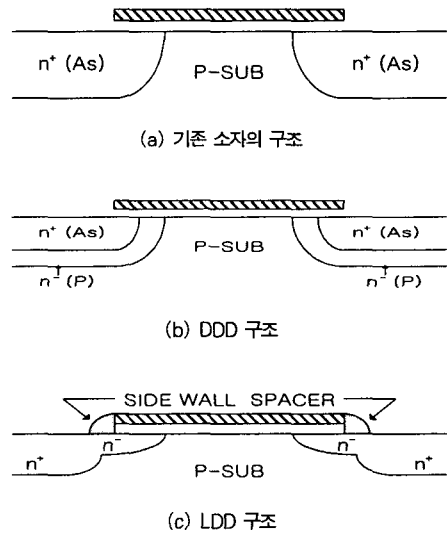


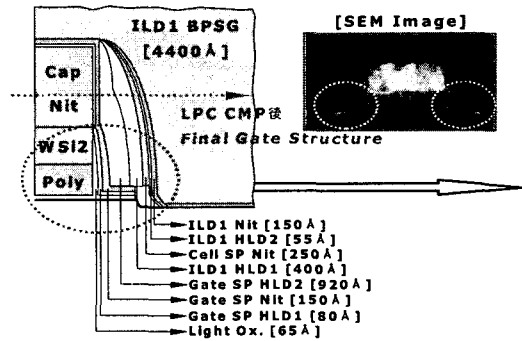
그림 1. MOSFET의 구조
Fig. 1 Structure of MOSFET

1. LDD 소자의 구조 및 제조

서브마이크로 소자에서 가장 많이 사용되는 MOSFET의 LDD 소자 구조는 (그림 1)(c)에 나타내었다. 이 LDD 구조의 공정은 다음과 같다. 먼저 적은 에너지로 인(P) 또는 비소(As)를 주입하여 n-영역을 형성하고 폴리실리콘 게이트의 옆면에 산화막 스페이서(Oxide spacer)를 형성한다.

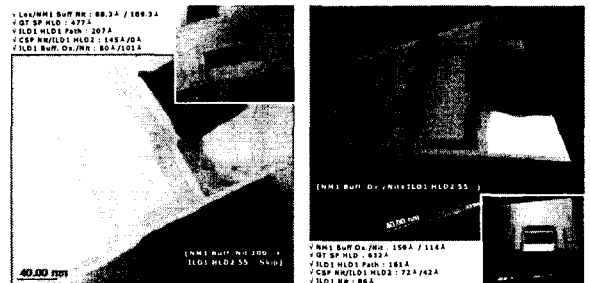
이 LDD 구조의 소자 특성은 n-영역의 길이, n-영역의 도핑량, 그리고 게이트와 n-영역의 중첩 정도에 따라 다르게 나타난다. 게이트와 n-영역의 중첩이 클수록 채널 전계의 감소가 크게 나타난다. 또한 n-영역의 도핑 정도에 따라 채널 전계의 최고치의 수치가 달라진다.

즉, 도핑량이 적을수록 게이트 밖에 존재하는 n-/n+ 접합 영역으로 이동한다. 채널 전계 최고치가 게이트 밑에 존재하는 p/n- 접합 영역으로 이동한다. 채널 전계 최고치가 게이트 밑에 존재해야 핫-캐리어에 대한 신뢰도가 높다고 볼 수 있는데 이 세 요소를 조절하여 직렬 저항(Series resistance)과 핫-캐리어 효과를 좋게 하는 최적의 LDD 구조를 만들어야 한다. 그러나 기존의 소자(그림 1)(a)에 비해 공정 과정이 첨가될 뿐만 아니라 n- 영역의 직렬 저항이 높아져서 Id가 10~20% 감소된다. 또한 LDD 영역이 부분적으로 공핍되어서 게이트/드레인 중첩 캐패시턴스가 낮아지므로 회로 구현에 있어서 총 손실은 4~8% 정도 된다. 이러한 LDD 구조는 첫 번째 게이트를 형성하기 위해 Polysilicon, WSi2 (Tungsten silicide), Nit(Nitride), Cap(재질 : HLD)을 차례로 증착 후 현상을 거쳐 게이트 전극을 형성한다. 그리고 게이트 식각 시 손상된 노출면을 복구하기 위해 얇은 산화를 한 후 (그림 2)에서 보는 바와 같이 Sidewall 공정을 진행하여 트랜지스터를 만들게 되는데 LDD 구조는 완전한 Capping이 이루어지지 않아 각종 습기(Moisture) 및 Hump를 유발할 가능성이 있으며 그 결과로 전계가 많이 걸리는 드레인 부분의 에지 부분을 취약하게 하여 핫 캐리어가 튀어 들어 올 수 있는 핫 캐리어에 약한 특성 구조를 지니고 있다. 그림 3은 LDD 구조를 TEM 사진으로 촬영한 사진이다. 그림에서 볼 수 있듯이 ILD1 HLD1 layer Depo.로 인해 완전한 Capping이 이루어지지 않은 것을 볼 수 가 있다.



(b) LDD 구조

그림 2. LDD 구조
Fig. 2 LDD structure



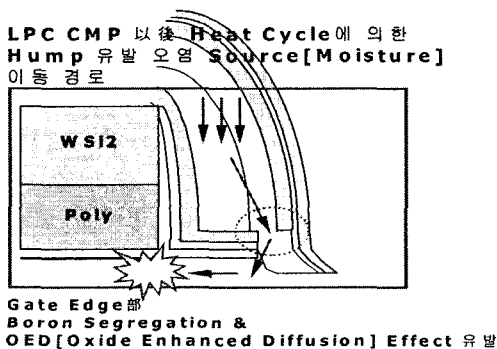
완전한 Capping이 안됨

그림 3. LDD 구조(TEM image)
Fig. 3 LDD structure(TEM image)

2. WSW 소자의 구조 및 제조

WSW(Wrap Side Wall) 소자는 기존의 LDD 구조가 지닌 단점을 보완하기 위해 본 논문에서 개발한 핫-캐리어 내성 특성을 지닌 소자이다. WSW 소자는 최근에 사용되고 있는 최신 반도체 공정을 사용하여 0.18um CMOS 설계 규칙으로 개발하였다. LPC CMP 공정후의 수분 침투 경로와 WSW 소자의 구조는 (그림 4)에 나타내었다.

LDD(Light Doped Drain) 소자와 비교하여 볼 때 WSW 소자는 (그림 4)(b)에 나타낸 것과 같이 다음과 같은 특성을 지니고 있다. Cell Sidewall Spacer 형성 시 주변(Peripheral) 부를 동시에 진행하고 주변 부 Sidewall을 형성 후에 동시에 식각한다. LDD 소자의 경우 Core/주변 부 식각 시 2회 식각 단계로 인한 Si 손실이 발생한다. 그러나 SWS 소자는 P+와 N+ Side 이온주입 후 잔여 막을 제거하기 위해서 ILD1(Inter Layer Dielectric1) HLD1 (High-temperature Low-preasure Dielectric1) 습식

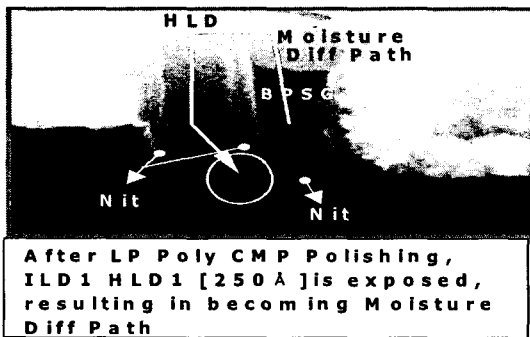


(a) LDD 구조의 LPC CMP 공정후의 수분 침투 경로

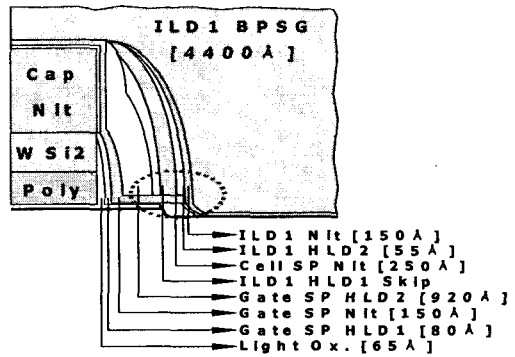
식각 단계를 생략하였고 Side 형성 후 ILD1 계면상태(Nit)로 WSW 소자를 최종 Capping 및 식각하여 완료한다.

이러한 공정은 LDD 구조 대비 Cell 및 주변 소자 특성 변화 없이 Hump 오염 경로를 차단하는 효과가 있으며[4] 일부 공정 단계의 생략이 가능한 공정 단순화 측면이 유리하다. 또한 LDD 소자는 Sidewall spacer 부분의 완전한 Capping이 이루어지지 않아 드레인 에지 부분을 통해(그림 2)(a)와 같이 LPC CMP(Landing Plug Contact, Chemical Mechanical Polishing) 공정 중 수분이 침투하거나 소자 동작 시 캐리어들의 침투로 인해 산화막 특성을 악화시키는 결과를 초래하였다. 따라서 이러한 영향을 제거하기 위해 WSW 소자에서는 기존의 LDD 공정인 ILD1 HLD1 Depo. 전체를 생략하고 공정중의 수분 침투를 억제하고 더 나아가서는 소자가 동작하는 조건에서 발생할 수 있는 핫-캐리어의 침투를 억제하기 위하여 ILD1 HLD1 Depo. 400Å을 생략하여 이후 공정을 연속적으로 진행하여(그림 4)(b), (그림 5)와 같이 완벽한 Capping을 이루게 되었다.

(그림 5)에서는 본 논문에서 개발한 WSW 소자인데 완전한 Capping을 이루기 위해 ILD1 HLD1 layer를 제거하고 제작한 TEM 사진을 보여 주고 있다. 이 그림에서 볼 수 있듯이 기존의 Open capping 구조의 단점을 보완한 것의 결과를 볼 수가 있다. 이렇게 함으로써 LPC CMP 공정 중에 발생할 수 있는 수분의 침투를 억제하고 소자 동작 시 계면상태(Nit) 막이 캐리어의 주입을 억제함으로써 핫-캐리어에 의한 소자 열화도 감소시킬 수 있었다.



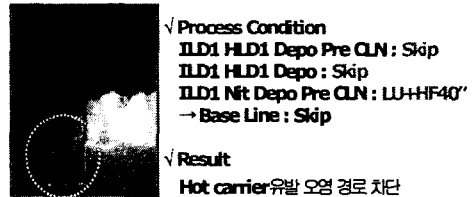
(a) LPC CMP 공정후의 수분 침투 경로



(b) WSW 구조

그림 4. WSW 소자의 구조
Fig. 4 Structure of WSW device

◆ Experimental result for WSW



완전한 Capping 구조형태

그림 5. WSW 구조(TEM image)
Fig. 5 WSW structure(TEM image)

III. 소자의 측정 및 분석

AC 핫-캐리어 열화특성 분석은 on-chip 상에서 53단의 링 오실레이터를 이용하여 펄스를 발생시키고, 이를 레벨 시프터에서 진폭을 원하는 전압으로 조절한 후 주파수 분배기에 인가한다. 이 때 고속으로 동작하는 주파수 분배기 회로에서 한 인버터의 NMOSFET 소자가 고주파수 동작으로 인한 AC 스트레스에 의해 발생하는 드레인 전류의 열화 특성을 분석하였다. 또한 On-chip에서 측정된 AC 핫-캐리어 구조에 대한 회로도도 그림 6과 같으며 공정 파라미터는 <표 1>과 같다.

표 1. 공정 파라미터
Table 1. process parameters

Technology	0.18um CMOS Tech.
Isolation	Shallow Trench Isolation
Gate Oxide Thickness	40A(N2O annealed Oxide)
Gate Width/Length	5/0.25um(NMOS) 10/0.25um(PMOS)
LDD I/I	As, 15KeV, 1.0E14(/cm2)
Source/Drain I/I	As, 30KeV, 5E15(/cm2)
Salicide	Co-Salicide
Sidewall	HLD/Nitride(850A)

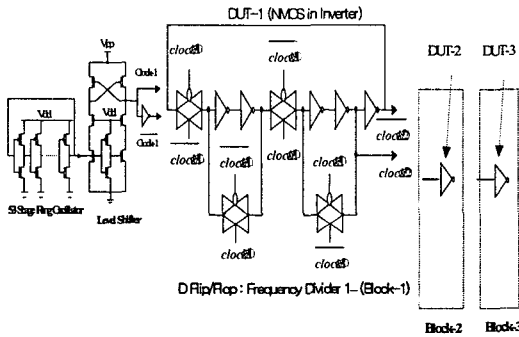


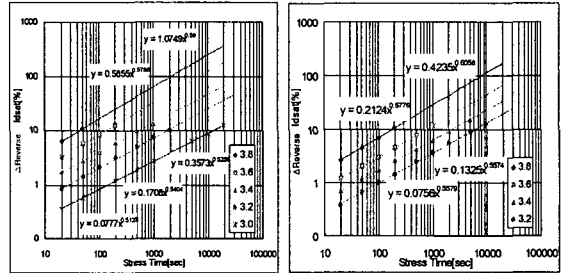
그림 6. 펄스 발생기, 레벨 쉬프터, 주파수 분배기로 구성된 AC 핫-캐리어 테스트 패턴 회로도(Width/Length=5/0.25um for NMOS, 10/0.25um for PMOS)

Fig. 6 The schematic of AC hot carrier test pattern on chip consisting of pulse generator, level shifter and frequency divider(Width/Length=5/0.25um for NMOS, 10/0.25um for PMOS)

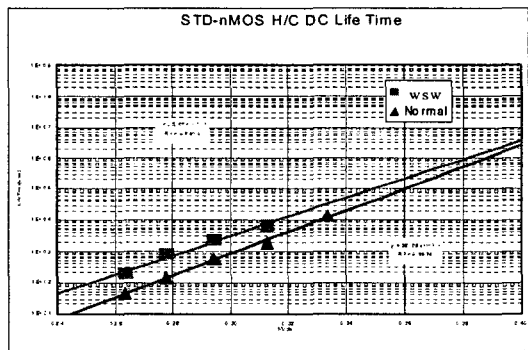
(그림 7)(a)는 LDD 소자와 WSW 소자 구조의 핫 캐리어 수명을 측정하기 위해 스트레스 시간에 따른 역방향 포화전류 I_{dsat} 를 측정한 그래프이다. 동일 조건 하에서 10% I_{dsat} 을 비교해 볼 때 WSW 소자가 스트레스를 적게 받고 있다는 것을 알 수 있다. 이 그래프는 소자의 수명을 예측하기 위해 최악의 소자 파괴 환경을 만들어 시험하는 방법이다. 이러한 소자 측정 조건은 핫-캐리어가 발생할 수 있는 기판전류의 최대값인 조건에서 게이트 전압과 드레인 전압 조건을 찾는데 용이하다.

이 결과를 기초로 하여 핫 캐리어의 DC 수명 결과를 동작전압인 V_{ds} 의 $1/V_{ds}$ 의 역수로 환산하여 소자 수명을 예측할 수 있는 그래프 형식은 (그림 7)(b)에 나타내었다. 소자 수명 예측은 동작 전압으로 측정하면 시간이 많이 소모(10년 이상)되기 때문에 $1/V_{ds}$ 를 기준으로 하는데 (그림 7)(b)에서 알 수 있듯이 $1/V_{ds}$ 를 기준으로 하여 LDD 소

자 구조와 본 논문에서 개발한 WSW 소자 구조의 DC 수명 특성을 비교한 결과 약 15%정도 우수한 것을 알 수 있었다.



(a) LDD 구조와 WSW 구조의 스트레스 시간 대 역방향 I_{dsat} 비교



(b) 수명 측정 결과

그림 7. LDD와 WSW 구조의 수명 측정 결과
Fig. 7 Lifetime measurement result for LDD and WSW structure

(그림 8)은 포화전류 I_{dsat} 열화에 대한 특성을 AC와 DC 스트레스 조건에 따라 비교한 그래프이다. AC 스트레스는 $V_{pp}=4V$ 펄스에 대해서 주파수가 각각 152, 76, 38MHz에서 측정하였고, DC 스트레스는 DAHC($V_d=4V, V_g=1.6V$) 스트레스와 CHE($V_d=V_g=4V$) 스트레스 조건을 인가하면서 I_{dsat} 열화 특성을 분석한 그래프이다.

DAHC 스트레스 조건($V_d=4V, V_g=1.6V, I_{sub_max}$ 조건)에서 측정된 값의 I_{dsat} 열화가 값이 가장 크며, 주파수가 증가할수록 I_{dsat} 열화가 증가하는 현상을 보이고 있는데 주파수가 배수로 증가하면 소자수명은 배수로 감소하는 현상을 보이고 있다.

DC 스트레스인 CHE(Channel Hot Electron) 스트레스에 의한 열화는 AC 스트레스 152MHz 보다 수명이 더 취약한 특성을 보이고 있다.

1% Idsat 열화되는 시간을 기준으로 DC와 AC 특성을 비교하면, AC 수명이 152MHz에서 75배정도 우수한 특성을 보이고 있다(10% Idsat 열화를 기준으로 하였을 경우 AC 수명은 38MHz에서 73배정도 우수한 특성을 보임). 주파수가 증가할수록 펄스 폭은 좁아지지만 DAHC 스트레스를 더욱 많이 받게 되어 열화가 증가하는 특성을 보이고 있다. 또한 AC 열화 특성은 DC 스트레스에 의한 열화보다 소자수명이 더 긴 특성을 보이고 있다.

(그림 9)는 트랜스컨덕턴스 gm 열화에 대한 특성을 AC와 DC 스트레스 조건에 따라 비교한 것이다. 여기서 AC와 DC 스트레스 조건은 (그림 8)의 Idsat 열화 특성과 같은 조건이다. DAHC 스트레스 조건에서 계면상태(Interface state)가 가장 많이 형성되며, 멱함수(Power law) 특성에 따른 AC와 DC의 모든 스트레스 조건에 대하여 gm 열화의 기울기는 일정한 기울기를 가지고 있음을 알 수 있다.

이것으로 AC 스트레스와 DC 스트레스 조건에서 동일한 열화 메커니즘을 따르고 있음을 확인할 수 있다. AC와 DC 스트레스에 의한 선형전류 Idlin 열화와 문턱전압 Vth 이동도 특성을 비교한 것은 각각 (그림 10)과 (그림 11)에 나타내었다. 선형전류 Idlin 열화와 문턱전압 Vth 이동도 특성은 Idsat 열화와 거의 비슷한 경향을 보이고 있다.

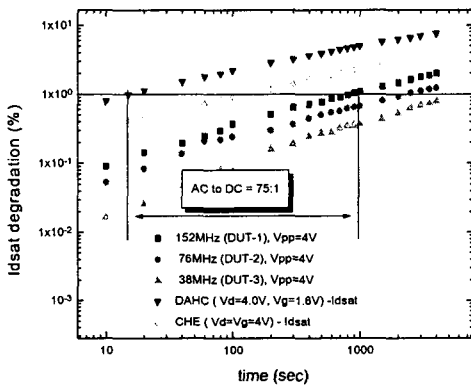


그림 8. AC와 DC 스트레스에 의한 Idsat 열화 비교
Fig. 8 Comparison of Idsat degradation by AC and DC stress

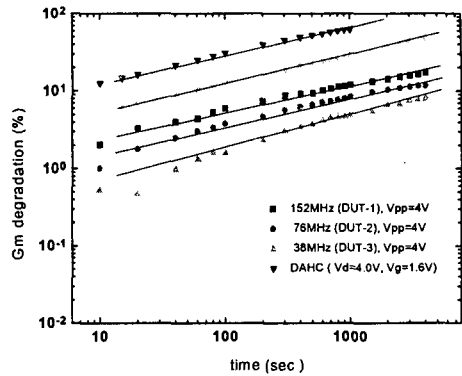


그림 9. AC와 DC 스트레스에 의한 gm 열화 비교
Fig. 9 Comparison of gm degradation by AC and DC stress

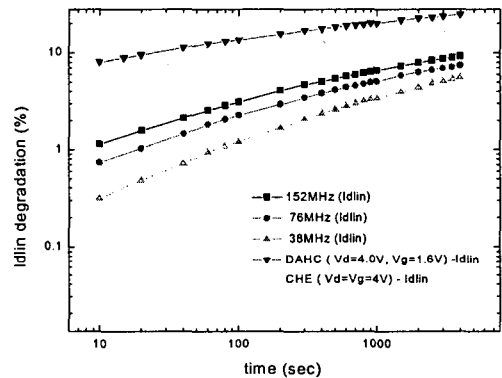


그림 10. AC와 DC 스트레스에 의한 Idlin 열화 비교
Fig. 10 Comparison of Idlin degradation by AC and DC stress

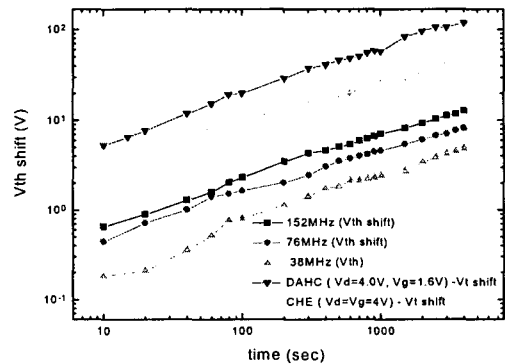


그림 11. AC와 DC 스트레스에 의한 Vth 이동도 비교
Fig. 11 Comparison of Vth shift by AC and DC stress

IV. 결론

본 논문에서는 기존의 LDD 구조로 문제가 되었던 핫-캐리어 열화 현상을 드레인 부근의 채널 영역에서 접합 전계를 줄이는 새로운 WSW(Wrap Side Wall) 구조의 소자를 사용하여 전계를 줄임으로서 핫-캐리어 열화발생을 억제 할 수 있었다. 본 논문에서 개발한 WSW 소자는 완전한 Capping을 이루기 위해 ILD1 HLD1 layer를 제거하여 기존의 Open capping 구조의 단점을 완벽히 보완함으로써 LPC CMP 공정 중에 발생할 수 있는 수분의 침투를 억제 하고 소자 동작 시 계면상태(Nit) 막이 캐리어의 주입을 억제함으로써 핫-캐리어에 의한 소자 열화도 감소시킬 수 있다.

새로운 WSW 구조는 전계를 줄이기 위한 버퍼층으로 되어 있으며 WSW와 기존 구조와의 핫-캐리어 특성도 비교하였다. 또한 AC 핫-캐리어 열화를 칩 상에서 평가하기 위해 펄스 발생기, 레벨 시프터, 주파수 분배기를 포함한 테스트 패턴을 설계하였다. 또한 On-chip에서 WSW 소자를 이용하여 AC 스트레스 조건에 대한 핫-캐리어 열화(Hot carrier degradation)특성을 분석함으로써 AC 와 DC 수명 요소를 얻었다. On-chip에서 AC 스트레스에 의한 10% Idsat 열화는 38MHz에서 DC 보다 수명이 73배정도 향상된 특성을 보였다.

참고문헌

[1] Y. Leblebici and S. M. Kang, Hot-Carrier Reliability of MOS VLSI Circuits, Kluwer Academic Publishers, 1993.
 [2] N. Shimoyama. et. al., "Enhanced Hot-Carrier Degradation in LDD MOSFET's Under Pulsed Stress", IEEE Trans. Electron Devices, vol. 42,

pp. 1600, 1995.

(3) Q. Wang, W. H. Krautschneider, M. Brox, and W. Weber, "Time Dependence of Hot-Carrier Degradation in LDD NMOSFET's," Microelectronic Eng., Vol. 15, pp. 441, 1991.
 (4) Kim Hyeon-Ho, Yi Cheon-Hee, "The MOSFET Hump Characteristics Occurring at STI Channel Edge," Journal of Korea Society for Simulation, Vol. 11-1, pp. 23, March 2002.

저자 소개



김 현 호

1989년 2월 청주대학교 전자공학과 졸업(학사)
 1991년 2월 청주대학교 전자공학과 대학원 졸업(공학석사)
 2002년 8월 청주대학교 전자공학과 대학원 졸업(공학박사)
 1991년~1997년 (주)뉴맥스 중앙연구소 선임 연구원
 1997년 3월~1998년 2월 문경대학 정보통신과 교수
 1998년 3월~현재 도립충북과학대학 전자정보과 교수 <관심분야> 디지털회로설계, 마이크로프로세서, PCB 디자인 등

장 인 갑

1997년 2월 청주대학교 전자공학과 졸업
 2000년 8월 청주대학교 일반대학원 전자공학과 석사과정 졸업
 2003년 9월~현재 충북대학교 일반대학원 정보통신공학과 박사과정 <관심분야> 반도체 회로설계, 마이크로프로세서 등