

SiGe HBT의 Current Gain 특성 향상

송오성 · 이상돈 · 김득중

Current Gain Enhancement in SiGe HBTs

Ohsung Song, Sandon Yi and Dugjoong Kim

요 약 초고속 RF IC의 핵심소자인 SiGe 에피텍시층을 가진 이종양극트랜지스터(hetero junction bipolar transistor: HBT)를 0.35 μm 급 Si-Ge BiCMOS공정으로 제작하였다. 낮은 VBE영역에서의 current gain의 선형성을 향상시키기 위하여 SiGe 에피텍시층의 결합밀도를 감소시킬 수 있는 캐핑실리콘의 두께와 EDR 온도의 최적화 공정조건을 알아보았다. 캐핑 실리콘의 두께를 200Å과 300Å으로 나누고 초고속 무선통신에서 요구되는 낮은 노이즈를 위한 EDR(Emitter Drive-in RTA)의 온도와 시간을 900~1000°C, 0~30 sec로 각각 변화시키면서 최적조건을 확인하였다. 실험범위 내에서의 최적공정조건은 300Å의 capping 실리콘과 975°C-30sec의 EDR 조건을 확인하였다.

Abstract We fabricated SiGe BiCMOS devices, which are important for ultra high speed RF IC chips, by employing 0.35 μm CMOS process. To meet with the requirement of low noise level with linear base leakage current at low VBE region, we try to minimize polysilicon/ silicon interface traps by optimizing capping silicon thickness and EDR(emitter drive-in RTA) temperature. We employed 200Å and 300Å-thick capping silicon, and varied the EDR process condition at temperature of 900~1000°C, and time of 0~30 sec at a given capping silicon thickness. We investigated current gain behavior at each process condition. We suggest that optimum EDR process condition would be 975°C-30 sec with 300 Å-thick capping silicon for proposed 0.35 μm -SiGe HBT devices.

Key Words : SiGe epitaxy, HBT, current gains, EDR process, capping silicon

1. 서 론

고속 무선 통신시장이 급격히 성장함에 따라, 그 근간을 이루는 무선 시스템을 구성하기 위해서는 높은 주파수 특성(fT)과 우수한 noise 특성(NFmin) 및 power efficient한 특성 등을 가지는 소자들이 요구되어진다[1]. 기존의 RF CMOS나 실리콘 BiCMOS공정을 이용한 RF ICs용 제품개발은 high speed, low noise, high linearity 및 low power 특성 면에서 Si-Ge BiCMOS특성에 비해 상대적으로 불리하여 low-end product 개발에 주로 사용되어 지고 있으며, 초고속 interface core IPs 및 고성능 RF 제품은 급속도로 Si-Ge BiCMOS소자가 주로 채택되는 추세이다[2].

실리콘 BiCMOS경우, 실리콘 양극의 특성개선을 위한 기술적 문제점은 좀 더 짧은 전이 시간(τ)과 높은 fT를 얻기 위해서 베이스의 두께가 얇아져야 하고, 높은 fMAX를 얻기 위해서는 베이스의 도핑 농도를 높이는

것이다. 그러나, 실리콘 양극에서 적절한 hFE(current gain: β)을 얻기 위해서는 허용 가능한 베이스 도핑 농도가 정해져 있다. 따라서, 30GHz이상의 fT를 얻는 것은 기술적으로 매우 어려운 것으로 알려져 있다.

기존 RFCMOS 와 실리콘 BiCMOS를 대체하여 IMT2000 등 초고속 무선 통신망을 구축활용하기 위해서는 45GHz에서 동작이 가능하여야 하며 이를 위해서는 Si-Ge HBT BiCMOS를 채택하는 것이 개발추세이다.

초고속 Si-Ge HBT BiCMOS 소자의 개발에서는, SiGe 에피층을 경제성 있게 기존 0.35 μm 급 CMOS와 동시에 제조하는 기술이 필요하며, 특히 낮은 VBE에서 노이즈를 개선하고 선형적인 전류이득을 확보하여야 큰 영역 폭에서의 통신이 가능하므로, 주된 노이즈의 원인으로 추정되는 SiGe 에미터층의 결합밀도를 감소시키기 위해 EDR(Emitter Drive-in RTA)공정을 도입한다.

EDR공정은 RTA(rapid thermal annealer)를 써서 선택적으로 에미터층을 단시간 (30초이내)에 고열 처리하여 적층시의 계면스트레스와 격자 간 불일치에 의한 결합을 제거하는 방안으로 본 연구에서는 특히 에미터상

부에 위치하는 실리콘 캐핑 층의 두께를 200 Å, 300 Å로 나누고 각 두께에서 EDR시의 공정온도를 0~1000°C-30 sec의 범위로 바꾸면서 이때의 낮은 VBE 영역에서 전류이득의 노이즈가 저감되어 선형성이 확보 되는 조건을 알아보는 목적으로 진행되었다.

따라서 본 연구에서는 차세대 비메모리 반도체 시장의 주축인 무선 통신용 소자에 응용될 SiGe HBT (Heterojunction Bipolar Transistor) 소자의 문제점인 낮은 VBE에서의 베이스 전류 증가를 개선하여 설계 마진을 확보할 수 있는 Si-Ge BiCMOS 공정을 개발하고자 하였다.

2. 실험방법

2.1 Fabrication Process

격자 정합된(strained) SiGe 에피택시는 준안정상태로 Ge 농도에 따른 임계 두께가 존재하고 후속 열처리에 따라 격자 이완(strain relaxation)이 일어날 소지가 있다[3].

이에 상대적으로 열처리 과정이 많은 CMOS 집적화가 선 진행된 후 Si-Ge HBT(Heterojunction Bipolar Transistor)를 제작하는 BAGate(Base After Gate) 방법을 이용하였다[4].

그림 1은 개략적인 0.35 μm Si-Ge BiCMOS 공정 흐름도로, 0.35 μm CMOS 공정을 근간으로 하였다. 양극 트랜지스터의 sub-collector 형성을 위하여 NBL(N+

Buried Layer) 형성과 N-(Phosphor doped lum; ~E¹⁵) 실리콘 에피택시 성장을 하고, PSL(polysilicon spacer LOCOS)공정을 이용하여 격리하였다.

양극트랜지스터 간의 격리를 위하여 4 μm Deep trench isolation이 형성되고, CMOS 공정을 위한 well implantation과 게이트형성, LDD(Low Dose Drain) implantation 공정을 진행하였다. CMOS protection후 SiGe HBT 공정을 완료하였다.

본 연구에서 쓰인 집적화공정의 특징은, 안정적인 양산 공정을 위해 non selective epitaxy를 적용하였고, 공정의 편의성과 높은 fMAX값을 얻기 위하여 더블 폴리 실리콘 공정을 이용하였다[5].

SIC는 베이스-컬렉터 접합에서 ~E¹⁶의 농도를 가지도록 Phosphorous ion implantation 하여 형성되었다. 베이스 오픈 후 전면 SiGe 에피택시는 ASM사의 epsilon reactor에서 진행하였다. SiGe 에피택시 전 native oxide의 제거를 위해 hydrogen bake를 진행하였다.

이후 실리콘 시드, boron doped SiGe, 실리콘 캐핑 순으로 1000 Å 성장하였다. 베이스 컨택 형성을 위하여 in situ boron doped polysilicon을 증착하고, in situ phosphor doped polysilicon을 증착하여 에미터를 형성 하였다.

그리고 CMOS의 소오스/드레인 공정을 마무리하고, metal interconnection하였다. 그림 2는 제작된 npn SiGe HBT의 vertical SEM 사진이다.

2.2 EDR 공정의 조건

BiCMOS 공정은 CMOS공정을 근간으로 양극 공정을 추가하는 방식으로 진행된다. 따라서 기존의 Si BiCMOS 공정의 경우, diffused 베이스위에 에미터 폴리실리콘을 증착하고 CMOS의 thermal budget에 의하여 에미터/베이스 junction이 형성되었으나 SiGe BiCMOS의 경우 베이스를 에피택시얼 성장함에 따라 소오스/드레인 RTA만으로 부족하게 된다. 특히 베이스

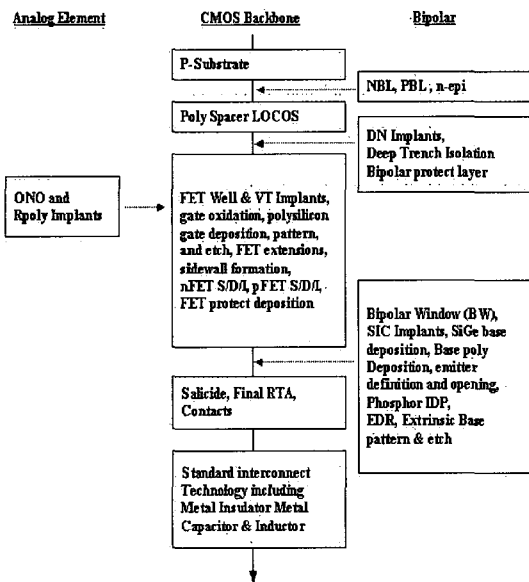


Fig. 1. A process flow for proposed 0.35 μm SiGe BiCMOS device.



Fig. 2. A cross-sectional SEM image of fabricated 0.35 μm SiGe HBT devices.

길이 및 농도를 컨트롤하기 위하여 Ge의 농도를 높이는 경우, 실리콘 캐핑의 두께가 SiGe 에피택시의 양을 유지하는 중요한 인자가 되므로 EDR(Emitter Drive-in RTA)이 더욱 중요하게 된다[6].

본 연구에서는 실리콘 캐핑의 두께를 200 Å과 300 Å로 구분하고 EDR의 온도와 시간을 스플릿 하였다. EDR 온도는 0°C, 900°C, 925°C, 950°C, 975°C, 1000°C에서 각각 30 sec 진행하였다.

또한 이후 진행된 전기적 분석을 통해 베이스 누설전류가 개선된 975°C EDR조건을 10, 20, 30 sec으로 RTA 시간에 따른 변화를 관찰하였다.

EDR조건에 따라 제작된 SiGe 양극트랜지스터 중, 에미터 사이즈가 $0.6 \times 2.0 \mu\text{m}^2$ 인 트랜지스터를 HP4155로 $V_{CE}=1.5\text{V}$ 에서 V_{BE} 에서 따른 I_B 와 I_C 를 측정하였다.

3. 실험결과 및 검토

그림 3에는 실리콘 캐핑 두께가 200 Å인 경우 V_{BE} 증가에 따른 I_C 의 측정결과물이다. 그림 3에서 보여지는 것과 같이 실리콘 캐핑의 두께가 200 Å인 경우, EDR 온도가 증가해도 낮은 V_{BE} 영역에서의 베이스 커런트가 개선됨이 없었다. 특히 EDR 온도에 따른 hFE

특성 곡선을 보면, 최고값이 925°C-975°C EDR에서 일정한 값을 보이다가 다시 증가하는 경향을 보이고 있다.

그림 4에는 실리콘 캐핑 두께가 300 Å인 경우를 나타낸 결과이다, 1000°C이하의 EDR 조건에서 낮은 V_{BE} 영역에서 베이스 커런트의 개선이 확인하며, 975°C 30 sec EDR 조건의 경우, hFE 특성 곡선을 보면 설계 마진이 확보되는 3 decade영역에서 선형적으로 보이고 있다.

이상의 결과를 바탕으로 그림 5에 975°C RTA 공정을 10, 20, 30 sec로 시간의 변화에 따라 V_{BE} 에서 따른 I_B 와 I_C 를 측정된 결과를 나타내었다.

실리콘 캐핑이 200 Å인 경우 EDR 시간의 증가에 따라 낮은 V_{BE} 영역에서 베이스 커런트의 개선은 보이지 않고, hFE 값만 증가하고 있으나 실리콘 캐핑이 300 Å인 경우, EDR 시간이 증가함에 따라 낮은 V_{BE} 영역에서 베이스 커런트의 개선되었음을 보이고 있다.

본 실험을 통하여 EDR조건에 따라 낮은 V_{BE} 영역에서 베이스 커런트의 개선을 확인하였다.

베이스 커런트는 베이스에서 에미터로 주입되는 확산 홀(hole)전류에 의한 것으로 낮은 V_{BE} 영역에서 베이스 누설전류를 유발한 것은 에미터 폴리실리콘/실리콘 캐핑 계면에 존재하는 트랩사이트에 기인하는 것으

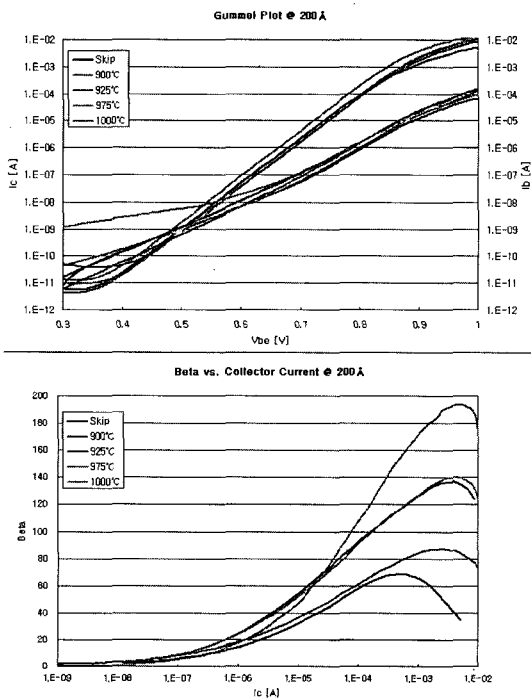


Fig. 3. Gummel plot and hFE with EDR temperature of a 200 Å-thick capping layered HBT devices.

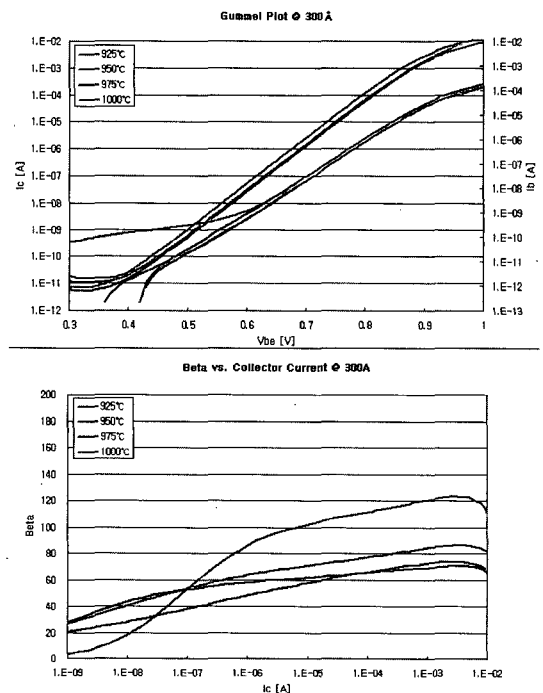


Fig. 4. Gummel plot and hFE with EDR temperature of a 300 Å-thick capping layered HBT devices.

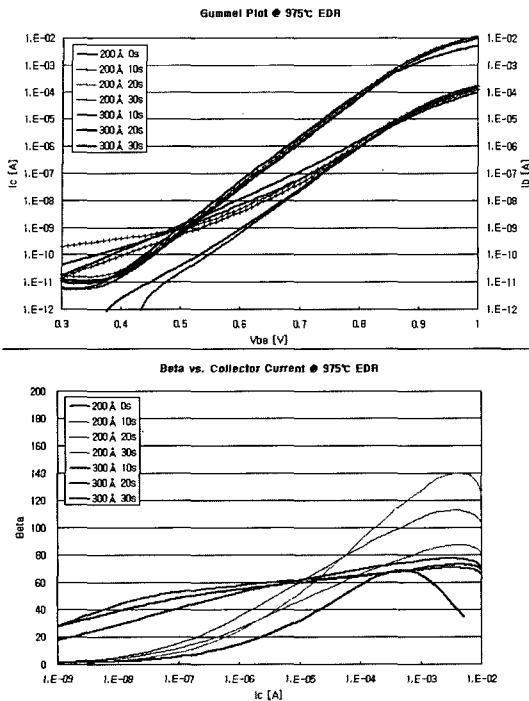


Fig. 5. Gummel plot and hFE with EDR time at the EDR temperature of 975°C.

로 사료되었다.

따라서 EDR에 의하여 에미터/베이스 계면을 실리콘 캐핑 내부로 변화시키면서 폴리실리콘/실리콘계면의 결합을 제거하면 누설전류는 개선될 것으로 예상 되었다.

표 1에는 EDR온도에 따른 AC특성의 변화를 나타내었다. 표와 같이 EDR온도가 AC특성에 미치는 영향은 매우 미약하다. 그러나 실리콘 캐핑의 두께가 낮은 경우 hFE가 증가하면서 선형적으로 떨어지는 것은 Paul[6]의 주장과 같이 실리콘공정 중 발생하는 thermal budget에 의하여 정합 층인 SiGe에서 발생하는 스트레스를 완화시켜 relaxed layer로 변화되는 것으로 추측되었다.

4. 결 론

Si-Ge HBT를 0.35 μm 급 CMOS공정으로 제조하였

Table. 1. AC characteristics with EDR temperature

Condition	f_T [GHz]	f_{MAX} [GHz]
0°C 0 sec	44.5	40.0
975°C 30 sec	42.3	48.7
1000°C 30 sec	40.0	53.7

다. 낮은 V_{BE} 에서의 특성개선을 위해 주요공정변수라고 예상되는 에미터층의 RTA 조건과 최적 실리콘 캐핑 조건을 0~1000°C-30 sec, 200 Å/300 Å으로 각각 나누어 실시한 후 이때의 V_{BE} 에 따른 I_C 의 변화를 측정하였다. 가장 I_C 가 향상될 수 있는 조건은 300 Å의 캐핑 두께에서 975°C-30 sec의 EDR조건이었다.

감사의 글

본 연구를 위해 지원해 주신 에이아이인터내셔널 코리아에 감사를 드립니다.

참고문헌

- [1] A. Das, et.al., "Review of SiGe Process Technology and its Impact on RFIC Design", Proceedings of IEEE RF IC Symposium p. 325. 2002.
- [2] Gerald S. Worchel, "Silicon Germanium Technology-When The Electron Hits The Airwaves", Report No. IN020093EA, In-Stat/MDR, 2002.
- [3] S. S. Iyer, et.al., "Heterojunction Bipolar Transistors Using Si-Ge Alloys", IEEE Trans. Elec, 36, p. 2043, Dev, 1989.
- [4] D. L.Harame, et.al., "Current status and Future Trends of SiGe BiCMOS Technology", IEEE Trans. Elec, 48, p. 2575, Dev, 2001.
- [5] D. L. Harame, et.al., "Si/SiGe Epitaxial-Base Transistors-Part II : Process Integration and Analog Applications", IEEE Trans. Elec, 42, p. 469, Dev, 1995.
- [6] D. J. Paul "Silicon-Germanium Strained Layer Materials in Microelectronics", Advanced Materials II, 3, p. 191, 1999.