
비트 리킹 포인터 조정 지터에 관한 연구

최승국* · 이기영*

A Study on Bit Leaking Pointer Adjustment Jitter

Seung-kuk Choi* · Ki-Young Lee*

본 연구는 한국과학재단 지정 인천대학교 멀티미디어연구센터의 지원으로 수행되었음.

요 약

비트 리킹 기법을 이용한 포인터 조정 지터의 감소 방식에 대하여 연구한다. 이러한 지터 감소 방식에 대하여 기술하며, 컴퓨터 시뮬레이션에 의한 방법으로 이때 발생하는 지터의 rms값을 분석한다. 분석 결과, 이 기법을 이용한 장치에서 발생하는 포인터 조정 지터는 기존 시스템에서 발생하는 지터보다 그 크기가 약 1/4 정도로 감소되는 것으로 밝혀졌다.

ABSTRACT

Bit leaking technique is analyzed as method for reducing pointer adjustment jitter. The method for jitter reduction is described, and simulation results are represented to illustrate rms jitter performance. The results show that rms jitter value decrease to less than 25% as compared to a conventional pointer adjustment system.

키워드

동기, 포인터 조정 장치, 비트 리킹 방식, 지터

1. 서 론

현재 사용되고 있는 동기식 디지털 계위(SDH: Synchronous Digital Hierarchy)의 동기식 전송망에서는 통신망내의 각 노드(node)에 있는 클럭들이 동기 되어, 이상적인 경우 각 클럭의 주파수 및 위상이 모두 같다. 그러나 각 노드 내 클럭들 자체의 위상 잡음과 클럭 동기망의 불완전한 동작으로 인하여, 각 클럭들 간의 위상은 서로 일치되지 못하여 노드 클럭들에 지터 및 원더(jitter and wander)가 존재한다. 노드 A의 클럭과 B의 클럭

간에 위상 시간(phase time)차가 존재하므로, 노드 B의 버퍼(buffer)에 노드 A에서 전송되어 온 데이터를 임시로 입력시킨 후에, 다시 노드 내로 읽어들이는 과정에서 에러가 발생될 수 있다. SDH 전송 장치에서는 이러한 위상차 변화를 위치 맞춤(justification)으로 보정 한다.

위치 맞춤은 노드 클럭을 삭제 또는 생성시켜서, 노드 클럭과 입력 클럭 간의 위상 차이를 경계치 사이에서만 변동하게 하여 주는 스타핑 동기 방식을 사용한다[1]. 이러한 위치 맞춤 과정에서 발생하는 포인터 조정 지터(또는 스타핑 지터)는

Duttweiler에 의해 이론적으로 분석되었다[2]. 포인터 조정은 근본적으로 155.52 Mbit/s의 SDH 노드 클럭이 3바이트씩 조정되므로 발생하는 지터의 크기가 크다. 포인터 조정 지터를 감소시키기 위하여, 비트 리킹(Bit Leaking) 방식이 제시 되었다[3]. 본 논문에서는 이러한 비트 리킹 방식에서 발생하는 포인터 조정 지터의 성질을 분석하고자 한다.

$$S_s(f) = \text{sinc}^2 f \cdot Q(f) + \sum_{n=-\infty}^{\infty} \left[\frac{S_r}{2\pi n} \right]^2 (\delta(f-n) + \delta(f+n)) \quad (1)$$

이때

$$Q(f) = \sum_{n=-\infty}^{\infty} \left[\frac{1}{2\pi n} \right]^2 (\text{rep} \delta(f - S_r n + \text{rep} \delta(f + S_r n)) \text{rep} X(f) = \sum_k \sum_{-\infty}^{\infty} X(f-k) \quad (2)$$

II. 포인터조정장치에서 발생하는 지터

정/영/부 위치 맞춤은 버퍼에 들어있는 데이터를 읽어내기 위하여 공급되는 노드 클럭 중, 프레임 내에 있는 정 위치 맞춤 자리에 있는 클럭들을 AU-4의 경우 세 바이트씩 삭제시켜 그 자리에 더미 바이트를 삽입하거나(정 위치 맞춤), 또는 부 위치 맞춤 자리에 있는 값 대신 그 자리에 그 자리에 데이터를 삽입하여(부 위치 맞춤), 프레임과 VC의 위상 차이가 상한과 하한 한계값 사이에서만 변동하게 하여주는 스타핑 동기 방식이다. 이 때 프레임 내에서 계속 변동되는 VC의 시작 위치는 위치 맞춤에 따라 변화되는 포인터에 의해서 표시된다.

이와 같은 스타핑 제어 시 클럭이 멈추어질 수 있는 것은 프레임 내 일정한 곳에서만 가능하므로 일정한 스타핑 가능한 시간 위치까지 기다려야만 멈추어질 수 있어 그로 인한 위상 보정이 가능하다. 이와 같은 이유에서 스타핑 지터는 대기 시간 지터라고도 한다. 이와 같은 위치 맞춤은 최대 매 4번째 프레임마다 발생할 수 있도록 ITU-T 권고안 G.709[1]에서 규정하고 있다. 따라서 발생 가능한 최대 위치 맞춤의 주파수는 2 kHz(8 kHz/4)가 된다. 동기식 통신망에서 각 노드 클럭의 주파수는 155.52 Mbit/s보다 4.6 ppm 높거나 낮을 수 있다. 실제 위치 맞춤이 행하여지는 빈도 대 최대로 위치 맞춤 빈도(1초당 2000번)의 비인 스타핑비 S_r 은 +0.03에서 -0.03 사이의 값을 가진다.

그러나 클럭이 갑자기 멈추게 되면 지터 성분이 크게 되므로 평활화 PLL(smoothing Phase Locked Loop)을 사용하여 급작스럽게 크게 변동하는 위상의 움직임을 작게 되도록 평활화 시킨 후, 이 평활화되어 지터 성분이 작은 클럭으로 데이터를 읽어 내도록 한다[4]. Duttweiler는 스타핑 지터의 전력 스펙트럼(power spectrum) $S_s(f)$ 를 아래 식(1)과 같이 구하였다[2].

$\delta(\cdot)$ 는 Dirac delta 함수이며 주파수 f 의 단위는 포인터 조정 가능 주파수이다. 필터링된 지터의 전력 스펙트럼 $S_d(f)$ 는 원래 스펙트럼에 평활 PLL의 지터 전달함수 $H(f)$ 의 크기의 자승을 곱하면 다음 식 (3)과 같이 구할 수 있다.

$$S_d(f) = |H(f)|^2 S_s(f) \quad (3)$$

이후 이 스펙트럼을 모두 합하면 평활된 지터의 실효값 (effective value) 또는 rms 값 (root mean square value)이 구해진다. 평활 PLL로는 보통 2차(second order) PLL이 사용되는데 댐핑 계수(damping factor)를 7로 크게 선정하였다. 전달함수는 다음 식 (4)와 같은 식이 된다.

$$H(f) = \frac{1 + j2\zeta f/f_n}{1 + j2\zeta f/f_n - (f/f_n)^2} \quad (4)$$

이때

- ζ : 댐핑계수
- f_n : 공진 주파수 (resonance frequency)
- f_g : 3-dB 대역폭

포인터 프로세서를 위한 PLL의 3-dB 대역폭 f_g 를 100 및 300 Hz로 각각 선정하였다. 이 대역폭 값들은 조정 가능 주파수를 단위로 할때 각각 0.05 (참고: 0.1/2), 0.15 (0.3/2)가 된다. 이러한 파라미터를 가지는 포인터 프로세서에 나타날 이상적인 지터의 실효치들이 계산식 (1)~(4)를 이용하여 계산되었으며, 그 결과치가 그림 1에 도시되었다. 스타핑비가 0 근처인 저주파 지터는 평활 PLL로도 제대로 감소되지 못하여, 그림 1에서와 같이 모든

스타핑비에 대한 평균적인 rms값의 크기가 38.4 ns인, 큰 크기의 포인터 조정 지터가 발생된다.

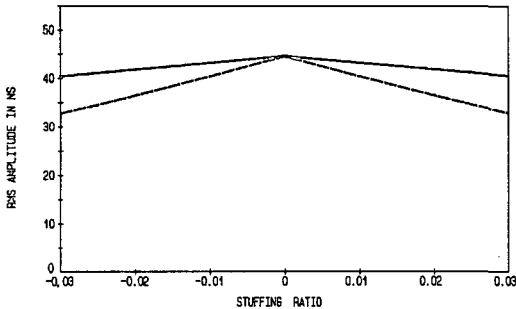


그림 1. 포인터 조정 장치에서 발생하는 필터링된 스타핑 지터의 스타핑비에 따른 실효치
 (— : PLL 3-dB 대역폭 300 Hz, - - - : 100 Hz)
 Fig.1 rms value of stuffing jitter generated in pointer adjustment system(— : PLL 3-dB bandwidth 300 Hz, - - - : 100 Hz)

III. 이상적인 비트 리킹 방식에서 발생하는 지터

포인터 조정 시 3바이트 대신 그림 2에서와 같이 1비트씩 제어하는 방법이 비트 리킹 방식이다 [4]. 이때 지터는 그 크기가 우선 1/24로 작아지며 아울러 톱니파 지터 신호의 반복 주파수도 24배 높아지므로 평활 PLL로 감소가 용이해 진다. 그림 3에 보인 것처럼 만일 스타핑비가 1/2보다 약간 작거나 크면 높이가 1/2이며 더욱 저주파인 역시 톱니파 모양의 대기 시간 지터 성분(그림의 low freq. envelope)이 역시 발생한다. 포인터 조정 시 스타핑비가 0.02보다 조금 크거나 또는 조금 작으면 역시 높이가 $24 \cdot 0.02 = 0.48\text{UI}$ (Unit Interval)인 더욱 큰 대기 시간 지터가 발생한다. 실제 장치에서는 24UI 크기의 톱니파 지터에 더불어 대기 시간 지터가 존재하므로 매 주기 T때마다 크기가 정확히 0이 되지 못한다.

대기 시간 지터 까지 모두 포함된 스타핑 지터의 크기를 구하는 방법은 Kozuka 등에 의한 계산 방식[5]을 이용할 수 있다. 0에서 0.03 (0에서 1/33)까지의 작은 값인 스타핑비 값은 예를 들어

1/1000, 1/999, ..., 1/100, 1/99, 1/98, ..., 1/35, 1/34, 1/33로 세밀하게 대기 시간 지터의 크기를 계산할 수 있다. 그러므로 Kozuka 방식은 포인터 조정과 같이 스타핑비가 작은 특수한 경우 스타핑 값을 정확히 결정할 수 있으며, 아울러 저주파의 대기 시간 지터를 분리하여 계산할 수 있다는 장점이 있다. 실제 Kozuka 방식에 따라서 포인터 조정 지터의 실효치를 계산했을 때 그 결과가 그림 1의 Duttweiler에 따라서 계산된 결과와 일치함을 확인하였다.

스타핑비가 두개의 서로 나누어 떨어지지 않는 간단한 수로 이루어지는 분수 근처의 값들을 가질 때 발생하는 저주파 톱니파 지터 신호의 첨두치가 그림 4에 도시되었다. 스타핑비가 이와 같이 1/2, 1/3, 2/3, ... , h/k등의 특별한 값 근처의 값을 가질 때 첨두치가 1/2, 1/3, 1/3, ... , 1/k인 톱니파형 지터가 발생한다. 포인터 조정 시스템에서 시스템이 동작할 때 발생하는 대기 시간 지터의 첨두치가 그림 5에 도시되었다. 스타핑비가 0~0.015 사이의 값들은 1/1000, 1/999, ... , 1/999, ... , 1/68, 1/67로 매우 세밀하게 나타낼 수 있으므로 이때 첨두치가 각각 1/1000, 1/999, ... , 1/68, 1/67 UI인 톱니파의 대기 시간 지터가 발생된다. 그러나 스타핑비가 예를 들면 0.0025974일 때는 그 값은 1/39보다는 2/77로 표시되며 이때 1/77 UI의 첨두치를 가지는 지터가 발생된다. 이와 같은 방법으로 스타핑비를 -0.03에서 +0.03 까지 120등분하여 각 스타핑비에서 시스템이 동작할 때 발생하는 대기 시간 지터의 rms값을 계산하여 그림 6에 도시하였다.

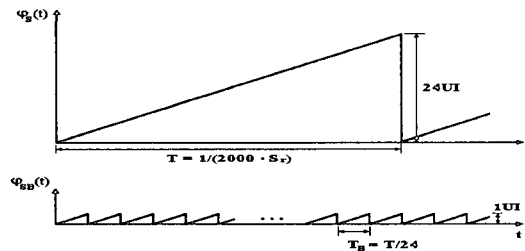


그림 2. 포인터 조정 지터 $\phi_S(t)$ 와 이상적인 비트 리킹 시의 지터 파형 $\phi_{SB}(t)$

Fig.2 Pointer Adjustment jitter $\phi_S(t)$ and Jitter waveform $\phi_{SB}(t)$ by bit leaking

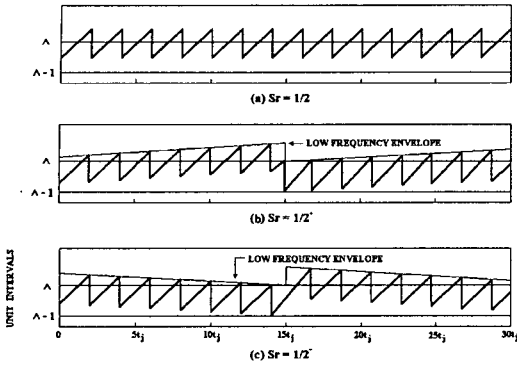


그림 3. 대기 시간 효과에 의해 발생하는 저주파의 스타핑 지터 성분
Fig.3 Low frequency stuffing jitter generated due to waiting time effect

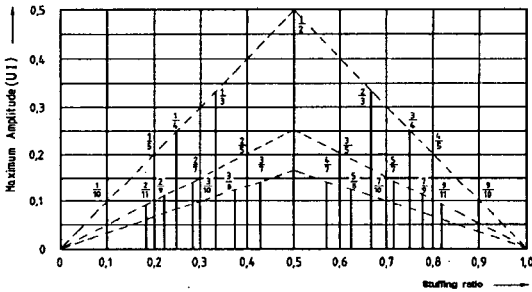


그림 4. 대기 시간 지터의 첨두치
Fig.4 Peak value of waiting time jitter

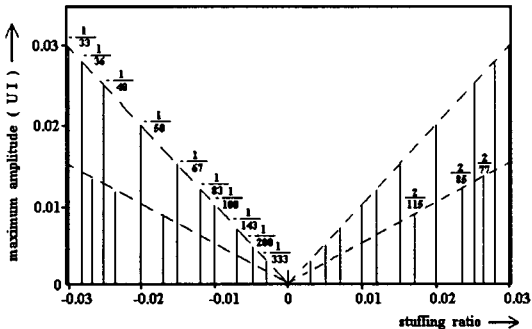


그림 5. 스타핑비가 -0.03~0.03 사이에서 발생하는 대기 시간 지터의 첨두치
Fig.5 Peak value of waiting time jitter for -0.03~0.03 stuffing ratio

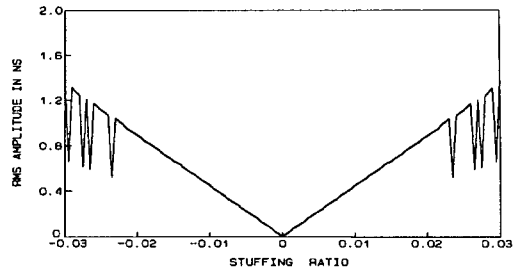


그림 6. 스타핑비가 -0.03에서 +0.03일 때 발생하는 대기 시간 지터의 rms값
Fig.6 rms value of waiting time value for -0.03~0.03 stuffing ratio

IV. 실제적인 비트 리킹 시스템에서 발생하는 지터

그림 7에 비트 리킹 방식을 사용한 실제의 역동기화 장치의 구성도에서 역동기화 장치에서는 포인터 조정 시간 간격보다 더 짧은 시간 내에 24번씩 모두 비트 리킹 시켜야 한다. 그림 8에 비트 리킹 소요 시간이 실제 바이트 스타핑 시간의 75%에 완료될 경우에 발생하는 평활된 지터의 파형이 컴퓨터 시뮬레이션으로 생성되어 도시되었다. 이 때 스타핑비는 0.01, PLL의 3-dB 대역폭은 300Hz 이다. 지터는 높은 주파수 성분을 갖게 되므로 PLL에 의해 그 고주파 성분이 현저하게 감소되었다. 비트 리킹이 이와 같은 조건으로 동작되는 시스템에서 발생하는 지터의 실효치가 시뮬레이션에 의해 분석되어 그림 9에 도시되었다. 평활 PLL의 3-dB 대역폭이 100Hz일 때 300Hz인 경우보다 지터가 감소되어 작아지나 스타핑비가 ± 0.03 으로 커서 유리한 경우에도 대기 시간 지터 때문에 실효치가 10~12ns인 큰 저주파 지터가 역시 발생된다.

V. 결 론

동기식 전송망에서 발생하는 포인터 조정 지터에 대하여 분석하였다. 지금까지 사용되고 있는 기존의 시스템에서 발생하는 지터는 실효치가 40 ns인 큰 크기의 지터가 발생된다. 이와 같은 포인터 조정 지터를 감소시키기 위하여 비트 리킹 방식을

사용하였으며, 이때 발생하는 이상적인 지터가 분석 되었으며, 실제 비트 리킹 시스템에서 발생하는 지터가 컴퓨터 시뮬레이션에 의한 방법으로 분석 되었다. 비트 리킹 방식에서 발생하는 지터는 실효치가 12 ns 이하로 기존의 포인터 조정 지터 보다 그 크기가 약 1/4로 감소되는 것으로 분석 되었다.

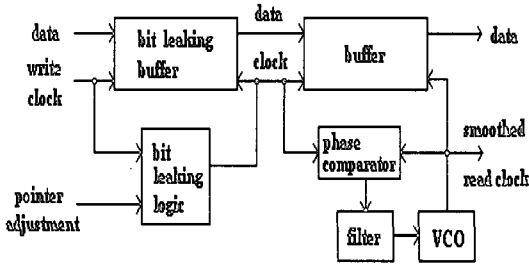


그림 7. 비트 리킹 방식을 이용한 역동기화 장치의 구성도
Fig.7 Block diagram of desynchronizer using bit leaking technique

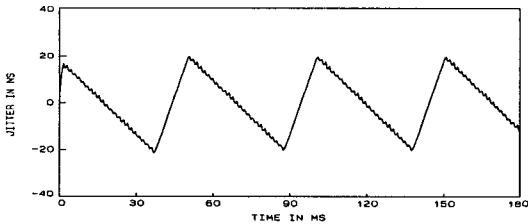


그림 8. 비트 리킹 시스템에서 발생하는 평화된 지터의 파형
Fig.8 Jitter waveform by bit leaking system

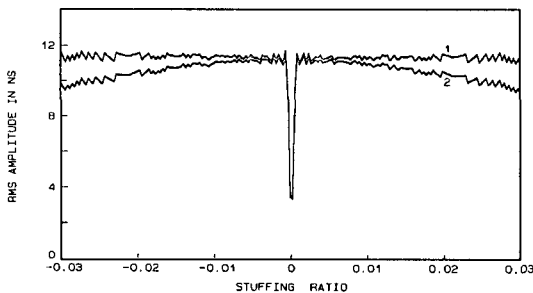


그림 9. 비트 리킹 시 발생하는 지터의 실효치(1:PLL 3-dB 대역폭 300Hz, 2: 100Hz)
Fig.9 rms value of jitter by bit leaking system(1:PLL 3-dB bandwidth 300Hz, 2: 100Hz)

참고문헌

- [1] ITU-T Rec. G.707, G.708 and G.709, 1996.
- [2] D. L. Duttweiler , "Waiting Time Jitter", Bell Syst. Tech. J., vol.51, pp.165-207, Jan. 1972.
- [3] Gardner F.M., "Phaselock Techniques", John Wiley & Sons, 1979.
- [4] R. G. Kusyk , W. A. Krzymien and T. E. Moore , "Analysis of Techniques for the Reduction of Jitter caused by SONET Pointer Adjustments", IEEE Trans. Commun., vol.42, no.2, pp. 2036-2050, Feb. 1994.
- [5] Y. Matsuura, S. Kozuka and K. Yuki., Jitter Characteristics of Pulse Stuffing Synchronization", IEEE Int. Conf. on Commun., pp. 259-264, June 1968.
- [6] 최승국, "무선 LAN 시스템에서의 심볼동기", 한국해양정보통신학회논문지 7권 3호, pp.378-383, 2003년 6월

저자소개



최승국(Seung-Kuk Choi)

2004년 8월 제8권 제5호 참조
1989년~현재: 인천대학교 정보통신공학과 교수



이기영(Ki-Young Lee)

1982년 : 연세대학교 전기공학과 공학사
1984년 : 연세대학교 대학원 전기공학과 공학석사
1993년: 미국 알라바마대학교 전기 및 컴퓨터공학과 공학박사
1994년~현재: 인천대학교 정보통신공학과 부교수
* 관심분야: 인터넷 트래픽 제어, 네트워크보안