

논문 2004-41SD-9-3

70 nm T-게이트를 갖는 InGaAs/InAlAs/GaAs metamorphic HEMT 소자의 제작 및 특성

(Fabrication and Characterization of 70 nm T-gate AlGaAs/InGaAs/GaAs metamorphic HEMT Device)

김 성 찬*, 임 병 옥*, 백 태 종*, 고 백 석*, 신 동 훈**, 이 진 구***

(Sung-Chan Kim, Byeong-Ok Lim, Tae-Jong Beak, Beak-Suk Ko, Dong-Hoon Shin, and Jin-Koo Rhee)

요 약

우리는 3층 구조의 레지스터와 이중 노광 방법을 이용하여 유전체 지지대를 사용하지 않은 새로운 방법으로 게이트 길이가 70 nm인 T-게이트를 갖는 InGaAs/InAlAs/GaAs metamorphic HEMT 제작 하였다. 게이트 길이가 70 nm이고 게이트 단위 폭이 70 μm 인 2개의 게이트를 가지고 있는 MHEMT는 최대 포화 전류밀도가 228.6 mA/mm, 상호전달 컨덕턴스는 645 mS/mm, 전류이득차단주파수가 255 GHz인 특성을 보였다.

Abstract

In this paper, we have demonstrated the fabrication of a 70 nm foot print of the T-gate by using a positive resist ZEP520/P(MMA-MAA)/PMMA trilayer by double exposure method without a thin dielectric supporting layer on the substrate. The device performance was characterized by DC and RF measurement. The fabricated 70 nm InGaAs/InAlAs MHEMTs with 70 μm unit gate width and 2 fingers showed good DC and RF characteristics of $I_{\text{dss,max}} = 228.6 \text{ mA/mm}$, $g_m = 645 \text{ mS/mm}$, and $f_T = 255 \text{ GHz}$, respectively.

Keywords: MHEMT, T-gate, dielectric support, ZEP520, e-beam lithography

I. 서 론

InP 기판위에 InAlAs/InGaAs를 사용하는 고전자 이동도 트랜지스터(HEMT: High Electron Mobility Transistor)는 300 GHz 이상의 차단 주파수를 갖는 우수한 초고주파 특성을 보여 주고 있다^[1]. 우수한 소자 특성을 갖는 InP 기반의 HEMT 구조는 마이크로파나 밀리미터파를 이용하는 위성 방송 수신 장치 등에 응용되고 있다^{[2]-[5]}. 그러나 GaAs 기반의 웨이퍼와 비교하

면, InP 기반의 웨이퍼는 역학적으로 부서지기 쉬운 성질과 높은 재료비용과 같은 결정적인 결점을 가지고 있다. 최근 이러한 단점을 개선하기 위하여 GaAs 기판위에 metamorphic 버퍼층을 가지고 있는 InAlAs/InGaAs HEMT(MHEMT)가 제안되었다^[6]. MHEMT 구조의 전기적 수송 특성은 InGaAs 채널에서와 metamorphic 버퍼층의 In 몰 비에 의해서 영향을 받는다는 것이 증명되었다^{[7]-[9]}.

InP를 기반으로 하거나 GaAs를 기반으로 하는 HEMT 소자들에 있어서 소자의 초고속 특성은 기본적으로 게이트의 길이를 줄임으로써 얻을 수 있다. 최근 전자빔 노광장비의 발전은 나노미터(nm) 크기의 게이트 길이의 제작을 가능하게 만들었다. 몇몇의 연구 그룹들은

* 학생회원, ** 정회원, *** 평생회원
 동국대학교 밀리미터파 신기술 연구센터
 (Millimeter-wave INnovation Technology research center, Dongguk university)
 접수일자: 2004년6월10일, 수정완료일: 2004년8월30일

지난 몇년 동안 나노미터 크기의 게이트 길이를 가지는 매우 우수한 성능을 가지는 소자를 제작하였다^{[10]-[11]}. 이러한 게이트 공정 과정은 반도체에 접촉하는 게이트 foot의 면적이 매우 좁기 때문에 역학적으로 매우 불안정하여 게이트 head가 무너지는 현상을 막기 위하여 대부분 얇은 유전체 지지층을 요구한다. 그러나 이러한 유전체 지지층은 소자의 성능을 감소시키는 기생 커패시턴스와 공정을 복잡하게 만드는 주요 원인이 된다^[12].

본 논문에서, 우리는 기생 커패시턴스의 감소와 공정 과정의 복잡성을 줄이기 위해서 유전체 지지대를 사용하지 않는 방법으로 GaAs 기반의 70 nm T-게이트를 가지는 InGaAs/InAlAs MHEMT를 제작하고 그 특성에 관하여 조사하였다.

II. MHEMT 설계 및 제작

본 논문에서는 70 nm 길이의 게이트를 갖는 MHEMT를 제작하기 위하여 단일 이종접합 구조의 에피 구조를 사용하였다. 그림 1에 MHEMT 제작에 사용된 에피층의 구조를 나타내었다.

Hall 측정으로부터 상온(300 K)에서의 2-DEG층의 carrier 농도는 $3.5 \times 10^{12} \text{ cm}^{-2}$ 이고 전자의 이동도는 $9550 \text{ cm}^2/\text{V}\cdot\text{s}$ 이었다. 70 nm 게이트 길이를 갖는 GaAs MHEMT 소자는 T-게이트를 형성하기 위하여 유전체 지지대를 이용하지 않고 가장 일반적인 전자빔 노광 방법을 이용하여 제작 하였다. 제작된 MHEMT의 게이트와 소스간의 간격은 $0.97 \mu\text{m}$ 이고 드레인과 소스의 간격은 $2 \mu\text{m}$ 이다.

In_{0.53}Ga_{0.47}As	Capping layer	15 nm
In_{0.52}Al_{0.48}As	Shottky layer	10 nm
	Si planar doping $4.5 \times 10^{12}/\text{cm}^2$	
In_{0.52}Al_{0.48}As	Spacer layer	3 nm
In_{0.53}Ga_{0.47}As	Channel layer	12 nm
In_{0.52}Al_{0.48}As	Buffer layer	400 nm
In_xAl_{1-x}As (x=0~0.5)	Graded Buffer layer	1000 nm
Semi-insulating GaAs substrate		

그림 1. InGaAs/InAlAs/GaAs metamorphic HEMT (MHEMT) 에피 구조의 개략적인 단면도
Fig. 1. Schematic cross-section of InGaAs/InAlAs/GaAs metamorphic HEMT(MHEMT) epitaxial structure.

T 형태의 게이트는 짧은 게이트 길이를 가지는 소자를 위해 게이트 저항을 최소화하기 위하여 요구된다. 재현성 있는 70 nm T-게이트 패턴을 구현하기 위하여 (ZEP520 : DCB = 1.5 : 1)/P(MMA-MAA)/PMMA950k (1500/7000/2000 Å)의 3층 레지스트 구조를 사용하였다. ZEP520 레지스트는 PMMA 레지스트에 비하여 우수한 해상도를 제공하고 공정 허용도 특성이 우수하며 해상도의 손실 없이 직사각형 형태의 profile을 얻을 수 있다는 장점을 가지고 있다. 3층 레지스트 구조를 사용하여 T-게이트를 형성하는 과정을 그림 2에 나타내었다^[13]. T 형태의 profile을 형성하기 위하여 게이트 head와 게이트 foot을 형성하기 위한 큰 sensitivity비를 가지고 있는 레지스터를 사용해야 한다. 우리는 실험적으로 50 kV에서는 게이트 head를 위해 $50 \mu\text{C}/\text{cm}^2$ 과 게이트 foot를 위해 $550 \mu\text{C}/\text{cm}^2$ 도즈가 적당하다는 결과를 얻었다. 게이트 head의 형성을 위한 첫 번째 노광 후에 PMMA950k 층은 MCB(monochlorobezene)를 사용하여 15초 동안 현상하였고, 다음으로 P(MMA-MAA) 층은 methanol과 IPA을 1 : 1로 혼합한 용액을 사용하여 28

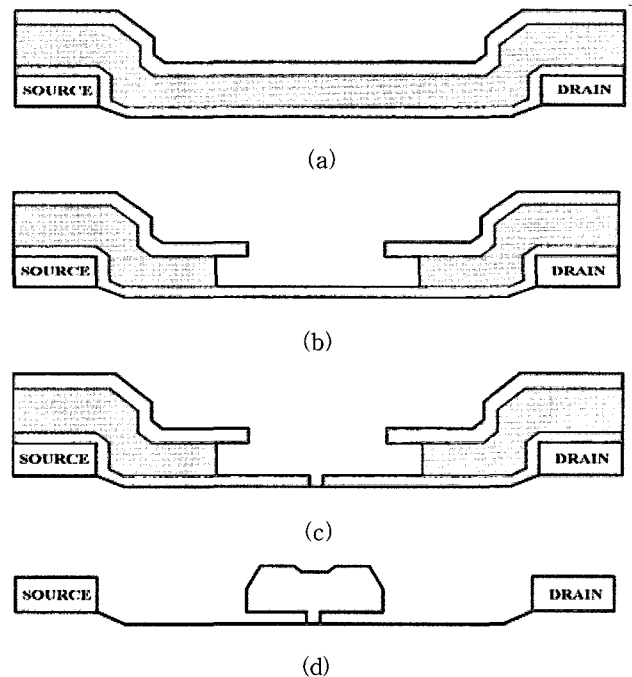


그림 2. T-gate 제작을 위한 공정 흐름도 (a) 레지스터 코팅 및 베이킹, (b) 첫 번째 노광과 현상, (c) 두 번째 노광과 현상, (d) 금속증착과 리프트-오프 과정
Fig. 2. Process flow for T-gate fabrication: (a) resist coating and baking, (b) first exposure and development, (c) second exposure and development, (d) metalization and lift-off.



그림 3. 70 nm T-게이트 패턴의 단면 SEM 사진
Fig. 3. Cross-sectional SEM image of 70 nm T-gate pattern.

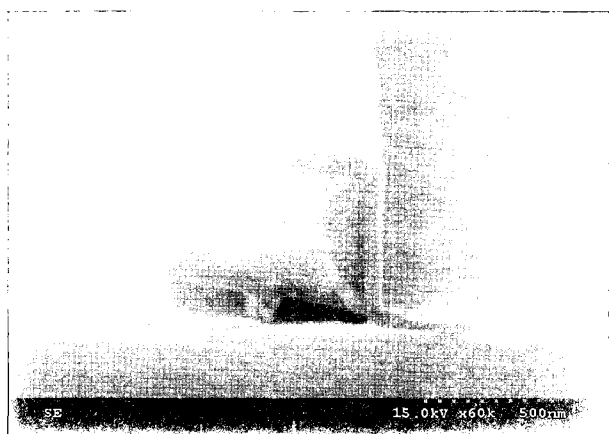


그림 4. 역학적으로 불안정한 70 nm 게이트 foot의 SEM사진
Fig. 4. SEM image of 70 nm gate foot length with mechanical instability.

초 동안 현상 하였다. 게이트 foot 패턴을 위한 두 번째 노광 후에 맨 아래 ZEP520 레지스터 층은 MIBK와 IPA을 1 : 3으로 혼합한 용액을 사용하여 2분 동안 현상 하였다. 게이트 foot 패턴을 위한 두 번째 노광 후에 맨 아래 ZEP520 레지스터 층은 MIBK와 IPA을 1 : 3으로 혼합한 용액을 사용하여 2분 동안 현상 하였다. 그림 3은 70 nm 게이트 길이를 갖는 T 형태의 profile을 보여 주고 있다. 게이트 길이가 70 nm 이하의 T-게이트의 경우에는 그림 4에서 보여 주는 것처럼 무거운 T 형태의 head를 갖고 있는 나노급의 게이트 foot 형성에 있어서 역학적인 불안정 때문에 게이트 head가 무너지는 현상을 보였다. 역학적인 안정성을 증가시키기 위해서 GaAs 표면에 얇은 유전체 지지대(예: SiNx)를 사용하여 제작하는 방법을 많은 연구 그룹에서 사용하였다.

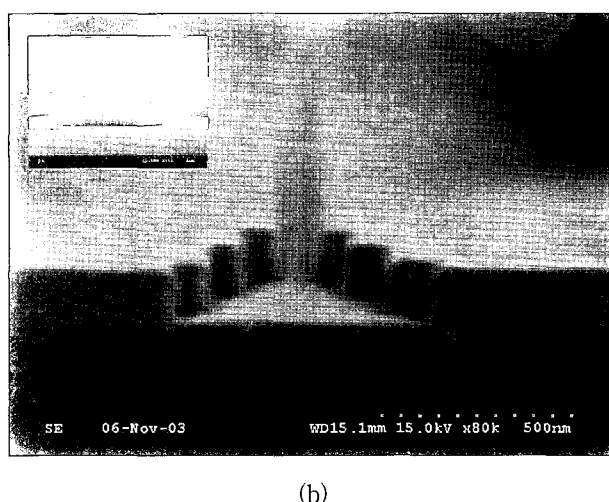
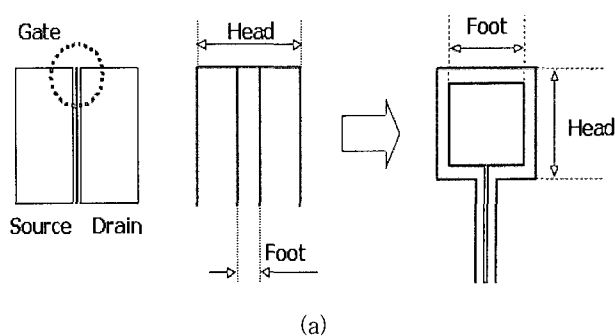


그림 5. (a) 메사 영역 밖에 존재하는 게이트 layout, (b) 금속 지지대의 SEM 사진
Fig. 5. (a) The gate layout for metal post out of mesa area, (b) SEM image of the metal supporting post.

그러나 얇은 유전체 지지대에 의한 기생 커패시터 성분 때문에 소자의 특성은 감소하는 경향이 있다. 또한 유전체 지지대를 형성하기 위해 복잡한 공정과정이 첨가되어야 하는 단점을 가지고 있다. 따라서 우리는 복잡한 공정과정의 첨가없이, 역학적인 안정성을 증가시키며 불필요한 기생 커패시터 성분을 감소시키기 위하여 그림 5(a)와 5(b)에 보여주는 것처럼 메사지역 밖에 금속 지지대를 제작 하였다^[14]. 금속 지지대는 메사영역 밖에 형성되기 때문에 지지대는 소자의 특성에 영향을 주지 않는다는 것을 실험적인 결과로부터 알 수 있었다. 소자 사이를 전기적으로 분리하기 위하여 인산계열의 식각용액(H3PO4/H2O2/H2O = 1 : 1 : 60)을 사용하여 2000 Å 식각 하였다. 소스와 드레인 전극의 접촉저항을 감소시키기 위한 오믹공정은 AuGe/Ni/Au를 1350/280/1600 Å 증착하고 RTP 장비를 사용하여 300 °C에서 120초 동안 열처리하였다. 이 때의 비저항은 $1 \sim 2 \times 10^{-6} \Omega \cdot \text{cm}$ 이다.

게이트 리세스 식각은 PH가 조정된 호박산과 과산화

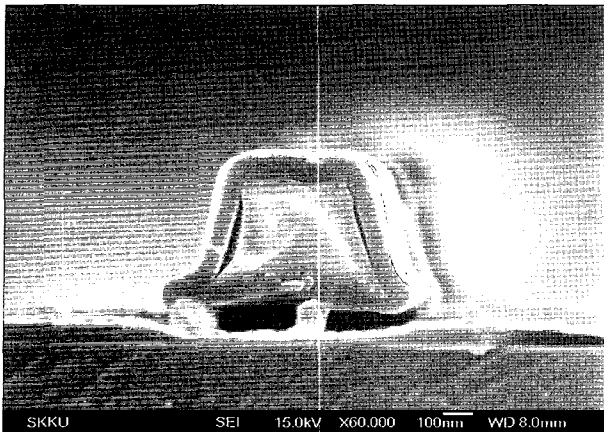


그림 6. 70 nm T-게이트 단면 SEM 사진
Fig. 6. SEM image of the fabricated 70 nm T-gate after passivation with a Si₃N₄

수소의 혼합 용액을 사용하였다. 이 때 InAlAs에 대한 InGaAs의 선택적 식각 비율은 100 이상이다. 게이트 recess 식각(recess 패턴: 500 nm) 후에 70 nm T-gate 패턴을 앞부분에서 묘사한 방법을 사용하여 형성하였다. Ti/Au(500/4500 Å) 게이트 금속을 형성한 후에 PECVD를 사용하여 소자의 passivation을 위하여 800 Å Si₃N₄을 증착하였다. 그림 6에 T-게이트의 단면 SEM 사진을 나타내었다.

III. 결과 및 고찰

제작된 MHEMT의 전압-전류 및 전달 컨덕턴스 특성을 HP사의 4156A DC parameter analyzer를 사용하여 측정하였다. 제작된 MHEMT의 DC 특성 측정 결과 단위 게이트폭이 70 μm이고 핑거 수가 2개인 소자의 전류 전압 특성 및 전달컨덕턴스 특성으로 핀치 오프 전압은 -1.4 V, 드레인 전류밀도는 V_{gs} = 0 V에서 228.6 mA/mm이며, 최대 전달컨덕턴스는 V_{ds} = 1.4 V 및 V_{gs} = -0.1 V에서 645 mS/mm를 얻었으며, 이를 그림 7과 8에 나타내었다. 그림 7에서는 게이트 길이가 짧아짐에 기인하는 early 효과로 인하여 V_d의 증가에 따라서 I_d도 증가하는 것을 볼 수 있다. Gate schottky diode의 역방향 항복전압은 -3.0 V이다. 제작된 MHEMT의 S-파라메타는 HP8510C와 HP85106D vector network analyzer를 이용하여 측정하였으며 측정 바이어스 조건은 V_{ds} = 1.4 V, V_{gs} = -0.1 V이고, 측정 주파수는 1 ~ 75 GHz이다. 그림 9는 70 μm × 2 핑거인 MHEMT의 RF 특성으로, 255 GHz의 전류이득차단주파수 (f_T)를 얻었다.

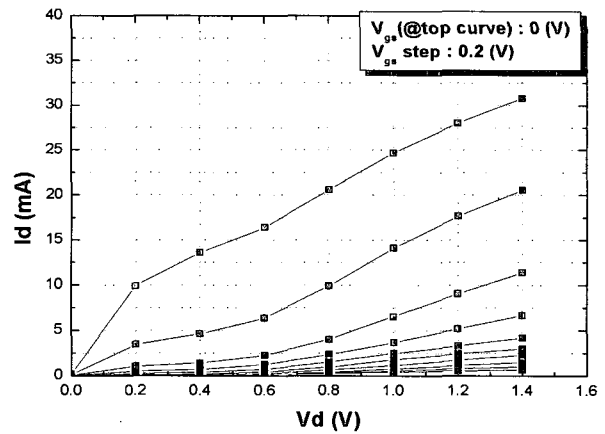


그림 7. 제작된 70 nm MHEMTs의 I-V 특성
Fig. 7. I-V characteristics of the fabricated 70 nm MHEMTs.

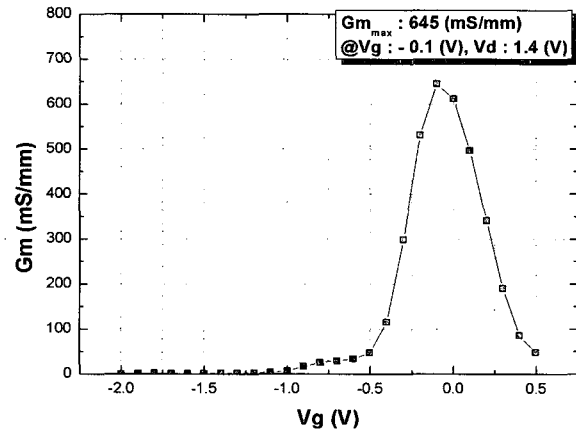


그림 8. 제작된 70 nm MHEMTs 전달컨덕턴스
Fig. 8. Transconductance characteristics of the fabricated 70 nm MHEMTs.

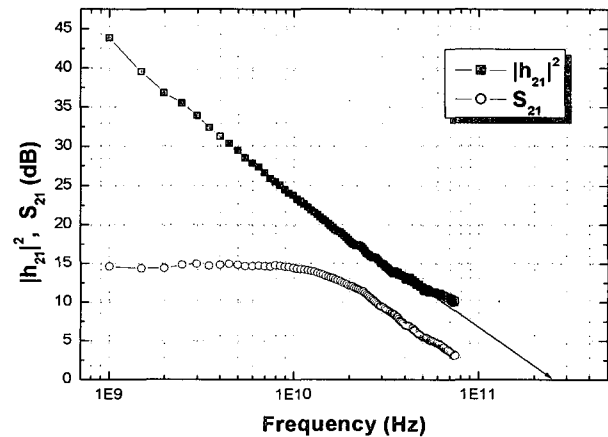


그림 9. 제작된 70 nm MHEMTs을 위한 주파수의 함수로서의 S₂₁ 이득과 |h₂₁|² 특성.
Fig. 9. Typical S₂₁ gain, |h₂₁|² characteristics as function of frequency for the fabricated 70 nm MHEMTs.

IV. 결 론

70nm 게이트 foot를 가진 T-게이트는 기판위에 Si_3N_4 유전체 지지대 없이 ZEP520/P(MMA-MAA)/PMMA 3층 레지스터 구조를 사용하여 이중 노광 방법에 의해 제작하였다. 이 방법에 의해서 제작된 70 nm 게이트 길이의 MHEMTs는 좋은 DC 성능을 보여주고 있다. 핀치오프 전압은 -1.4 V이고 전달 컨덕턴스는 645 mS/mm를 얻었다. 유전체 지지대가 없는 70 nm \times 140 μm 의 MHEMT 소자의 RF 특성으로는 255 GHz의 전류이득 차단 주파수를 얻었다. 이상의 결과로부터 수십 nm 급의 T-게이트 패턴을 제작할 때, 본 논문에서 사용한 방법으로 제작하면 소자 성능의 감소 없이 또 복잡한 공정 과정의 첨가 없이 제작할 수 있다는 결론을 얻었다.

참 고 문 헌

- [1] L. D. Nguyen, A. S. Brown, M. A. Thompson and L. M. Jelloian, "50-nm self-aligned-gate pseudomorphic AlInAs/GaInAs high electron mobility transistors," IEEE Trans. Electron Device ED-39, no. 9, pp 2007-2014, Sep. 1992.
- [2] P. M. Smith, S.-M.J. Liu, M.-Y. Kao, P.Ho, S. C. Wang, K. H. G. Duh, S. T. Fu, P. C. Chao, "W-band high efficiency InP-based power HEMT with 600 GHz f_{max} ," IEEE Microwave and Guided Wave Lett. 5, pp230-232, Juli 1995.
- [3] J. H. Lee, H. T. Choi, C. W. Lee, H. S. Yoon, B. S. Park and C. S. Park, "Low-noise AlGaAs/InGaAs/GaAs PHEMT recessed by electron cyclotron resonance plasma etching," J. Korea Phys. Soc. 34 150-153, Jan. 1999.
- [4] T. Enoki, M. Tonizawa, Y. Umeda and Y. Ishii, "0.05- μm -Gate InAlAs/InGaAs High Electron Mobility Transistor and Reduction of Its Short-Channel Effects," Jpn. J. Appl. Phys. 33, pp. 798-803, Jan. 1994.
- [5] M. Wojtowicz, R. Lai, D. C. Streit, G. I. Ng, T. R. Block, K. L. Tan, P. H. Liu, A. K. Freudenthal and R. M. Dia, "0.1 μm graded InGaAs channel InP HEMT with 305 GHz f_T and 340 GHz f_{max} ," IEEE Electron Dev. Lett. 15, pp. 477-479, Nov. 1994.
- [6] C.1994 S. Whelan, P. F. Marsh, W. E. Hoke, R. A. McTaggart, C. P. McCarroll and T. E. Kazior, "GaAs metamorphic HEMT (MHEMT): an attractive alternative to InP HEMTs for high performance low noise and power applications," Proc. 12th Conf. InP and Related Mater. (Virginia), pp. 337-340, 2000.
- [7] M. Zaknour, B. Bonte, C. Gaquiere, Y. Cordier, Y. Druelle and Y. Crosnier, "InAlAs/InGaAs metamorphic HEMT with high current density and high breakdown voltage," IEEE Electron Device Lett. 19, pp. 345-347, Sep. 1998.
- [8] D. W. Tu, S. Wng, J. S. Chao, and K. Nichlos, "High-performance double-recessed InAlAs/InGaAs power metamorphic HEMT on GaAs substrate," IEEE Microwave and Guided Lett. 9, pp. 458-460, Nov. 1999.
- [9] B. H. Lee, D-H Shin, S-D Kim and J. K. Rhee, "High Maximum Frequency of Oscillation of 0.1 μm Off-Set Γ -Shaoed Gate InGaAs/InAlAs/GaAs Metamorphic HEMTs," J. the Korean Phys. Soc. 43, pp 427-430, Sep. 2003.
- [10] K. Shinohara, Y. Yamashita, A. Endoh, K. Hikosaka, T. Matsui and S. Hiyamizu, "Ultrahigh-speed pseudomorphic InGaAs/InAlAs HEMTs with 400 GHz cutoff frequency," IEEE Elec. Dev. Lett. 22, pp. 507-509, Nov. 2001.
- [11] Y. Yamashita, A. Endoh, K. Shinohara, M. Higa-shiwaki, K. Hikosaka, T. Mimura, S. Hiyamizu and T. Matsui, "Ultra-short 25-nm gate lattice matched InAlAs/InGaAs HEMTs within the range of 400 GHz cutoff frequency," IEEE Elec. Dev. Lett. 22, pp 367-369, Aug. 2001.
- [12] Yoon H S, Lee J H and Kee K Y, "Dry Gate Recessed InGaAs/InAlAs/InP HEMTs Using CH₄/H₂ Inductively Coupled Plasma," 2001 J. Korea Phys. Soc. 39, pp. 275-278, Dec. 2001.
- [13] H. S. Kim, B. O. Lim, S. C. Kim, D-H Shin and J. K. Rhee, "Study on of fabrication of PHEMTs for a 0.1 μm scal-gate using electron beam lithography: structure, fabrication, and characteristics," Microelectronic Engineering 63, pp 417-431, May 2002.
- [14] S. C. Kim, B. O. Lim, H. S. Lee, D-H Shin, S. K. Kim, H. C. Park, and J. K. Rhee, "Sub 100 nm T-gate Fabrication using a positive resist ZEP520/P(MMA-MAA)/PMMA trilayer by double exposure at 50 kV e-beam lithography," Material science in semiconductor processing, vol. 7, pp. 7-11, 2004

저자 소개



김 성 찬(학생회원)
 1999년 동국대학교 전자공학과 공학사
 2001년 동국대학교 전자공학과 공학석사
 2001년 3월~현재 동국대학교 대학원 전자공학과 박사과정

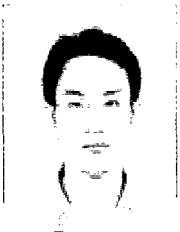
<주관심분야: 밀리미터파 소자 및 회로 설계, 제작>



신 동 훈(정회원)
 1982년 동국대학교 물리학과 이학사
 1984년 동국대학교 물리학과 이학석사
 1999년 런던대학교 전기전자 공학과 공학박사

1999년~현재 동국대학교 밀리미터파 신기술 연구센터 연구교수

<주관심분야: 밀리미터파 소자 및 회로 설계, 제작>



임 병 옥(학생회원)
 2000년 한경대학교 전자공학과 공학사
 2002년 동국대학교 전자공학과 공학석사
 2002년 3월~현재 동국대학교 대학원 전자공학과 박사과정

<주관심분야: 밀리미터파 소자 및 회로 설계, 제작>



이 진 구(평생회원)
 1969년 국립 항공대학교 전자공학과 공학사
 1975년 서울대학교 전자공학과 공학석사
 1982년 Oregon State University 전기공학과 공학박사

1985년 Cray Research, USA, Research Scientist.

1985년 Microwave Semiconductors, USA, Senior Engineer

1990년~1991년 University of Michigan, Visiting Research Scientist

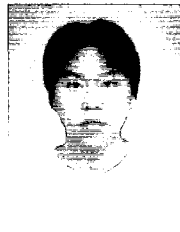
1985년~현재 동국대학교 전자공학과 교수

1995년~현재 한국 전자과학회 이사

1999년~현재 동국대학교 밀리미터파 신기술 연구센터 소장

2002년~현재 대한전자공학회 부회장

<주관심분야: 밀리미터파 소자 및 회로 설계, 제작>



백 태 중(학생회원)
 2003년 중부대학교 정보통신공학과 공학사
 2003년 3월~현재 동국대학교 대학원 전자공학과 석사과정

<주관심분야: 밀리미터파 소자 및 회로 설계, 제작>



고 백 석(학생회원)
 2003년 동국대학교 전자공학과 공학사
 2003년 3월~현재 동국대학교 대학원 전자공학과 석사과정

<주관심분야: 밀리미터파 소자 및 회로 설계, 제작>