

논문 2004-41SD-9-2

# 광통신 모듈용 단일 칩 CMOS 트랜시버의 구현

## (Implementation of a Single Chip CMOS Transceiver for the Fiber Optic Modules)

채 상 훈\*, 김 태 련\*\*

(Sang-Hoon Chai and Tae-Lyun Kim)

### 요 약

STM-1 체계의 광통신용 광모듈 송수신부에 내장하기 위한 155.52 Mbps 트랜시버 ASIC을 0.6  $\mu\text{m}$  2-poly 3-metal 실리콘 CMOS 기술을 이용하여 구현하였다. 제작된 ASIC은 시스템에 의해서 처리된 155.52 Mbps 데이터 신호를 LD를 통하여 광신호로 변환하여 상대 시스템으로 송신하는 트랜스미터의 역할과, 상대 시스템으로부터 전송되어온 155.52 Mbps 광신호를 PD로 수신하여 전기신호로 변환하고 원형으로 복구하는 리시버의 역할을 한다. 트랜스미터와 리시버를 하나의 실리콘 기판에 집적하여 단일 칩 형태의 트랜시버를 설계하기 위하여, 잡음 및 상호 간섭 현상을 방지하기 위한 배치 상의 소자 격리 방법뿐만 아니라 전원분리, 가드링, 격리장벽 등을 도입한 새로운 설계 방법을 적용하였다. 설계된 칩의 크기는 4 x 4 mm<sup>2</sup>이며, 루프백 측정에서 지터도 실효치 32.3 ps, 최대치 335.9 ps로 비교적 양호하게 나타났다. 전체 칩의 소비전력은 5 V 단일전원 공급 상태에서 약 1.15 W(230 mA)로 나타났다.

### Abstract

This paper describes the implementation of monolithic optical transceiver circuitry being used as a part of the fiber optic modules. It has been fabricated in 0.6  $\mu\text{m}$  2-poly 3-metal silicon CMOS analog technology and operates at 155.52 Mbps(STM-1) data rates. It drives laser diode to transmit intensity modulated optical signal according to 155.52 Mbps electrical data from system. Also, it receives 155.52 Mbps optical data that transmitted from other systems and converts it to electrical data using photo diode and amplifier. To avoid noise and interference between transmitter and receiver on one chip, layout techniques such as special placement, power supply separation, guard ring, and protection wall were used in the design. The die area is 4 x 4 mm<sup>2</sup>, and it has 32.3 ps rms and 335.9 ps peak to peak jitter on loopback testing. The measured power dissipation of whole chip is 1.15 W(230 mW) with a single 5 V supply.

**Keywords :** CMOS 트랜시버, 단일 칩, 광통신 모듈, ASIC 설계, 제작

### I. 서 론

21세기는 지식정보화 사회이며, 그 속에서 우리는 매일 홍수라고 할 만큼 많은 양의 정보를 필요로 하며 살아가고 있다. 이를 뒷받침하기 위해서는 대용량의 고속 정보전송 네트워크가 형성이 되어야 하며, 이를 가능하게 하는 것이 광섬유(optical fiber)를 이용한 광통신이다. 국내적으로도 국가종합 정보통신망인 B-ISDN과 같은 정보통신 기간 망뿐만 아니라 ATM (Asynchronous Transfer Mode) 체계의 가입자망, TCP-IP

를 기반으로 하는 인터넷 가입자망 등 통신 전반에서 광통신 방식으로 정보를 전송하게 되었다. 이에 따라 광통신 송수신부에 위치하여 전기신호를 광신호로 변환해 주고, 광신호를 전기신호로 변환해 주는 광모듈(fiber optic module)의 중요성도 급격히 부상하고 있다. 가까운 장래에 광통신 수요는 가입자 수준까지 일반화될 것으로 예상되며, 이럴 경우 최대 가입자 1인당 송수신기 1세트까지도 쓰일 수 있으므로 그 수요는 엄청나게 늘어날 것으로 전망된다. 국내에서도 광산업의 발전과 더불어 이의 중요성을 인식하고 최근 산업계, 학계 및 연구소에서 활발한 연구가 이루어지고 있으나 아직도 LD(laser diode), PD(photo diode), LD 및 PD

\* 정회원, \*\*학생회원 호서대학교 전자공학과  
(Dept. of Electronics Engineering, Hoseo University)  
접수일자: 2004년3월4일, 수정완료일: 2004년7월12일

구동을 위한 ASIC을 비롯한 핵심 부품 대부분을 반제품 형태로 외국에서 수입하여 조립하는 단계에 머물러 있는 실정이다. 특히 ASIC은 Maxim(3263/3645), Philips(3001/3034) 등 몇몇 업체에서 트랜시버 ASIC 및 리시버 ASIC의 2 칩 형태로 생산되고 있으나 국내 개발은 미흡한 실정이다.

본 논문에서는 광통신 시스템 및 가입자의 광모듈에 내장되어 155.52 Mbps ATM, SDH STM-1/SONET OC-3 신호 체계의 전기적 데이터 신호를 LD를 통하여 광신호로 변환해 주고, PD를 통하여 수신된 광신호를 155.52 Mbps의 전기적 데이터 신호로 복원해 주는 고속 트랜시버 ASIC을 기존의 2 칩 형태에서 단일 칩 형태로 설계하고, 하이닉스 0.6  $\mu\text{m}$  공정으로 제작하였다. 이 경우 칩 동작 시 트랜시버 및 리시버 회로 상호간에 잡음 발생 및 상호 간섭 등의 문제점이 대두될 수 있으므로 이를 해결하기 위한 회로 및 레이아웃(layout)상의 설계 방법을 사용하였다.

## II. 광모듈의 구성

그림 1은 광 송수신부에 쓰이는 광모듈의 구조를 개략적으로 나타낸 것이다. 일반적으로 광모듈은 광발생기, 트랜스미터와 광검출기, 전치 증폭기(pre-amplifier), 리시버가 하나의 모듈 속에 내장되어 있으며, 외부는 주로 금속이나 플라스틱으로 패키징(packaging)되어 있다. 여기서 트랜스미터는 시스템으로부터 발생한 전기적 신호를 전류신호로 변환하며, 광발생기는 이 전류신호를 특정한 파장을 갖는 광신호로 변환해 주는 역할을 한다. 보통 광발생기는 LD 또는 LED(light emitting diode)가 쓰인다. 광 검출기는 광섬유를 통해서 전송된 광신호를 받아서 전류신호로 바꾸어 주는 역할을 하며, PIN(P-intrinsic-N) 다이오드 또는 에벌런치(avalanche) 다이오드가 많이 쓰인다. 전치 증폭기는 광검출기에 의해 변환된 전류신호를 전압신호로 바꾸어 주는 트랜스 임피던스(trans-impedance) 증폭기로써 GaAs 등 화합물 반도체를 사용하여 제작한 MESFET가 많이 쓰인다. 리시버는 전치증폭기의 출력을 증폭하여 데이터를 복원하는 역할을 하며, 데이터 전송 중단을 경보하기 위한 LOS(loss of signal) 회로도 포함하고 있다. 현재 트랜시버와 리시버는 속도, 전류 용량 등 회로 특성을 고려하여 주로 실리콘을 이용한 아날로그 바이폴라의 2 칩 ASIC 형태로 제작되고 있다<sup>[1-3]</sup>. 본 연구에서는 광모듈 제작 시 경제성을

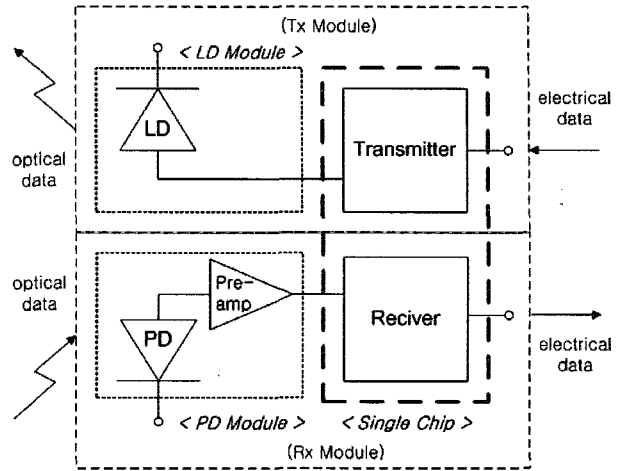


그림 1. 광모듈의 구성도  
Fig. 1. Block diagram of fiber optic modules.

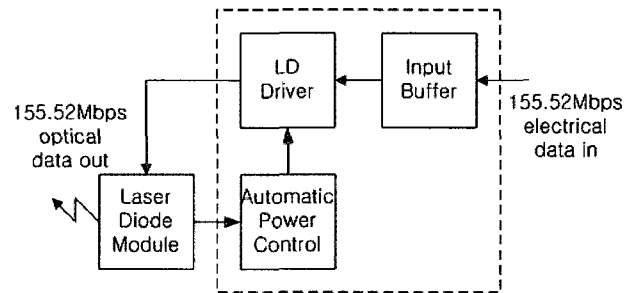


그림 2. 설계된 트랜시버의 구성도  
Fig. 2. Block diagram of designed transmitter.

고려하여 그림 1에서와 같이 트랜스미터와 리시버를 통합한 트랜시버를 CMOS 기술에 의한 단일 칩 ASIC 형태로 설계하고자한다

## III. 트랜스미터 회로의 설계

그림 2는 본 논문에서 설계한 LD 모듈을 포함한 트랜스미터 회로의 구조를 나타낸 블록도이다.

LD 모듈에는 광 발생을 위한 LD와 LD에서 발생한 광 출력을 모니터링하기 위한 PD가 포함되어 있다. 점선 안의 트랜스미터 회로에는 PECL 레벨의 입력 신호를 LD 변조전류 제어신호로 바꾸어주는 버퍼회로와 LD 구동 회로로 구성되어 있으며, LD 구동 회로에는 광출력의 직류(DC) 성분을 일정하게 유지하기 위한 바이어스 회로와 전기적 신호를 광신호로 바꾸어주는 소신호(AC) 모듈레이션(modulation) 회로가 포함되어 있다.

트랜스미터 회로에는 주위환경이나 LD의 특성변화에 관계없이 항상 일정한 광 출력을 유지하기 위한 APC(automatic power control) 회로도 포함하고 있다.

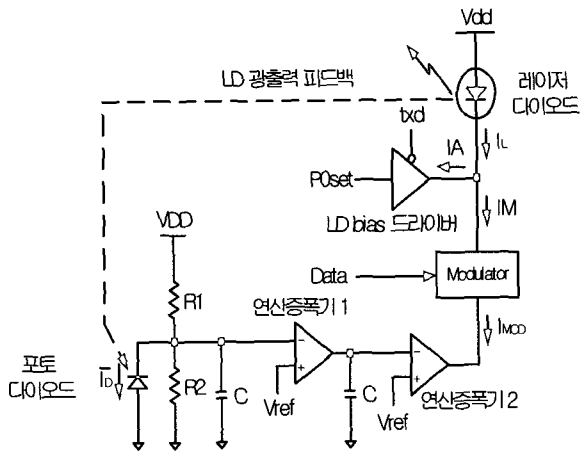


그림 3. APC 회로의 블록도  
Fig. 3. Block diagram of APC circuit.

이 APC 회로는 LD 모듈의 PD에서 출력된 전압을 LD 바이어스 회로로 피드백시켜 온도 등 주위 환경이나 LD의 장시간 사용에 따른 특성변화가 고려된 LD의 바이어스 전류를 결정해 주는 역할을 한다<sup>[4]</sup>. 그림 3은 레이저 다이오드의 광출력을 안정시키기 위한 APC (Automatic Power Control) 회로의 블록도를 나타낸 것이다. 레이저 다이오드의 광출력은 흐르는 전류량에 의해 결정된다.

레이저 다이오드 전류는 바이어스 전류  $I_A$ 와 변조전류  $I_M$ 으로 구성된다. 변조전류  $I_M$ 은 전송하려는 데이터와 광출력 제어회로에 의해 변하게 된다. 전송 데이터가 '0' 이면  $I_M = 0$  이고, 전송 데이터가 '1' 이면  $I_M = I_{MOD}$ 가 된다.  $I_{MOD}$ 의 크기는 레이저 다이오드의 특성 변화에 따라 달라진다. 즉, 장기간 사용 및 온도에 따라 레이저 특성이 저하되면 광출력 제어회로는 원래의 광출력을 유지하기 위해 변조전류  $I_M = I_{MOD}$ 를 증가시키게 된다. 데이터 패턴에 따라 광출력 제어회로가 변조되는 것을 막기 위해 R1, R2, C를 이용하여 저역통과 필터를 구성함으로써, 일정시간 이상 지속되는 레이저 다이오드의 특성 변화에만 광출력 제어회로가 반응하도록 하였다. 연산증폭기 1과 2는 입력되는 기준 전압  $V_{ref}$ 와 광출력의 일부가 피드백 되어 전압으로 변환된 전압이 같게 되도록 출력  $V_{out}$ 을 제어하게 되며, 이것에 의해 레이저 다이오드의 광출력은 일정하게 유지된다.

#### IV. 리시버 회로의 설계

그림 4는 본 논문에서 설계한 PD 모듈을 포함한 리

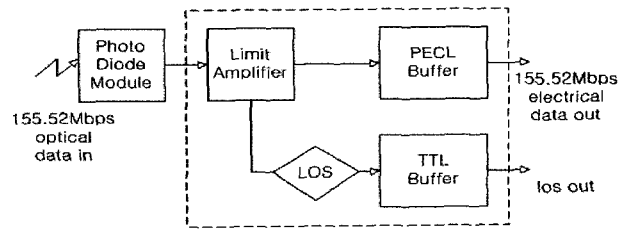


그림 4. 설계된 리시버의 구성도  
Fig. 4. Block diagram of designed receiver.

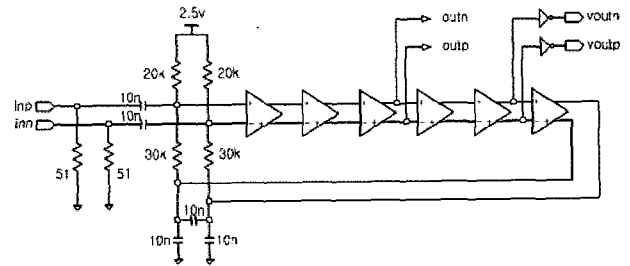


그림 5. 제한증폭기 각 단의 구조  
Fig. 5. Each stage of limit-amplifier.

시버 회로의 개략적인 구조를 나타낸 블록도이다. PD 모듈은 광섬유를 통해 전송된 광신호를 전류신호로 바꾸어주는 PD와, 출력된 전류신호를 전압신호로 변환하는 전치증폭기로 구성된다. 리시버 회로에는 전치증폭기의 출력 전압을 증폭하는 제한증폭기(limit amplifier)와 신호 미입력을 감지하는 LOS 회로 및 신호 레벨을 CMOS에서 PECL로 변환해 주기 위한 버퍼(buffer) 회로가 배치되어 있다.

제한 증폭기는 연산 증폭기를 5단 직렬로 연결한 형태로 각단의 소신호 전압이득은 약 10으로 설계되어 명목상의 전체 전압 이득은 약 100,000 이나, 각단을 거치면서 신호의 크기가 커짐에 따라 증폭도는 떨어져 실제 증폭도는 약 2,000 정도가 된다<sup>[5,6]</sup>. 제한증폭기는 그림 5와 같이 연산증폭기와 버퍼로 구성된다. LOS 감지 회로는 신호의 입력 유무를 파악하여 정상적인 신호 입력 상태일 때 제한 증폭기의 출력을 PECL 버퍼로 전달하고, 전송 중단 상태일 때는 차단하는 역할을 한다. 전송 중단 시 의미 없는 제한증폭기의 출력이 PECL 버퍼로 가는 것을 차단함으로써 리시버 출력이 발진하지 않도록 하여, 시스템의 안정적 동작을 확보함과 동시에, 선로 이상에 의한 지속적인 전송 중단 시 시스템에 이를 알려줌으로써 필요한 조치가 취해 질 수 있도록 하였다<sup>[7-8]</sup>.

#### V. 레이아웃 설계

설계된 회로도에 대하여 하이닉스 0.6  $\mu\text{m}$  2-poly

3-metal CMOS 아날로그 디자인 룰(design rule)을 이용하여 레이아웃 설계를 하였다. 그림 6은 IDEC(반도체설계교육센터) MPW(multi-project wafer) 형태로 설계한 칩의 도면으로서 I/O 패드(pad)를 포함한 크기는 4 x 4 mm이다. 양산을 위한 실용화 설계 시는 불필요한 면적을 줄임으로써, 칩 면적을 현재의 반 이하로 줄일 수 있을 것으로 예상된다. 그림에서 위 부분은 리시버이고, 아래 부분은 트랜스미터에 해당한다.

본 설계에서는 단일 칩 구성을 위하여 새로운 회로 및 레이아웃 설계 방법을 적용하였다. 즉, 회로는 잡음 방지를 위하여 차동(differential)회로 구조를 기본적으로 적용하였으며, 그림 6에서와 같이 상단의 리시버와 하단의 트랜스미터 사이의 전기적 상호작용 및 간섭을 최소화하기 위하여 트랜스미터와 리시버의 위치를 물리적으로 완전 분리하였다. 이에 따라 두 회로의 전원(VDD) 및 접지(ground) 패드도 완전 분리하였다. 또한, 두 회로 사이에는 그림 10에서와 같이 전원에 연결된 n-웰(well)과 접지에 연결된 p-확산층(diffusion layer)으로 구성된 띠(strip) 모양의 격리장벽(isolation wall)을 칩을 가로질러 교대로 설치하여 각 회로에서 발생하는 기판잡음(substrate noise) 및 주입 소수반송자(injected minority carrier)를 전기적으로 흡수하도록 함으로서 두 회로 상호간의 전하 교환이 전혀 일어나지 않도록 격리하였다. 그리고 제한증폭기, LD 드라이버 등 중요한 회로가 포함된 블록들도 p/n 가드링

(guard ring)을 이용하여 외부로부터 격리시킴으로서 주위에서 발생하는 잡음에 대하여 영향을 받지 않도록 조치하였다. 그밖에 트랜스미터와 리시버가 사용하는 전원 및 접지 단자를 각 회로 안에서도 블록 별로 완전 분리하였다. 즉, 트랜스미터와 리시버 상호간의 전원 잡음 영향을 줄이기 위하여 패드에서부터 각각의 전원을 분리하였으며, 트랜스미터와 리시버 내에서도 서로 다른 블록은 전원 패드를 완전 분리하였다. 또한, 블록 간에는 가드링을 사이에 두어 기판 잡음에 의한 상호 간섭을 최소화하고 레치업(latch-up)도 방지토록 하였다. 이와 함께 신호 입출력부에는 ESD (electro-static discharge)에 의한 입력 트랜지스터의 게이트 산화막 파괴(gate oxide breakdown)를 방지하고 과도한 전원 오버슈터(overshoot)에 의한 레치업을 방지하기 위하여 입력패드에 클램프 다이오드(clamp diode)도 설치하였다. 그밖에 안테나(antenna) 효과 방지를 위해 게이트 연결용 금속(metal) 배선의 길이가 지나치게 길어지지 않도록 금속 1층(metal1)과 금속 2층(metal2)을 적절히 배치하였다. 또, 신호 입력 라인에는 GND에 연결된 금속 층을 이용하여 신호선 전체를 덮어서 차폐(shield) 처리함으로써 외부로부터 잡음이 유입되지 않도록 설계하였다<sup>[8]</sup>.

### VI. 측정 결과

그림 7은 본 논문에서 구현한 트랜시버 ASIC의 성능을 테스트하기 위해 자체 제작한 테스트 보드를 사

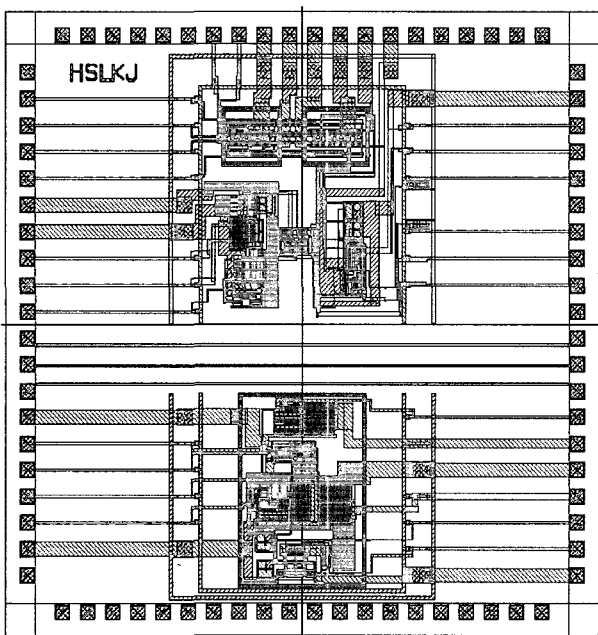


그림 6. 설계된 칩의 레이아웃 도면  
Fig. 6. Layout of designed chip.

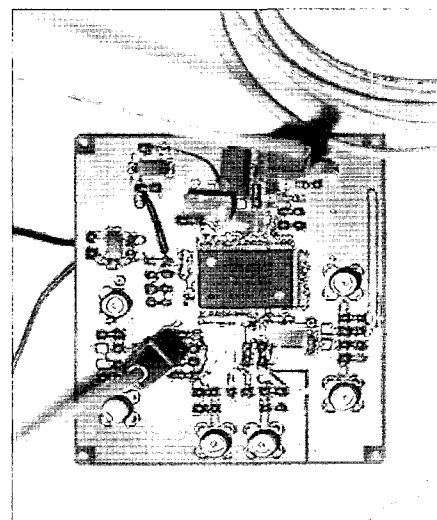


그림 7. 제작 칩의 측정을 위한 테스트 보드  
Fig. 7. Test board of fabricated chip.

용하여 광모듈을 구성한 것이다. 이 보드는 테스트 목적으로 제작된 것으로 실제 상용화되고 있는 광모듈의 크기는 이보다 훨씬 작다.

측정 방법은 트랜시버칩, 모니터 PD를 포함한 1310 nm 파장의 레이저 다이오드, TIA를 포함한 PIN 포토 다이오드, 자체 제작한 테스트 보드 및 기타 부품을 사용하여 광모듈을 제작하고, 광모듈의 송신부와 수신부를 직접 단일모드 광섬유로 연결하여 루프백(loopback) 방법을 통하여 데이터 전송이 정상적으로 수행되는지를 확인하였다. 우선 데이터 신호를 인가하기 전에 트랜시버 주요부의 바이어스 전압을 측정하였으며, 160 Mbps의 '0011001100111111' PRBS(Pseudo Random Binary Sequence) 패턴과 160 Mbps에 해당하는 80 MHz의 구형파 데이터를 트랜스미터의 PECL 차동 입력에 3 V ~ 4 V로 입력한 후 이것이 레이저 다이오드, 광섬유, 포토다이오드를 거쳐 리시버 출력에서 원래대로 복원이 되는지를 확인하였다. 그리고 데이터 입력 유무에 따른 리시버 LOS 감지회로의 정상동작 여부를 확인하고, 트랜스미터를 enable 또는 disable 시키는 신호인 Vtxd를 외부에서 low(0 V)와 high(5 V)로 바꿨을 때 트랜스미터 동작이 정상적으로 제어되는지를 확인하였다. 또한, 레이저 다이오드 광출력 모니터부의 외부 연결 저항 값을 변화시켜 광출력 변화 효과를 만들어 줌으로써 트랜스미터 APC 회로의 동작을 간접적으로 확인하였다. 끝으로 리시버 출력 데이터의 지터 특성과 리시버 PECL 출력 아이 다이어그램(eye diagram)도 측정하였다.

표 1은 트랜시버 주요부의 바이어스 전압을 측정된 결과이다. 제한증폭기 각 단의 전압 이득이 약 10이 되도록 하기위해 각 단의 바이어스 전류는 약 1.52 mA로 설정하였고, 약 -10 dBm의 평균 광출력을 얻기 위해 레이저 다이오드의 바이어스 전류는 약 7.68 mA로 설정하였다. 실제 측정 결과 평균 광출력은 -8 ~ -13 dBm 정도로 나타났다. 레이저 다이오드 광출력의 모니터 전압 Vxin과 기준전압 Vref가 거의 같아 광출력이 제대로 제어되고 있음을 알 수 있다. 그림 8은 트랜스미터에 160 Mbps의 '0011001100111111' 데이터 패턴을 인가한 후, 이 신호가 루프백을 통하여 리시버에서 제대로 복원됨을 확인한 결과이다. 그림에서 아랫부분이 입력파형이고, 윗부분이 출력파형이다. 그 결과 입력파형에 대하여 약 100 ns의 시간지연이 생기면서 출력파형이 PECL 형태로 제대로 재생되는 것을 확인할 수 있었다. 여기서 입력파형이 정현파처럼 보이는

표 1. 트랜시버 주요부의 바이어스 전압 측정 결과  
Table 1. Measured bias voltage of the transceiver.

	Pin 명	측정값 (V)	Pin의 기능
리시버	bn	1.6	제한증폭기 내의 각 차동증폭기 tail current source의 게이트 전압 Iss = 1.52 mA
	Vmid	3.875	PECL의 DC 레벨 안정화를 위한 CMFB 회로의 기준 전압으로 외부 저항에 의해 전압 배분된 값
	2.5V	2.502	2.5 V 기준 전압
트랜스미터	VP0set	1.029	레이저 다이오드 바이어스 전류(IA) 설정 전압 IA = 0.64 mA x 12 = 7.68 mA
	Vref	2.497	레이저 다이오드의 바이어스 전류 조정용 기준 전압
	Vxin	2.51	레이저 다이오드 광출력 모니터용 포토 다이오드의 피드백 전압으로, 부계환에 의해 레이저 다이오드 바이어스 전류를 안정화시킴

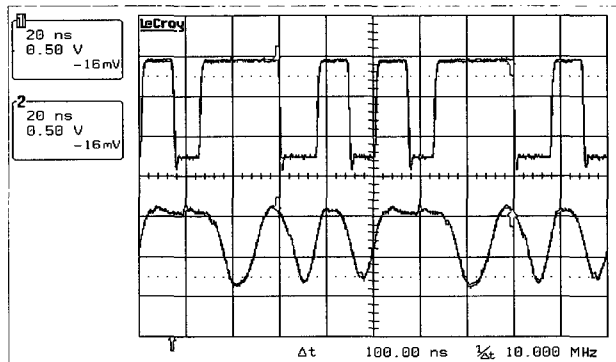


그림 8. '0011001100111111'데이터 패턴의 전송 및 복원 (160 Mbps)

Fig. 8. Transmission and recovery of '0011001100111111' data pattern.

것은 사용된 신호발생기의 특성 한계에 의한 것이다.

그림 9는 트랜스미터에 160 Mbps에 해당하는 80 MHz의 구형파를 인가한 후 리시버에서 정상적으로 복원됨을 확인한 결과이다. 트랜스미터 입력 구형파와 신호의 경우 칩의 입력 핀에서 측정된 것으로, 테스트 보드의 50 Ω 부하를 구동하는 측정 장비의 제약으로 인해, 오실로스코프 상에 완전한 구형파로 나타나지는 않았다. 그러나 입력 신호가 정현파 형태임에도 불구하고 데이터 전송 및 복원이 정상적으로 진행됨을 확인하였으며, DC 오프셋 2.2 V, AC 1.2 V의 진폭을 갖는 양호한 형태의 PECL 신호가 출력되었다. 그리고 LD와 PD사이에 감쇠기(attenuator)를 삽입하여 리시버의 감

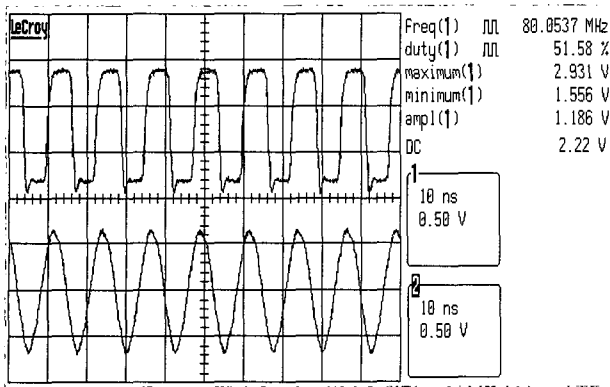


그림 9. 80 MHz 구형파 신호의 전송 및 복원  
Fig. 9. Transmission and recovery of 80 MHz square wave.

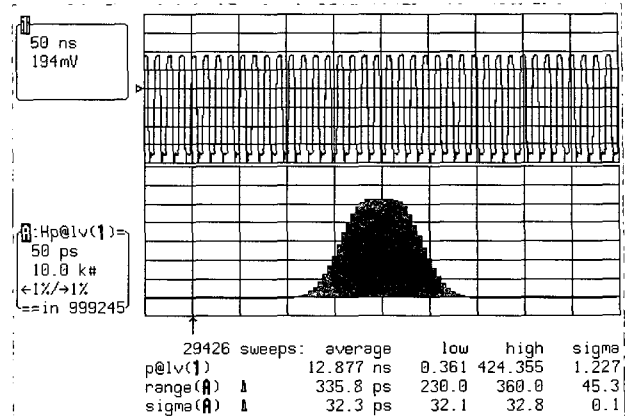


그림 11. 단일 칩 트랜시버의 리시버 출력 지터 특성  
Fig. 11. Output jitter of the receiver of the single chip transceiver.

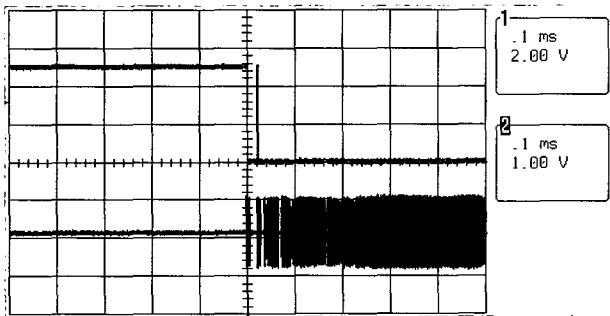


그림 10. LOS 회로의 동작확인  
Fig. 10. Operation of LOS circuit.

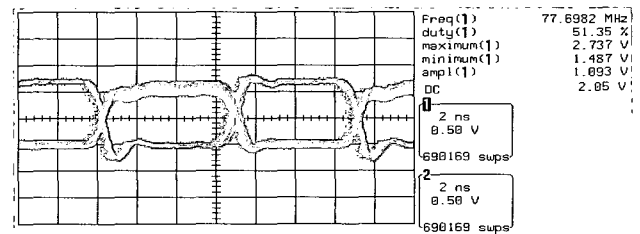


그림 12. 155.52 Mbps 리시버 출력 아이 다이어그램  
Fig. 12. Eye diagram of the receiver of in 155.52 Mbps operation.

도(sensitivity)를 측정한 결과 -24 ~ -26 dBm 정도로 비교적 양호한 결과가 나타났다.

그림 10은 리시버의 LOS 감지회로가 정상적으로 동작하는지를 확인한 것이다. 그림에서 볼 수 있듯이 신호가 입력되지 않고 있을 때 LOS 신호는 high가 되고, 신호가 입력되면 LOS 신호는 low로 떨어져 정상적으로 동작함을 알 수 있다. 그림 11은 155.52 Mbps에 해당하는 77.76 MHz의 정현파 신호를 리시버에 인가한 후 리시버 출력의 지터 특성을 관찰한 것이다. 측정 결과 최대치는 335.9 ps, 실효치(rms)는 32.3 ps로 비교적 양호하게 나타났다. 그림 12는 리시버의 PECL 출력에 대한 155.52 Mbps에서의 아이 다이어그램이다. 눈이 크게 열려있으며, 이로써 155.52 Mbps에서 잘 동작함을 알 수 있다.

단일 칩 트랜시버의 송신부와 수신부를 동시에 동작시켰을 때의 테스트 보드 전체의 소비전력은 약 1.7 W(5 V, 340 mA)였으며, 터미네이션을 포함한 단일 칩 자체의 소비전력은 약 1.15 W(5 V, 230 mA)로 약간 크게 나타났으나 향후 저전력을 위한 0.35 μm CMOS 공정기술을 이용한다면 훨씬 줄일 수 있을 것으로 본다.

## VII. 결 론

B-ISDN의 가입자 송수신부 광모듈용 155.52 Mbps 트랜스미터 및 리시버를 실리콘 0.6 μm 아날로그 CMOS 기술을 이용하여 단일 칩 트랜시버 ASIC으로 설계 제작하였다. 트랜스미터는 PECL 레벨의 입력을 LD의 광출력 변화에 따라 다르게 레벨 변환하는 버퍼 회로, 입력 신호를 이용하여 LD 구동전류를 만들어주는 LD 구동회로, LD에서 출력되는 빛의 세기를 PD를 통해 감지하여 주위환경이나 LD의 특성변화에 관계없이 항상 일정한 광출력을 유지하는 기능을 하는 APC 회로로 구성되어 있다. 리시버는 넓은 입력 전압에 걸쳐 데이터 재정형을 하는 제한증폭기, 데이터 전송상태를 감시하여 전송이 중단되면 LOS 신호를 출력하는 LOS 회로 및 CMOS에서 PECL으로의 레벨변환 버퍼 회로로 구성된다. 제작된 트랜시버 칩의 특성 확인을 위하여 트랜스미터로부터 160 Mbps의 데이터 및 80 MHz의 구형파를 입력하였을 때 리시버를 통하여 파형이 제대로 루프백 되었으며, 지터도 실효치 32.3 ps, 최대치 335.9 ps로 비교적 양호하게 나타났다. 또한 아이 다이어그램도 좋은 결과를 보였다. 단일 칩의 소비전력

은 약 1.15 W(5 V, 230 mA)로 약간 크게 나타났으나 향후 저전력을 위한 0.35  $\mu\text{m}$  CMOS 공정기술을 이용한다면 훨씬 줄일 수 있을 것으로 본다.

이러한 단일 칩 트랜시버 ASIC을 사용하여 광모듈을 제작함으로써 광모듈의 크기와 제작비용 및 소모전력을 줄일 수 있을 뿐만 아니라, 칩 제작에 있어서도 기존 제품이 주로 바이폴라로 이루어져 있는데 비해 제작비용이 적게 드는 CMOS 기술을 사용하여 설계함으로써 대량생산할 때 경제적인 면에서 큰 효과가 있을 것으로 기대된다.

### 감사의 글

본 연구를 필요한 Cadence tool을 지원해 주신 IDEC에 진심으로 감사드립니다.

### 참 고 문 헌

- [1] D. Jeong, G. Borriello, D. Hodges, R. Katz, "Design of PLL-based clock generation circuits", IEEE JSSC, Vol. sc-22, No. 2, April, 1987.
- [2] Z. Wang, U. Langmann, "Multi-Gb/s silicon bipolar clock recovery IC", IEEE JSSC, Vol. 9, No. 5, pp. 656-663, Jun. 1991.
- [3] F. Gardner, "Charge-pump phase locked loops", IEEE Communication, com-28, No. 11, pp.1848-1858, Nov. 1980.
- [4] 이홍수, 채상훈, 송원철, 김경수, "155.52 Mbps 광통신용 트랜스미터(Tx) ASIC의 설계", 대한전자공학회 추계학술대회 논문집, 1996년 12월.
- [5] 채상훈, 정희범, "광통신 모듈용 155.52 Mbps CMOS 리시버의 설계", 한국통신학회 논문지, 제 24 권, 제 6 호, 1999년 6월.
- [6] D. W. Faulkner, "A wide-band limiting amplifier for optical fiber repeaters," IEEE J. Solid-State Circuits, vol. SC-18, no. 3, pp. 333-340, June 1983.
- [7] 이길재, 채상훈, "광통신 모듈용 155.52 MHz 클럭복원 리시버의 구현", 한국통신학회 논문지, 제 26권, 제 12C 호, 2001년 12월.
- [8] 채상훈, 김태련, 권광호, "광통신 모듈용 단일 칩 CMOS 트랜시버의 설계", 대한전자공학회 논문지, 제 41 권, SD편, 제 2 호, 2004년 2월.

---

### 저 자 소 개

채 상 훈(정회원)  
제41권 SD편 제2호 참조

김 태 련(학생회원)  
제41권 SD편 제2호 참조