

논문 2004-41SD-10-11

저전력 VLSI 시스템에서 MTCMOS 블록 전원 차단 시의 전원선 잡음을 줄인 파이프라인 전원 복귀 기법

(Pipelined Wake-Up Scheme to Reduce Power-Line Noise of
MTCMOS Megablock Shutdown for Low-Power VLSI Systems)

이 성 수*, 연 규 성**, 전 치 훈**, 장 용 주**, 조 지 연**, 위 재 경*

(Seongsso Lee, Gyu-Sung Yeon, Chi-Hoon Jeon, Yong-Ju Jang, Ji-Yeon Cho, and Jae-Kyung Wee)

요 약

VLSI 시스템에서 전력 소모를 줄이기 위해서는 메가블록이 동작하지 않는 동안 전원을 차단하여 누설 전류를 억제하는 방법이 효과적이다. 최근 들어 다중 문턱 전압 CMOS를 사용하여 전원을 차단하는 방법이 널리 연구되고 있으나, 동작 주파수가 증가함에 따라 전원 복귀에 필요한 시간이 짧아지게 되고, 짧은 시간에 전원이 복귀되면서 전원선에 대량의 전류가 순간적으로 흐르게 된다. 이에 따라 매우 큰 전원 잡음이 생겨서 전원 전압이 안정적이지 못하고 흔들리게 되며 이는 많은 경우 시스템의 오동작을 초래하게 된다. 본 논문에서는 이러한 문제점을 해결하기 위하여 새로운 전원 복귀 기법을 제안한다. 제안하는 기법은 메가블록의 전원이 차단되었다가 다시 복귀할 때 한꺼번에 전원을 켜는 것이 아니라 파이프라인 방식으로 몇 단계로 나누어 전원을 켜므로서 전원선에 흐르는 최대 전류 및 이에 따른 전원 잡음을 크게 억제한다. 제안하는 파이프라인 전원 복귀 기법을 검증하기 위해서 콤팩트 플래시 메모리 제어기 칩에 본 기법을 적용하여 곱셈기 블록의 전원을 차단하고 복귀할 때의 전원 잡음을 모의실험하고 분석하였다. 모의실험 결과, 제안하는 기법은 기존의 전원 차단 기법에 비해 전원 잡음을 매우 크게 줄일 수 있음을 확인하였다.

Abstract

In low-power VLSI systems, it is effective to suppress leakage current by shutting down megablocks in idle states. Recently, multi-threshold voltage CMOS (MTCMOS) is widely accepted to shutdown power supply. However, it requires short wake-up time as operating frequency increases. This causes large current surge during wake-up process, and it often leads to system malfunction due to severe power line noise. In this paper, a novel wake-up scheme is proposed to solve this problem. It exploits pipelined wake-up strategy in several stages that reduces maximum current on the power line and its corresponding power line noise. To evaluate its efficiency, the proposed scheme was applied to a multiplier block in the Compact Flash memory controller chip. Power line noise in shutdown and wake-up process was simulated and analyzed. From the simulation results, the proposed scheme was proven to greatly reduce the power line noise compared with conventional schemes.

Keywords: Megablock shutdown, wake-up, pipelined structure, MTCMOS, cut-off switch, leakage power

I. 서 론

VLSI 시스템이 점차 경량화, 휴대화 되어감에 따라

VLSI 시스템의 저전력화는 매우 중요한 의미를 가진다. 동작하지 않고 유휴 상태에 있는 블록의 전원을 차단(shutdown)하는 방법^{[1],[2]}은 VLSI 시스템의 소비 전력을 줄이는데 효과적인 방법의 하나로 알려져 있다. 반도체 공정 기술이 발전함에 따라 소자의 크기가 점점 작아지고 이에 따라 누설 전류(leakage current)가 급격하게 증가하고 있으며^[3], 가까운 장래에 누설 전류에 의한 전력 소모가 스위칭 전류(switching current)에 의한

* 정회원, ** 학생회원, 숭실대학교 정보통신전자 공학부
(School of Electronics Engineering, Soongsil University)

※ 본 연구는 한국학술진흥재단 신진교수 연구사업
(KRF-2002-003-D00236)의 지원으로 수행되었음.
접수일자: 2004년4월15일, 수정완료일: 2004년9월22일

전력 소모와 비슷해질 것으로 전망되고 있다^[4]. 이러한 의미에서 수면 모드(sleeping mode)에서 회로의 공급 전원을 차단함으로써 스위칭 전류뿐만 아니라 누설 전류에 의한 전력 소모까지 줄이는 다중 문턱 전압 CMOS(multi-threshold voltage CMOS: MTCMOS)^[5-9]가 저전력 회로 설계 기법 측면에서 매우 활발하게 연구가 진행되고 있다. MTCMOS에서는 전원을 차단하는 트랜지스터의 크기를 결정하는 것이 매우 중요한데, 그 크기가 너무 작다면 회로의 동작 속도가 느려지고, 그 크기가 너무 크다면 면적 손실이 크기 때문이다.

지금까지는 칩 전체의 전원을 차단하는 방법, 즉 전체 칩이 수행해야 할 작업이 없을 때 수면 모드에 들어가면서 전원을 차단하는 방법이 주류를 이루었으나, 최근 들어서는 메가블록(megablock) 단위로 전원을 차단하거나 복귀(wake-up)하는 방법이 활발하게 연구되고 있다. VLSI 시스템에서 칩 내부의 모든 블록이 한꺼번에 동작하는 경우는 드물며, 대부분의 경우 곱셈기, 단위 연산기(processing element) 등의 몇몇 메가블록은 해당 연산이 필요할 때에만 동작하기 때문에 이러한 메가블록의 전원을 차단하는 방법은 더욱 효과적으로 전력 소비를 줄일 수 있다.

일반적으로 전원을 차단할 때보다 전원을 복귀할 때 더 많은 시간이 걸리게 되는데, 그 이유는 전원이 차단되면서 방전되었던 전원선의 각 노드들을 일제히 재충전하는데 많은 시간이 요구되기 때문이다. 따라서 메가블록의 전원을 차단하거나 복귀하는 과정에서 발생하는 전원 잡음을 줄이려 할 때에는 전원 복귀 과정에만 관심을 가지면 된다. 전원을 차단하는 트랜지스터의 크기가 크다면 빠른 전원 복귀가 가능하지만, 메가블록이 곱셈기 블록이나 여현 변환(discrete cosine transform: DCT) 블록과 같이 크기가 클 때에는 전원이 복귀되는 과정에서 많은 개수의 로직 게이트가 한꺼번에 충전되기 때문에 동시 스위칭 잡음(simultaneous switching noise: SSN)과 같은 전원 잡음이 심각하게 발생하게 된다. 이러한 전원 잡음은 입출력 신호의 무결성(signal integrity)을 해치고 심한 경우에는 인접 메가블록의 오동작을 일으키기도 한다^[10].

본 논문에서는 저전력 VLSI 시스템에서 메가블록의 전원 차단 시 발생하는 전원 잡음을 줄이기 위한 새로운 전원 복귀 기법을 제안하고자 한다. 제안하는 기법은 한꺼번에 전원을 켜는 것이 아니라 파이프라인 방식으로 몇 단계로 나누어 켜므로써 전원선에 흐르는 최대 전류의 크기 및 이에 따른 전원 잡음을 크게 낮출 수

있다.

II. 전원 복귀 과정에서의 잡음 분석

전원 복귀 시에 발생하는 전원 잡음은 전원선 형태, 패키지 종류, 칩 크기, 본딩선 인덕턴스(bonding wire inductance), 디커플링 캐패시터(decoupling capacitor) 등 각종 물리적, 전기적 파라미터에 크게 좌우된다. 본 논문에서는 그림 1의 콤팩트 플래시 메모리 제어기 칩에서 물리적, 전기적 파라미터를 추출하여 모의실험을 수행하였다. 이 칩은 2.5V/3.3V 0.35 μ m CMOS 3-layer 공정과 64-UFLP 패키지를 사용하였으며, 칩 면적은 5mm \times 5mm이다. 리드프레임과 본딩선의 R , L , C 는 각각 23.7m Ω , 1.68nH, 0.11pF이다. 칩 내부에는 32비트 마이크로프로세서, SRAM 레지스터, 48Kbyte NOR 플래시 메모리, 각종 아날로그 및 디지털 블록이 포함되어 있다. 전원 패드는 네 면에 골고루 배치되어 있다.

전원 잡음은 칩이 놓여있는 프린트 기판(printed circuit board: PCB)에도 영향을 받기 때문에, 본 논문에서는 이 칩이 5cm \times 5cm 크기의 프린트 기판 중앙에 놓여있다고 가정한다. 모의실험 결과, 이 칩은 2.5V에서 50mW의 전력을 소모하며 프린트 기판의 특징 임피던스(characteristic impedance)는 10KHz에서 1GHz의 주파수 대역에서 1 Ω 이내이다. 전원을 차단하고 복귀하는 블록은 칩 중앙에 위치한 32비트 \times 8비트 곱셈기이며, RC 등가회로로 모델링될 수 있다. 그외의 다른 블록은

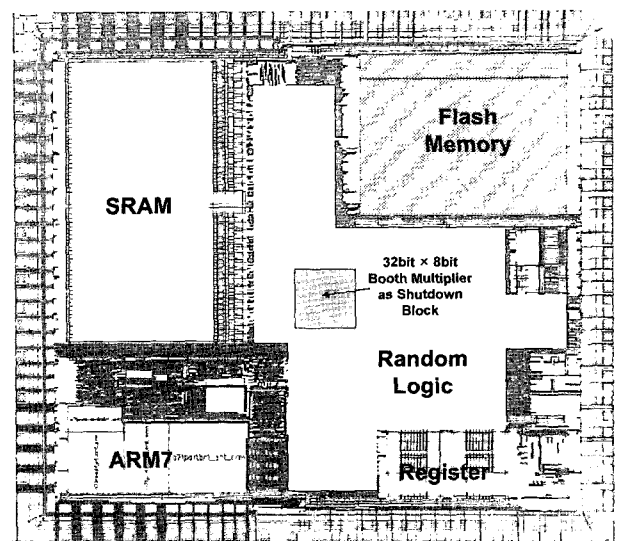


그림 1. 전원 잡음 분석을 위한 콤팩트 플래시 메모리 제어기 칩

Fig. 1. Compact flash controller chip for power line noise analysis.

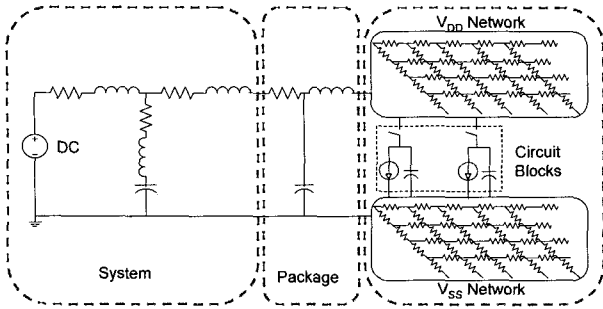


그림 2. 전원 분배 네트워크의 모델링
Fig. 2. Modeling of power distribution network.

일시에 전원이 차단 또는 복구되거나 동시에 스위칭되지 않는다고 가정하며, 등가의 디커플링 캐패시터로 모델링될 수 있다.

그림 2는 전원 분배 네트워크를 분석하기 위한 모델을 나타낸 것이다. 전원 그리드, 패키지, 칩은 각각 그림 2와 같이 R, L, C 의 등가회로로 나타난다. 칩 및 프린트 기판의 디커플링 캐패시터, 칩 및 패키지의 기생 캐패시터 및 기생 인덕턴스도 그림 2에 포함되어 있으며 모의실험에서도 고려되었다.

대부분의 디지털 칩은 DC 전력을 크게 소비하지 않으므로, 50mW의 전력을 소모하는 칩에서 전원선의 IR 전압 강하는 무시할만하다. 실제 칩에서 전원이 복구될 때에는 전원 전류가 빠르게 흐르면서 잠음 전압 $L \frac{di}{dt}$ 가 발생하며, 또한 게이트가 빠르게 스위칭하면서 잠음 전류 $C \frac{dV}{dt}$ 가 발생한다. 따라서 전원 잡음을 총체적으로 분석하기 위해서는 코어 블록뿐만 아니라 칩 내부 및 외부의 각종 기생 소자 R, L , 프린트 기판의 디커플링 캐패시터 C 등 다양한 소자를 모두 고려하여야 한다.

전원을 차단하고 복구할 32비트×8비트 Booth 곱셈기에는 그림 3과 같은 MTCMOS 스위치가 달려있어서 일정시간동안 사용하지 않으면 저절로 전원이 차단되도록 설계되어 있으며^[11], 블록의 전체 게이트 수는 약 6000개이다. 전원 공급망(power mesh) 크기는 $500\mu\text{m} \times 500\mu\text{m}$ 이며, 전체 칩의 크기가 $5\text{mm} \times 5\text{mm}$ 이기 때문에 전원 공급망의 전체 노드 개수는 약 100개가 된다. V_{DD} 와 V_{SS} 사이의 커플링 캐패시턴스 총합은 2.5nF이며, 이 값이 각 전원 공급망 노드마다 25pF씩 고르게 분포되어 있는 것으로 모델링한다. PMOS 정선 캐패시턴스는 약 26pF이다.

그림 4는 자동적으로 전원을 차단하는 회로의 레이아웃을 나타낸 것이다. 플립플롭의 데이터 내용을 보호하기 위해서 자동 전원 차단 회로는 조합 논리 회로

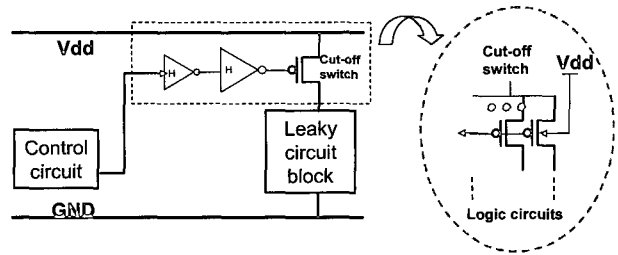


그림 3. MTCMOS 스위치
Fig. 3. MTCMOS switch.

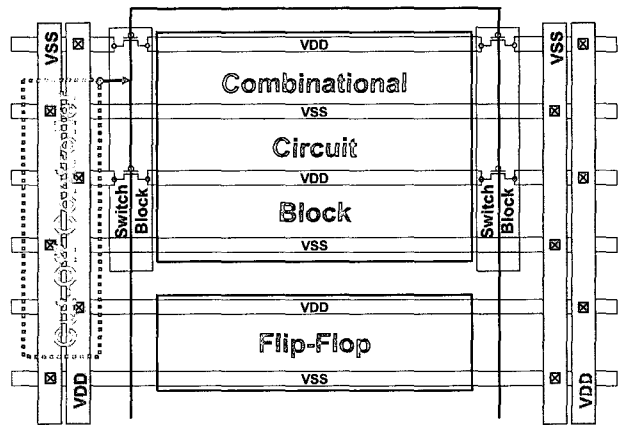


그림 4. 자동 전원 차단 회로의 레이아웃
Fig. 4. Layout of self-timed cut-off circuitry.

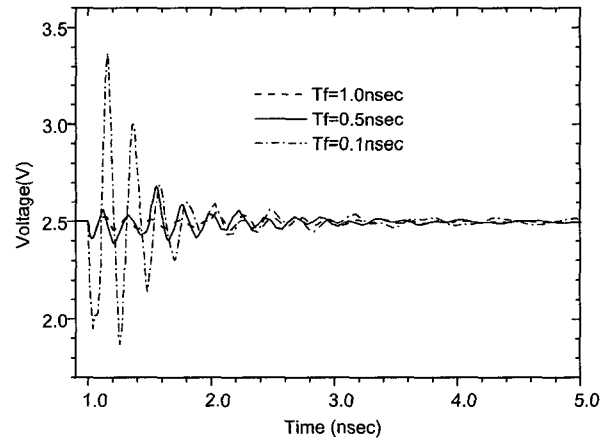


그림 5. 한 사이클에 전원을 복구하였을 때의 전원 잡음
Fig. 5. Power noise in single-cycle wake-up.

(combinational logic)에만 적용된다. 이 회로를 적용할 때의 칩 면적 추가는 $0.35\mu\text{m}$ 공정에서 전체 면적의 3% 정도에 불과하다.

그림 5는 32비트×8비트 Booth 곱셈기의 전원을 차단했다가 한 사이클에 전원을 복구했을 때의 전원 잡음 모의실험한 결과이다. 그림에서 보듯 전원 복구에 걸리는 시간 T_f 가 짧을수록 더 큰 전원 잡음이 발생하며, $T_f = 0.1\text{ns}$ 일 때에는 전원 잡음의 크기가 $\pm 1\text{V}$ 에 달하여 인접 블록의 동작을 방해할만한 수준이 되는 것을 알

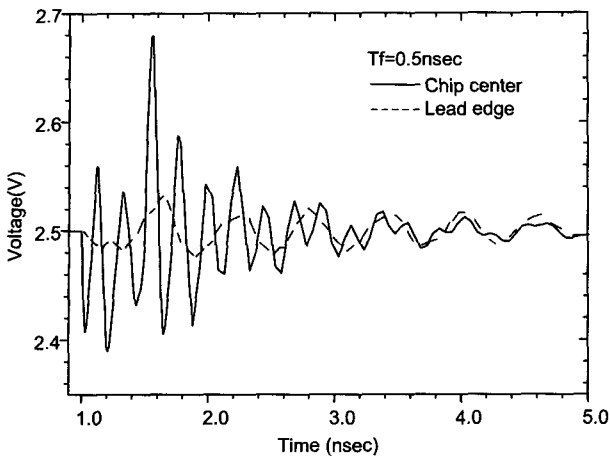


그림 6. 칩 중심부에서 패키지로의 잡음 전달 특성
Fig. 6. Noise transfer characteristics from chip center to package.

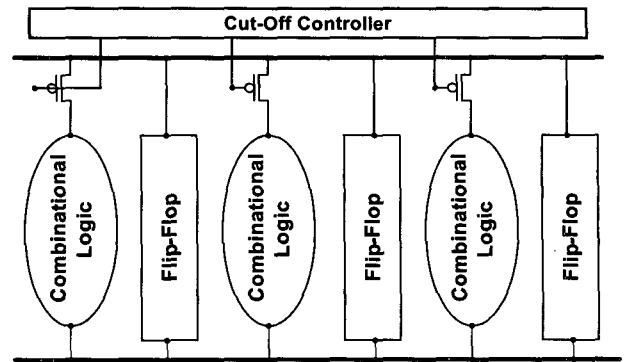
수 있다.

그림 6은 칩 중심부에서 패키지로의 잡음 전달 특성을 나타낸 것이다. 고주파 성분의 잡음은 칩에서 패키지로 전달되면서 상당 부분 필터링된다^[12]. 그림에서 보듯 칩 내부의 잡음이 큰데 비하여 패키지에서의 잡음은 상당히 작음을 알 수 있다. 따라서 칩 내부에서 생긴 전원 잡음은 칩 내부에서는 큰 문제를 일으키지만, 칩 외부에 있는 프린트 기판이나 다른 소자, 칩에는 큰 영향을 미치지 않는다.

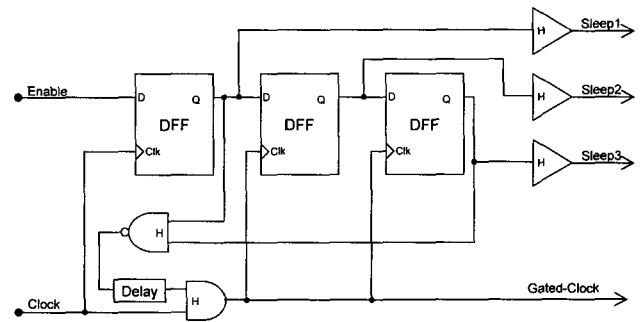
III. 제안하는 파이프라인 전원 복구 기법

디지털 시스템에서 논리연산회로(arithmetic logic unit: ALU)나 곱셈기와 같은 대규모 메가블록의 경우 성능을 높이기 위해 파이프라인 구조를 사용하는 경우가 많다. 이러한 블록이 수면 모드에 들어가 있을 때, 이 블록이 다시 동작하기 위해서는 파이프라인 구조의 제일 앞 단계만 전원을 복구하면 되며, 나머지는 데이터가 처리되어감에 따라 차례차례 전원을 복구해도 무방하다. 기존의 전원 차단 기법에서는 파이프라인 구조를 가지고 있는 메가블록이라 하더라도 전체를 한번에 켜고 끄지만 본 논문에서는 메가블록의 전원을 파이프라인 단계에 맞추어 차례차례 복구함으로써 동시에 스위칭되는 게이트의 수를 줄여서 전원 잡음을 완화시키는 기법을 제안한다.

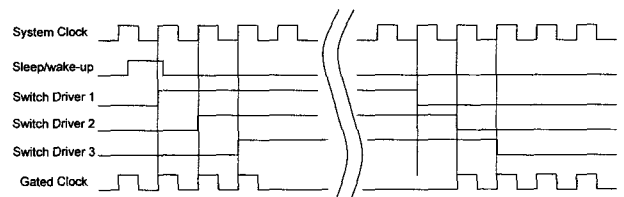
그림 7(a)는 제안하는 파이프라인 전원 복구 기법을 나타낸 것이다. 플립플롭은 수면 모드에서도 데이터를 저장하고 있어야 하므로 전원 차단은 조합 논리 회로에 대해서만 이루어진다. 그림 7(b)는 3 파이프라인 단계



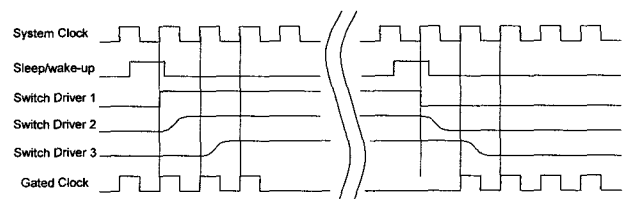
(a)



(b)



(c)



(d)

그림 7. 제안하는 파이프라인 전원 복구 기법 (a) 파이프라인 기법 (b) 3 파이프라인 단계 블록의 수면 신호 생성 회로 (c) 3 파이프라인 단계 블록의 수면 신호 파형 (d) 3 파이프라인 단계 블록의 또 다른 수면 신호 파형

Fig. 7. Proposed pipelined wake-up scheme. (a) Pipelined scheme. (b) 3-stage pipelined sleep signal generator. (c) Signal waveform of 3-stage pipelined switch driver. (d) Signal waveform of alternate 3-stage pipelined switch driver.

곱셈기에 사용하는 수면 신호 생성 회로의 일례이며, 그림 7(c)는 여기에서 생성되는 수면 신호의 파형이다. 그림 8은 기존의 전원 복구 기법과 제안하는 파이프라인 전원 복구 기법의 전원 잡음을 모의실험한 결과이다.

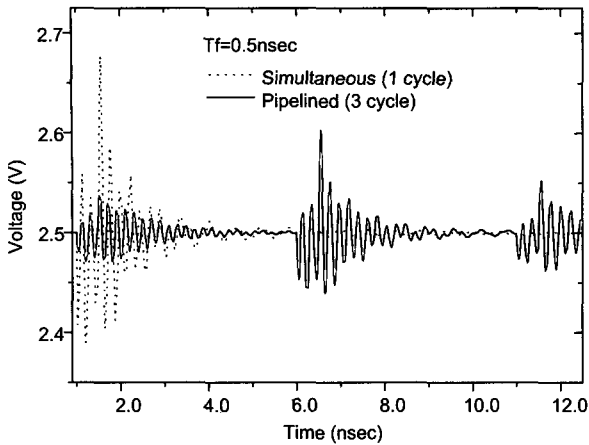


그림 8. 기존 기법과 제안하는 기법의 전원 잡음 비교
Fig. 8. Comparison of power noise in conventional and proposed scheme.

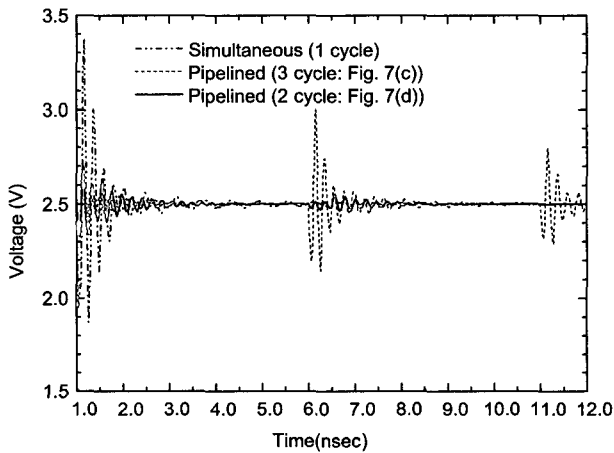


그림 9. 그림 7(c) 및 7(d)에 제안된 기법의 전원 잡음 비교
Fig. 9. Comparison of power noise in proposed schemes of Fig. 7(c) and 7(d).

그림에서 보듯 제안하는 기법은 기존의 기법에 비해서 전원 잡음을 크게 줄이는 것을 알 수 있다. 그림 8에서 두 번째 클럭 사이클에서의 전원 잡음($t=6\text{ns}$)이 다른 사이클에 비해서 상당히 큰데, 그 이유는 3단계 파이프라인 구조로 이루어진 32비트×8비트 곱셈기에서 두 번째 파이프라인 단계에 들어있는 게이트 수가 다른 단계에 비해서 훨씬 많기 때문이다.

그림 7(d)는 전원 잡음을 줄이기 위한 또다른 방법을 나타내었다. 두 번째 파이프라인 단계의 전원을 복귀하는 신호는 첫 번째 단계의 신호와 함께 생성되지만 이보다 훨씬 낮은 슬루율을 가지기 때문에 전원 잡음이 줄어든다. 세 번째 파이프라인 단계의 전원을 복귀하는 신호도 비슷한 방법으로 생성된다. 이렇게 낮은 슬루율을 갖는 신호를 생성하는 쉬운 방법은 드라이빙 능력이 낮도록 드라이버 회로의 크기를 줄이는 것이다. 그림 9

는 그림 7(c)와 7(d)의 전원 잡음을 비교한 것인데, 기존의 전원 복귀 기법에 비해서는 그림 7(c)가, 그림 7(c)의 기법보다는 그림 7(d)의 기법이 전원 잡음을 효과적으로 감소시키는 것을 알 수 있다.

IV. 결 론

본 논문에서는 저전력 VLSI 시스템에서 MTCMOS를 사용한 전원 차단 기법의 전원 잡음 문제를 분석하였다. 실제 컴팩트 플래시 메모리 제어기 칩에서 추출한 R, L, C 값을 사용하여 모의 실험을 수행한 결과, 메가블록의 전원 복귀 시에 발생하는 전원 잡음이 인접 블록의 동작에 영향을 줄 정도로 크다는 사실을 발견하였다. 본 논문에서는 이러한 문제점을 해결하기 위해서 파이프라인 기법을 사용하여 단계적으로 전원을 복귀하는 방법을 제안하였으며, 모의 실험 결과, 전원 잡음을 70%까지 줄일 수 있었다. 최근 들어 전원 차단을 통한 누설 전류 저감의 중요성이 계속 높아지고 있다는 것을 감안한다면 본 논문에서 제안한 파이프라인 전원 복귀 기법은 저전력 VLSI 시스템을 설계하기 위해 매우 유용한 방법의 하나로 자리 잡을 것으로 생각된다.

참 고 문 헌

- [1] M. Srivastava, A. Chandrakasan, and R. Broder-sen, "Predictive System Shutdown and Other Architectural Techniques for Energy Efficient Programmable Computation", IEEE Transactions on VLSI Systems, vol. 4, no. 1, pp. 42-55, Mar. 1996.
- [2] L. Benini, A. Bogliolo, and G. De Micheli, "A Survey of Design Techniques for System-Level Dynamic Power Management", IEEE Transactions on VLSI Systems, vol. 8, no. 3, pp. 299-316, Jun. 2000.
- [3] G. Moore, "No Exponential is Forever: But Forever Can Be Delayed", Technical Digest of International Solid-State Circuit Conference, pp. 20-23, 2003.
- [4] T. Sakurai, "Perspectives on Power-Aware Electronics", Technical Digest of International Solid-State Circuit Conference, pp. 26-29, 2003.
- [5] J. Kao, S. Narendra, and A. Chandrakasan, "MTCMOS Hierarchical Sizing Based on Mutual Exclusive Discharge Patterns", Proceedings of Design Automation Conference, pp. 15-19, 1998.
- [6] S. Mutoh, S. Shigematsu, Y. Gotoh, and S.

- Konaka, "Design Method of MTCMOS Power Switch for Low-Voltage High-Speed LSIs", Proceedings of Asia South Pacific Design Automation Conference, pp. 113 - 116, 1999.
- [7] K. Usami, N. Kawabe, M. Koizumi, K. Seta, and T. Furusawa, "Automated Selective Multi-Threshold Design for Ultra-Low Sleep Application", Proceedings of International Symposium on Low-Power Electronics and Design, pp. 202 - 206, 2002.
- [8] M. Anis, M. Mahmoud and M. Elmasry, "Efficient Gate Clustering for MTCMOS Circuits", Proceedings of International ASIC/SOC Conference, pp. 34 - 38, 2001.
- [9] P. Van Der Meer and A. Staveren, "Effectivity of Standby-Energy Reduction Techniques for Deep Sub-micron CMOS", Proceedings of International Conference on Circuits and Systems, pp. 594 - 597, 2001.
- [10] E. Grochowski, D. Ayers, and V. Tiwari, "Micro-architectural di/dt Control," IEEE Design & Test of Computers, pp. 40-47, May. 2003.
- [11] J.-H. Choi and T. Sakurai, "Statistical Leakage Current Reduction by Self-Timed Cut-Off Scheme for High Leakage Environment," Proceedings of Custom Intergrated Circuit Conference, Accepted for Publications, 2003.
- [12] M. Badaroglu, M. van Heijningen, V. Gravot, J. Compiet, S. Donnay, G. Gielen, and H. De Man, "Modeling and Experimental Verification of Substrate Noise Generation in a 220-Kgates WLAN System-on-Chip with Multiple Supplies", IEEE Journal of Solid-State Circuits, vol. 38, no. 7, pp. 1250-1260, Jul. 2003.

저 자 소 개



이 성 수(정회원)
 1991년 서울대학교 전자공학과
 학사
 1993년 서울대학교 전자공학과
 석사
 1998년 서울대학교 전기공학부
 박사

1998년~2000년 University of Tokyo Research Associate

2000년~2002년 이화여자대학교 정보통신학과 연구교수

2002년~현재 숭실대학교 정보통신전자공학부 조교수

<주관심분야: 저전력 SoC 설계, 저전력 멀티미디어 신호 처리, MPEG4/H.264 SoC 설계>



장 용 주(학생회원)
 2003년 남서울대학교 멀티미디어
 학과 학사
 2004년 현재 숭실대학교 정보통신
 전자공학부 석사과정 재학중
 <주관심분야: 저전력 SoC 설계>



연 규 성(학생회원)
 2003년 한림대학교 전자공학과
 학사
 2004년 현재 숭실대학교 정보통신
 전자공학부 석사과정 재학중
 <주관심분야: Mobile 시스템 설계,
 block-wise shutdown 기법, 저전

력 멀티미디어 시스템, 저전력 MPEG 프로세서, motion estimation, SIP/SOC를 위한 IP 집적화 및 on-chip 데이터 통신>



조 지 연(학생회원)
 2003년 숭실대학교 정보통신전자
 공학부 학사
 2004년 현재 숭실대학교 정보통신
 전자공학부 석사과정 재학중
 <주관심분야: MPEG4/H.264 SoC
 설계>



전 치 훈(학생회원)
 2003년 한림대학교 전자공학과
 학사
 2004년 현재 숭실대학교 정보통신
 전자공학부 석사과정 재학 중
 <주관심분야: On-chip 데이터 통
 신 알고리즘 및 구조, 저전력

MPEG, SIP/SOC를 위한 IP 집적화 및 on-chip 데이터 통신>



위 재 경(정회원)
 1988년 연세대학교 물리학과
 학사
 1990년 서울대학교 물리학과
 석사
 1998년 서울대학교 전기공학부
 박사

1990년~2002년 하이닉스전자 메모리연구소 근무
 2002년~2004년 한림대학교 정보통신공학부
 조교수

2004년 현재 숭실대학교 정보통신전자공학부 조교수
 <주관심분야: System-in-Package 설계 및 고속 SoC, high speed I/O interface, DLL/PLL, Mixed Mode 설계>