

논문 2004-41SD-10-5

# 고속 메모리 모듈에서 칩 간의 파워커플링에 의한 파워 잡음 분석

(Analysis of Power Noises by Chip-to-Chip Power Coupling on  
High-Speed Memory Modules)

위 재 경\*

(Jae-Kyung Wee)

요 약

이 논문은 파워 잡음 특성이 칩(chip)의 코어 동작에 따라 DDR DRAM용 모듈(Module)과 패키지(package)의 종류의 영향을 받는다는 것을 보여주고 있다. 이를 분석하기 위해 상용 TSOP-based DIMM 과 FBGA-based DIMM에서 FBGA 와 TSOP 패키지형 DRAM 칩을 가지고 임피던스 모양과 파워 잡음을 분석하였다. 일반적인 상식과 달리, FBGA 패키지의 잡음 격리 특성이 TSOP 패키지의 잡음 격리 특성보다 전달되는 잡음에 더 약하고 민감하다는 것이 발견되었다. 또한 자체 및 전달 잡음 특성을 조절하는데 있어서는 모듈상의 디커플링 커패시터(decoupling capacitors)들 위치가 패키지 자체의 리드선 인덕턴스(lead inductance)보다 더 중요하다는 것을 또한 시뮬레이션 결과들은 보여준다. 따라서 잡음 억제나 잡음 전달로부터 격리의 목표설정 값을 만족시키는 것은 패키지 형태 뿐 아니라 모듈 전체를 고려한 파워 분배 시스템의 설계를 통해서만 얻어질 수 있다.

## Abstract

This paper illustrates the noise characteristics under chip's core operations according to types of packages and modules for DDR DRAM. For analyzing this, the impedance profiles and power noises are analyzed with DRAM chips having commercial TSOP package and commercial FBGA package on TSOP-based DIMM and FBGA-based DIMM. In controversy with common concepts, we find that the noise-isolation characteristics of FBGA package are more weak and sensitive on transferred noises than those of the TSOP package. In addition, the simulated results show that the decoupling capacitor locations of modules are more important to control the self and transfer noise characteristics than the lead inductance of the packages. Therefore, satisfying the target spec of the noise suppression and isolation can be achieved through the design of power distribution systems only with considering not only the package types but also the whole module system.

**Keywords :** TSOP, FBGA, Impedance profiles, Power Coupling, DIMM

## I. 서 론

오늘날의 고성능 시스템에서는 단위 면적당 집적도 증가에 따른 단위면적당의 파워 증가에도 불구하고, 성능 저하를 방지하기 위해 허용되는 파워 전압 변동을

감소시키고 있다. 특히 고속으로 동작하는 고집적 시스템의 경우 1.0V 이하의 저전압을 사용하며 허용되는 전압 진폭이 20mV~30mV을 요구하고 있다. 이러한 시스템에서는 파워 전압 잡음의 감소 기법 및 잡음 발생 및 전달 분석은 시스템의 설계와 관계된 중요한 고려 요소들 중의 하나가 되고 있다. 특히 SIP(System in Package)이나 메모리 모듈 같은 고집적 시스템에서는 칩간의 거리가 짧고 충분한 디커플링 커패시터(decoupling capacitors)를 충분히 사용할 수 없어 기존의 단일 칩 분석처럼 칩과 패키지만을 고려해서 잡음을 분석해서는

\* 정희원, 숭실대학교 공과대학 정보통신공학부  
(School of Electronic Engineering, Soongsil University)

※ 이 논문은 2004년도 숭실대학교 교내연구비에 의하여 연구되었음.

접수일자: 2004년4월27일, 수정완료일: 2004년9월22일

이러한 전압 변화 폭을 만족 시킬 수 없다. 따라서 기존의 노이즈 분석 방법과는 다르게 멀티칩 보드(board)/모듈/SIP시스템에서는 칩 자체 발생 잡음 및 칩간의 잡음 전달 특성을 동시에 분석하여 칩 및 시스템 설계에 반영해야 한다.

일반적으로 시스템에서 칩들이 동작할 때 동작에 영향을 주는 파워 공급 잡음은 다음 두가지로 자체 잡음(self noise)와 전달 잡음(chip-to-chip transfer noise)로 정의되며 각각 다른 형태의 잡음 특성을 만든다. 한 칩에서 자체 잡음은 코아 회로나 OCD(Off-Chip I/O Driver)들이 스위칭될때 발생하는 전류가 패키지 및 전원 전달망의 임피던스를 통해 전달될때 칩 상의 파워 라인 위에서 발생되며<sup>[1]</sup>, 전달 잡음은 스위칭되는 칩에서 다른 칩으로 보드나 모듈 시스템의 파워 분배망(power distribution network)을 따라 전달되는 잡음에 의해 발생된다. 또한 파워 분배 망 시스템내의 파워선의 인덕턴스와 칩상의 디커플링 커패시터에 의한 병렬 발진(parallel resonance)은 스위칭 잡음 발생과 파워 잡음 커플링을 분석을 어렵게 만드는 또 다른 중요 변수가 되고 있다<sup>[2]</sup>. 일반적으로, 패키지 선의 유효 인덕턴스가 크다면, 파워공급선의 스위칭 잡음도 크다. 이러한 순간 동작 잡음(SSO)은 칩의 동작에 영향을 주며, 특히 아날로그 회로나 통신 회로에 기관 잡음 형태로 성능저하를 발생시킴이 보고 되었다<sup>[3]</sup>. 그러나 고주파 영역에서 패키지의 파워 선의 인덕턴스가 작게 될 때, 다른 칩에서 발생된 파워 잡음의 전달된 크기는 더 증가될 가능성이 존재한다. 따라서 고속, 고집적 시스템 안에서 자체 파워 잡음과 커플링 파워 잡음을 위한 정확한 분석을 바탕으로 패키지나 디커플링 커패시터 같은 온칩(on-chip)과 오프칩(off-chip) 파워 망 설계를 동시에 설계해야 할 필요성이 있다<sup>[4,5]</sup>. 이 논문에서는 의해 패키지 타입과 모듈 타입에 따른 칩의 내부 코아동작에 자체 잡음 발생과 발생된 잡음의 다른 칩으로의 전달에 미치는 효과를 분석하였다. 이를 위해 주파수 영역과 시간 영역에서의 시뮬레이션이 두개의 R-DIMMs (Register Dual In-line Memory Module) 종류위에서 두가지 패키지 형태의 DRAM (FBGA SDRAM과 TSOP SDRAM)들을 가지고 각각 수행되었다.

## II. 공급전원 잡음 분석

일반적으로, 전통적인 파워 잡음 분석 방법은 두 가지 측면으로 한정되어 연구되고 있는 경향이 있다. 첫

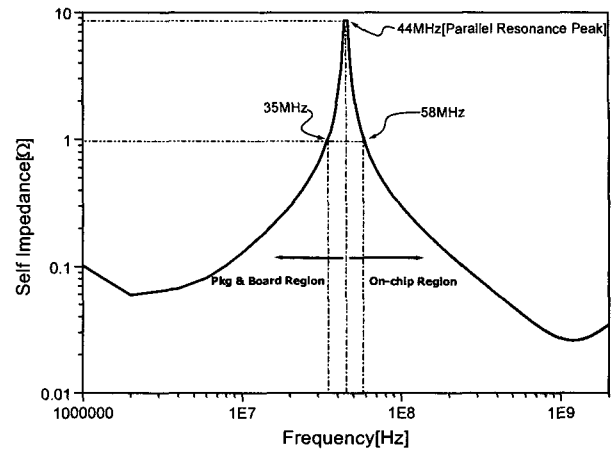


그림 1. FBGA-based DIMM위에 장착된 TSOP 패키지 DRAM의 자체 임피던스. 그림 2(a)안에 DRAM B 위치에서 측정

Fig. 1. Self-impedance profile of a DRAM having TSOP on FBGA-based DIMM. Measured location is DRAM B in Fig. 2(a).

째, 순간 동작 잡음 분석을 위해 발표된 많은 연구들이 단지 패키지의 파워 핀들의 유효 인덕턴스(effective inductance,  $L_{eff}$ )만을 고려한 식 (1)에 의존한 결과들을 보고하고 있다<sup>[6]</sup>.

$$V_n(t) = L_{eff} \frac{di}{dt} \quad (1)$$

이 경우, OCD I/O 동작의 신호 천이에 의해 발생하는 잡음에 적합하며, 칩 내부의 동작에 의해 발생하는 잡음 분석에는 부적합하다는 문제가 있다. 또한 DRAM 모듈 같은 시스템에서 전원 전달망을 고려 못하는 약점이 있고 정확한 잡음의 크기와 성격을 규명하는 것에는 한계가 있다. 따라서 근래는 이러한 모델 보다는 시간 영역의 시뮬레이션에 직접 의존하여 분석하는 추세이다.

그림 1은 칩 내부의 회로들이 느끼는 온칩 파워 선부터 보드의 파워 면까지 파워 전달 시스템의 임피던스(impedance) 프로파일(profile)을 보여주고 있다. 전체 시스템의 파워 분배 망은 PEEC(partial equivalent electrical circuits) 방법에 의해 모델링 되었다. 이 모델링은 온칩과 오프칩 파워 선 뿐 아니라, 디커플링 커패시터들도 포함하고 있다. 이때 사용된 SDRAM은 그림 2(a)에서처럼 FBGA-based DIMM위에 있는 것으로 모델링 하였고, 사용된 값들은 실제 상용 DIMM과 DRAM 칩으로부터 추출되었다. 그림 1에서 "Board & PKG region"으로 표시된 패키지 파워 핀의 인덕턴스에 의해 주로 영향을 받는 주파수 영역은 병렬 발진 주파

수 이전의 저주파영역에서 나타난다. 동작 주파수가 증가함에 따라 스위칭 전류의 스펙트럼(spectrum) 에너지 대부분이 고주파 영역(“on-chip region”)에 분포된다. 그러므로 칩의 내부 회로 동작에 의한 잡음 발생을 분석을 위해서는 식(1)은 주파수의 함수로 임피던스 프로파일을 고려하고 이를 바탕으로 잡음을 주파수 영역에서 계산하는 식(2)을 바탕으로 시간 영역의 잡음을 계산하는 방식으로 대체되어야 한다.

$$V_n(w) = Z(w)I(w) \tag{2}$$

둘째로는, 칩 스위칭 전류동작의 모사를 위해 일반적으로 사용되는 주기적 전류 펄스를 첫 번째 하모닉(harmonic) 주파수에 대해서만 분석하는 기존의 방법은 상당히 큰 에러를 만들 수 있다. 주기적 전류 펄스의 스펙트럼 에너지는 수 하모닉의 주파수 범위로 퍼지기 때문이다. 이러한 퍼짐현상은 잡음 분석을 고주파로 확장하여야 함을 의미한다. 임피던스프로파일에서 보여준 것처럼, 공진 피크는 44MHz 근처 주파수에서 관측되었다. 그러나 실제 디지털로 동작하는 칩의 동작 환경을 위해서는 동작 전류가 주기적 형태로 모델 되는 것보다 불규칙 형태로 모델 되어야 한다. 시스템의 정확한 잡음 분석은 주파수 영역 임피던스 프로파일, 고주파 영역으로 전류의 하모닉 성분들, 동작전류의 불규칙 성분들을 고려하는 것에 의해서만 얻어 질 수 있다.

### III. 시뮬레이션 결과 및 토론

그림 2(a)와 그림 2(b)는 각각 FBGA-based DIMM과 TSOP-based DIMM을 보여주며 그림 2(c)와 그림 2(d)는 SDRAM용 FBGA 패키지와 TSOP용 패키지의 도식을 보여준다. 여기서 각각의 DDR-1 SDRAM의 패키지는 세 종류의 파워(VDD)와 그라운드(VSS) 핀을 가진다. FBGA와 TSOP을 위한 파워와 그라운드 핀의 인덕턴스 값은 Ansoft사의 Quick-3D field solver를 사용하여 계산하여 그림 2(e)에 표시하였다. TSOP의 인덕턴스가 FBGA의 인덕턴스보다 40% 높음을 알 수 있다. 일반적으로 인덕턴스 값이 클수록 임피던스가 커져 외부의 잡음 전달에 대해 더 나은 격리 특성을 보여준다. 그러나 패키지의 인덕턴스가 증가될수록 자체 잡음은 더 나빠지는 경향이 있다. 일반적으로, 모듈위의 하나의 칩이 느끼는 전체 잡음은 자체 잡음과 다른 칩이나 시스템에서 오는 전달 잡음의 중첩으로 표시된다. 따라서 패키지 파워선의 증가 인덕턴스가 낮을수록 칩

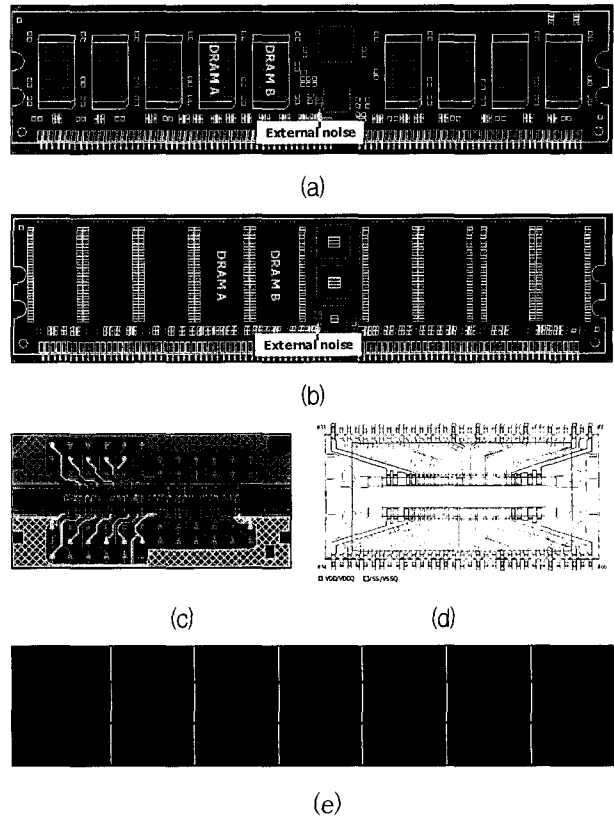
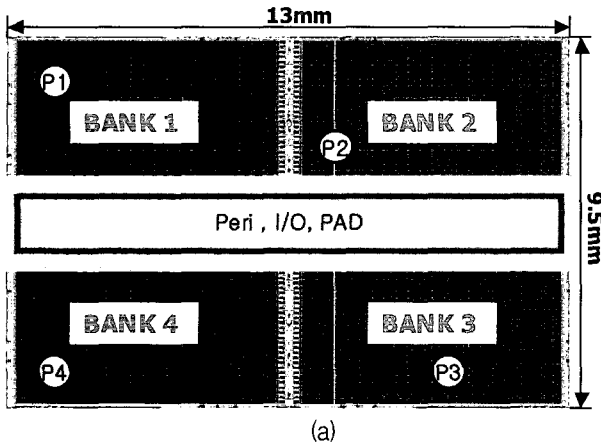


그림 2. 파워 잡음 분석에 사용된 DRAM 모듈의 그림. (a)FBGA-Based DIMM, (b) TSOP-Based DIMM, (c) FBGA, (d) TSOP, (e) 패키지 형태에 따른 패키지 파워 선의 인덕턴스

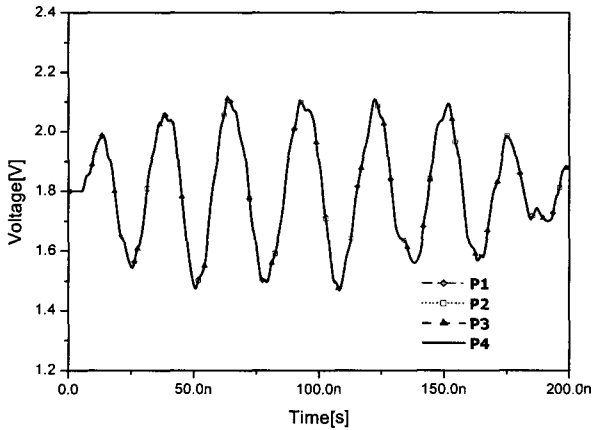
Fig. 2. The photographs of DRAM nodules and packages used for power noise analysis. (a) FBGA-Based DIMM, (b) TSOP-Based DIMM, (c) FBGA, (d) TSOP, and (e) Lead inductance of power lines according to package types.

에서 느끼는 자체 잡음은 감소되는 경향을 보이거나 전달 잡음은 증가되며, 반대의 경우 자체 잡음은 증가되거나 전달 잡음은 감소되는 경향을 보이게 된다. 때문에 잡음 감소시키기 위해서는 자체 잡음과 전달 잡음의 이러한 잡음 양면성을 연구할 필요성이 있다. 이를 위해 패키지 파워 핀의 인덕턴스에 따른 파워 잡음 특성이 두 개의 R-DIMM 형태, 즉 두개의 FBGA SDRAM이 있는 DIMM들과 TSOP SDRAM이 있는 DIMM들을 통해 비교하여 분석할 예정이다.

이 작업을 위해 사용된 시뮬레이션 모델은 파워 전달 시스템 구조에 기반해서 R-DIMM 파워 평면, 패키지의 파워 핀, 그리고 SDRAM안의 파워 선의 세가지 부분으로 구성하였다. R-DIMM 파워 평면은 오프칩 디커플링 커패시터가 고려된 20x5 RLCG 그리드 셀(grid cell)들로 모델되었다. 패키지 모델은 R과 L의 직렬 연결이 전기적 모사를 위해 사용되었다. SDRAM 칩 안의



(a)



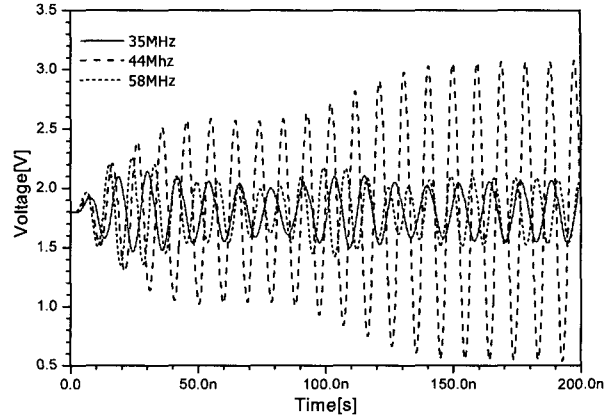
(b)

그림 3. Bank 1이 동작중 일때 그림 1의 임피던스 프로파일을 가지는 DRAM 칩안의 파워 잡음. 동작 주파수는 PRBS 모드로 400MHz에서 테스트했다. (a)DRAM 칩의 레이아웃 도, (b) DRAM chip안에서 관찰 위치에 따른 파워 잡음

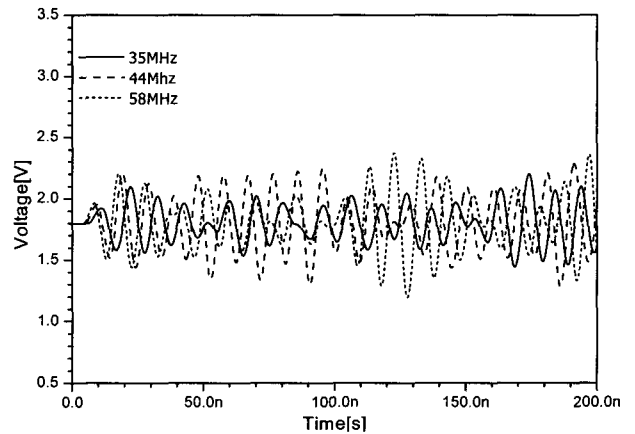
Fig. 3. Power noises in a DRAM chip having the impedance profile of Fig. 1 when Bank 1 is active. The operating frequency is tested at 400MHz with PRBS mode. (a) Layout view of a DRAM chip and (b) Power noises according to observed points in a DRAM chip.

파워 메쉬 선들의 시뮬레이션 모델은 분산된 RLC 모델링을 사용하여 구성되었다. 덧붙여서, 만약 DRAM처럼 칩의 크기가 동작 주파수의 파장 길이에 비해 매우 작거나 칩의 파워 메쉬(mesh) 선이 RC 영역 망, 즉  $R_{mesh} \gg \omega L$  이라면, 파워 공급 잡음의 크기나 위상은 파워 메쉬 선들 안의 여러 위치에서 모두 거의 같은 값을 가진다.

시뮬레이션 환경은 계산량을 줄이고 분석을 용이하게 하기 위해 그림 2(a)와 그림 2(b)처럼 두개의 SDRAM 만을 장착한 R-DIMM을 고려하였고 나머지는 모두 커패시터로 처리하였다. SDRAM의 동작 주파



(a)



(b)

그림 4. 전체 전류가 300mA 소모될때, 여러 주파수에 따른 파워 흔들림. (a) 주기적 전류 신호들이 발생되었을 때 파워 흔들림, (b) 불규칙 전류 신호들이 발생되었을 때 파워 흔들림

Fig. 4. Power fluctuations according to various frequencies when total current of 300mA is consumed. (a) Power fluctuation when periodic current signals are generated and (b) Power fluctuation when random current signals are generated.

수는 400MHz이다. 파워 공급 잡음은 그림 2(a)의 R-DIMM위의 DDR SDRAM위의 파워 메쉬 라인위의 여러 위치에서 측정되었다. 이러한 결과는 그림 3(a)의 코아로직 블록중 하나인 BANK 1이 동작할 때, 파워 잡음은 파워 메쉬 선위의 P1, P2, P3, 그리고 P4에서 측정하여 그림 3(b)에 표시되었다. 그림으로부터, 네 개의 다른 위치에서 측정된 잡음의 크기와 위상이 모두 거의 같음을 알 수 있다. 마지막으로, 스위칭 잡음 발생과 두 칩사이의 파워 커플링 특성이FBGA SDRAM 과 TSOP SDRAM을 사용하여 상용 R-DIMM위에서 시뮬레이션 결과들을 가지고 분석, 비교하였다.

주기적 전류 신호에 시간 영역 반응은 그림 4(a)에 보여지며, 칩이 세가지 스위칭 주파수, 35MHz, 44MHz,

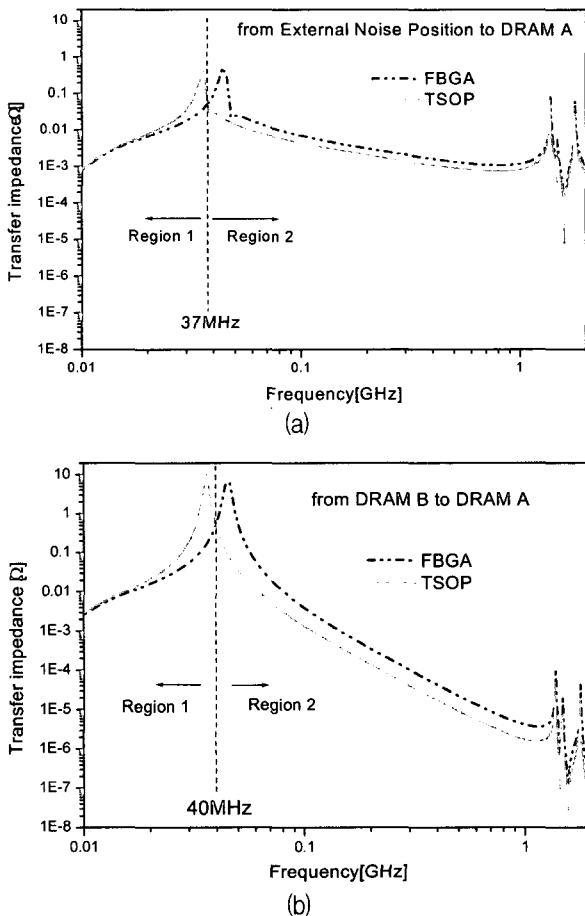


그림 5. 전달 임피던스 프로파일. (a) 외부 잡음 원에서 DRAM A, (b) DRAM B에서 DRAM A  
 Fig. 5. Transfer impedance profiles. (a) From external noise source to DRAM A and (b) From DRAM B to DRAM A.

58MHz에서 동작할 때 동작하는 SDRAM의 파워 라인에서 측정되었다. 주기적 전류 신호가 칩 스위칭 모델로 사용되었을 때, 파워 전원 잡음은 자체 임피던스의 크기에 직접적으로 비례한다. 그러나 PRBS (Pseudo-Random Bit Sequence) 전류 원을 사용하는 경우 파워 전원 잡음 피크의 거대한 진폭이 그림 4(b)에서는 관찰되지 않는다. 이것은 칩 동작이 실제 칩의 스위칭 동작을 고려하지 않고 주기적 전류 신호로만 모델하면, 잡음 크기의 예측에 큰 실수가 있을 수 있음을 의미한다. 이 논문에서 실제 칩 동작을 더 정확하게 모사하기 위해 PRBS 전류 원을 사용하여 SDRAM의 코어 스위칭 현상을 분석하였다.

시뮬레이션들은 두 가지 가정아래에서 수행되었다.

1) 단지 DRAM B만 동작하는 경우, 2) DRAM B가 동작하는 중에 외부 잡음이 그림 2처럼 주어지는 경우. 두개의 SDRAM들의 파워 메쉬 선상의 파워 공급 잡음이 이 두 가지 조건에 대해 측정되었다. DRAM B로부터

터 DRAM A의 칩상의 파워 선로로의 전달 임피던스가 그림 5(a)에 나타냈으며, 외부 잡음 원에서 DRAM A의 칩 상의 파워 선로로의 전달 임피던스가 그림 5(b)에 나타냈다. SDRAM이 FBGA-based R-DIMM위에 장착 되었을 때, 그림의 "region 1"에서 FBGA의 전달 임피던스는 TSOP의 전달 임피던스보다 낮다. 그러나, 고주파 영역인 "region 2"에서는 TSOP의 전달 임피던스가 FBGA의 전달 임피던스 보다 매우 작다. 즉, 어떤 주파수 영역에서는 TSOP가 다른 스위칭 칩들로부터 파워 잡음 격이 측면에서는 FBGA보다 더 좋은 특성을 보인다. 결과적으로 FBGA의 잡음 성능이 TSOP의 잡음 성능보다 더 좋다고 말할 수 없다. 어떤 지점에서의 전체 잡음은 자체와 전달 잡음의 중첩으로 결정됨으로 전체 잡음은 다음의 식 (3)처럼 표시될 수 있다.

$$V_i = Z_{ii}I_i + \sum_{j=1}^n Z_{ij}I_j \quad (3)$$

식 (3)으로부터 만약 우리가 자체와 전달 임피던스 프로 파일과 동작 전류 프로 파일을 안다면, 전체 시간 시뮬레이션 없이 상대적인 전체 잡음을 예측할 수 있다. 이것은 초기 설계에서 시스템 잡음 성능의 상대적 비교를 위해 유용할 수 있다.

그림 6은 DRAM A는 동작이 없고 DRAM B가 PRBS 모드의 전류원에 의해 스위칭할 때, 고정된 위치의 DRAM B에서 DRAM A사이의 거리의 함수로 잡음 피크의 크기를 보여준다. 그림 6에서 사용된 DIMM은 여러 모듈 형태에 따른 복잡성을 줄이기 위해서 FBGA-based DIMM만을 선택하였다. 그림 6에서의 시뮬레이션 결과는 잡음특성이 주파수들에 비선형으로 의존한다는 것을 보여준다. 이는 그림 1처럼 자체 임피던스의 주파수 특성이 주파수에 비선형적으로 주어진다 사실에 기인하다<sup>[7]</sup>. 따라서 그림 6의 자체 잡음의 경우 200MHz에서는 TSOP이 크고 400MHz에서 FBGA가 큰 이유는 잡음원으로 사용되는 PRBS 신호는 모든 주파수 성분을 다 가지고 있기 때문이다. 그림 7은 주어진 모듈의 자체 임피던스를 보여주고 있다. FBGA의 경우 병렬 공진 주파수 이하의 40MHz이하에서 TSOP보다 높은 자체 임피던스를 가지며 200MHz 이상에서는 TSOP과 같은 임피던스 프로 파일을 갖는다. TSOP의 경우 40MHz에서 190MHz까지의 구간(구간 B)의 경우 FBGA보다 상대적으로 낮은 자체 임피던스를 갖는다. 200MHz의 PRBS 신호의 경우 400MHz보다 상대적으로 저주파수의 성분을 가지고 있어 FBGA의 잡음 발생

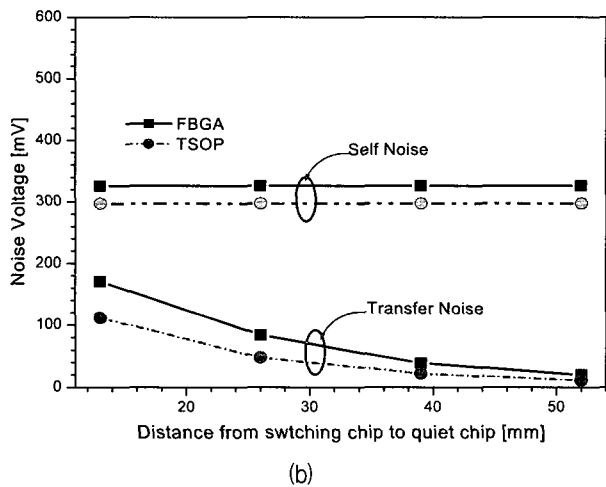
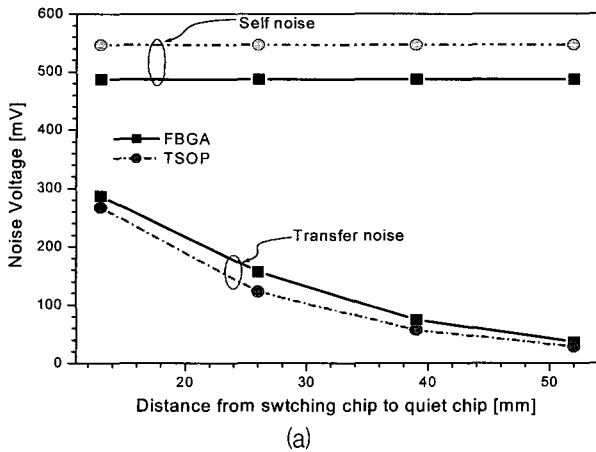


그림 6. 불규칙 전류원이 주어졌을 때의 DRAM B에서 DRAM A의 거리의 함수로서의 자체 및 전달 잡음. 그림 1(a)의 FBGA-based DIMM이 실제 DIMM 모델링을 위해 사용되었다. (a) 200MHz의 동작 주파수에서의 잡음, (b) 400MHz의 동작 주파수에서의 잡음

Fig. 6. Self and transfer noises as a function of distances from DRAM B at DRAM A when random current signals are generated. FBGA based DIMM of Fig. 1(a) is used for modeling the DIMM. (a) Noises at operation frequency of 200MHz and (b) Noises at operation frequency of 400MHz.

이 TSOP보다 작다는 것을 알 수 있으며, 400MHz의 경우 상대적으로 고주파수인 40MHz에서 200MHz의 성분 때문에 TSOP의 잡음이 FBGA보다 낮게 나타남을 알 수 있다. 일반적으로 패키지 파워 핀에서 모듈쪽으로 보는 높은 출력 임피던스는 스위칭 전류의 흐름에 방해가 되어 자체 잡음(SSO)을 크게 유발시키나, 이러한 자체 임피던스 특성은 패키지의 임피던스 뿐 아니라 전류 흐름에 영향을 주는 모듈위의 디커플링 커패시터와 칩에서 이상적인 그라운드 접지까지의 임피던스 모두에 영향을 받는다. 그림 6에서 FBGA의 경우 전달 잡음이

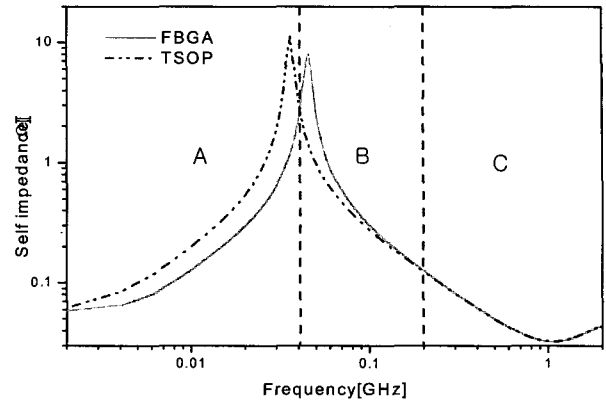
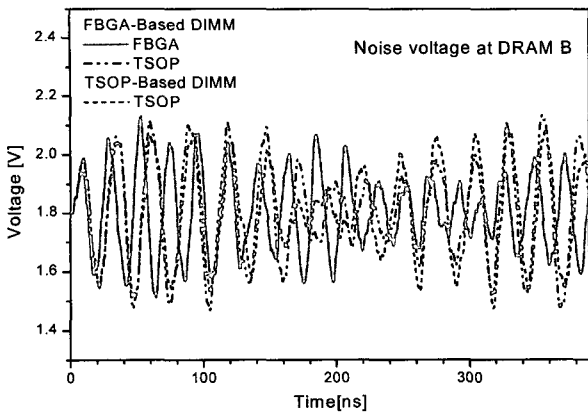


그림 7. DRAM core에서 본 자체 임피던스 프로파일  
Fig. 7. Self impedance profile seen from DRAM core.

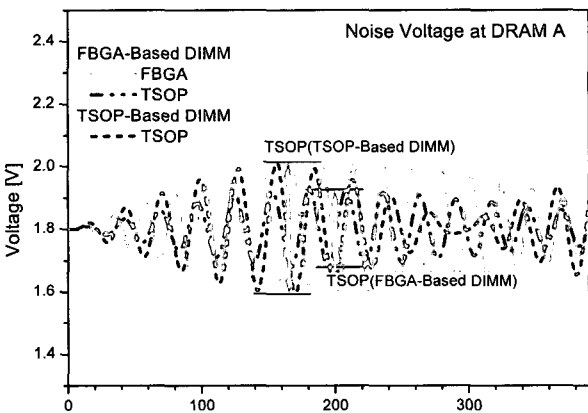
TSOP보다 더 잘 전달되는 것을 알 수 있다. 이는 40MHz 이상에서부터 모듈에서 패키지 파워핀을 통해 칩을 보았을 때의 입력 임피던스가 TSOP의 경우가 FBGA의 경우보다 크다는 사실에 기인한다. 따라서 보드의 고주파 잡음의 경우 FBGA의 패키지 파워핀의 임피던스가 낮아 잡음 전달이 용이하게 된다. 모듈에서 칩간의 파워 커플링의 중요한 비교 상수로 발생한 잡음에 대한 전달 잡음 비인 잡음 전달비 ( $=V_{transfer}/V_{self}$ )는 거리가 5mm에서 TSOP은 0.38 (400MHz) and 0.4 (200MHz)이고 FBGA는 0.55 (200MHz and 400MHz)로 계산되었다. 또한, 잡음 전달 특성은 두 칩의 거리가 감소함에 따라 거리에 반비례해서 급격하게 감소함을 보여준다. 이는 모듈처럼 칩들이 동시에 동작하는 경우 칩들의 동작 주파수, 칩간 간격 및 모듈의 특성 고려 없이 패키지의 인덕턴스를 낮춤으로 코아 동작에 의해 발생하는 잡음으로부터 파워 안정성을 개선하는 것은 한계가 수 있음을 보여준다.

또한 이결과는 다음과 같은 사실을 보여준다. 1) 코아 동작에 의한 SSO는 패키지의 인덕턴스에 직접적으로 선형 비례를 가지지 않으며, 2) 어떤 주파수 영역에서는 FBGA가 TSOP의 경우보다 더 큰 스위칭 잡음을 만들 수 있으며, 3) FBGA의 경우 전달 잡음이 TSOP보다 더 잘 전달되기 때문에 잡음이 많은 보드 환경에서는 외부 잡음에 TSOP 보다 더 민감하고 약하다.

FBGA-based DIMM이나 TSOP-based DIMM같은 DRAM 모듈 효과가 TSOP과 FBGA 패키지를 한 칩상의 파워 잡음을 실험하였고, 그림 8에 자체 잡음과 전달 잡음에 대해 나타내었다. 자체 잡음과 비교해서, FBGA의 경우 TSOP의 경우 보다 잡음이 잘 전달됨을 알 수 있다. 덧붙여서 FBGA-based 모듈위의 TSOP 칩은 TSOP-based 모듈위의 TSOP보다 낮은 잡음 피



(a)

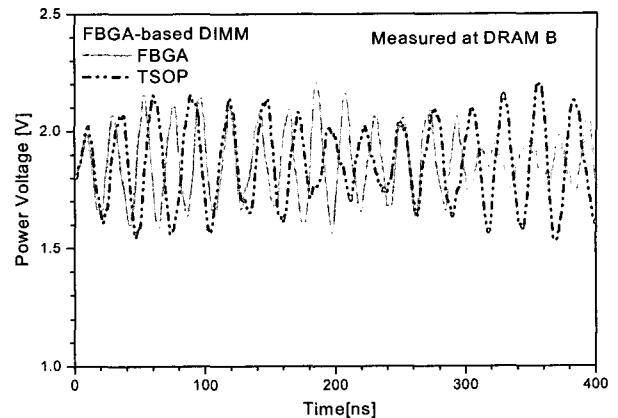


(b)

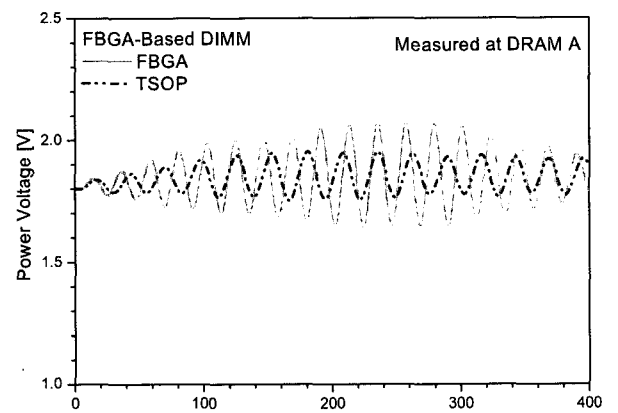
그림 8. DIMM 형태에 따른 잡음의 비교, PRBS는 400MHz의 동작 주파수에서 수행되었다.(a) 자체 잡음 (DRAM A: switching, DRAM B: quiet), (b) 전달 잡음 (DRAM A: switching, DRAM B: quiet)

Fig. 8. Comparison of noises according to DIMM types. PRBS is performed at operating frequency of 400MHz. (a) Self noises (DRAM A: switching, DRAM B: quiet) and (b) Transfer noises (DRAM A: switching, DRAM B: quiet).

크를 보인다. 이것은 파워 간섭이 모듈상의 디커플링 커패시터의 위치에 의해 크게 영향을 받음을 의미한다. 이러한 결과로부터 칩내 회로가 느끼는 두 칩간의 파워 간섭은 두 칩간의 거리와 시스템의 임피던스에 의존함을 알 수 있다. 그림 9은 칩안에서 유기된 잡음에 칩 밖의 잡음의 중첩되었을 때의 효과를 보여준다. 그림에서 보는 것처럼 패키지의 종류에 따른 효과가 명확히 보인다. 이는 TSOP이 외부 잡음에 훨씬 강함을 보여준다. 이것은 칩사이의 파워전원 간섭을 격리하는 측면에서는, 패키지의 파워 라인의 임피던스가 낮은 경우가 높은 임피던스를 갖는 경우보다 더 나쁜 잡음 특성을 갖는다는 것을 의미한다.



(a)



(b)

그림 9. 외부 잡음을 제외하고는 그림 7과 같은 조건에서의 잡음 비교. (a) 외부 잡음 추가시 DRAM B 상에서 잡음, (b) 외부 잡음 추가시 DRAM A 상에서 잡음

Fig. 9. Comparison of noises for the same condition of Fig. 8 except for the additional external noise. (a) Noise of DRAM B with an additional external noise and (b) Noise of DRAM A with an additional external noise.

이러한 결과를 바탕으로 다음과 같은 패키지 및 칩 설계의 지침을 제안할 수 있다. 먼저, 잡음에 민감하고 순간 전류 소모가 작은 회로는 상대적으로 높은 인덕턴스를 가지도록 파워선을 설계하고 칩내에서 별도의 파워선로를 사용한다. 또한 순간 전류 소모가 큰 I/O회로의 파워 선로들은 상대적으로 낮은 인덕턴스를 가지도록하고 이를 칩의 코어 로직의 파워 선로와 분리해서 사용한다. 이상의 결과를 바탕으로 잡음을 고려한 DRAM 모듈 설계 방법은 다음과 같다.

- 1) 먼저 시스템의 크기와 적층될 칩의 개수 및 위치를 결정한다.
- 2) 칩의 동작을 분석하여 동작 전류의 스펙트럼을 얻는다.

3) 디커플링 커패시터를 적절한 위치에 넣고 모듈의 자체 임피던스 프로파일과 전달 임피던스 프로파일을 얻는다.

4) 칩의 전류의 피크 주파수와 임피던스 프로파일의 병렬 공진주파수가 일치하지 않도록 모듈의 디커플링의 값들을 다시 조정한다. 고속 동작을 하는 I/O 및 코아의 잡음을 조절하기 위해서는 파워 전달 핀에 가장 가깝게 커패시터를 연결한다. 이때, 커패시터의 크기는 공진 직렬 공진 주파수가 칩의 동작 주파수근처로 조절하여 잡음을 발생시키는 임피던스의 크기를 경감시킨다.

5) 전달 잡음을 최소화로 방지하기 위해서는 보드로 전달되는 관심이 있는 잡음의 주파수대역을 필터링하도록 신호 전달 패스상의 보드위에 디커플링 커패시터를 연결한다. 이때 사용되는 디커플링 값 크기나 위치는 칩 동작시 보드로 전송되는 잡음의 특성을 고려하여 결정해야 한다.

6) 실제 모듈로 제작하여 시뮬레이션과 측정을 비교하여 설계를 다시 한다.

#### IV. 결 론

이 논문은 칩 내의 코아 동작에 파워 잡음의 특성이 의해 DRAM 모듈과 패키지에 따라 어떻게 영향을 받는지를 보여준다. 칩내의 회로 분석을 위해 기존의 패키지만을 고려한 잡음 분석대신 모듈의 파워전달망 및 다른 칩의 동작까지 고려하여 분석하였다. 이결과는 다음과 같이 요약될 수 있다.

칩 내의 동작을 주기적 신호를 바탕으로 잡음 분석을 하는 경우 실제 칩의 임피던스에 따른 잡음 특성을 잘못 예측할 가능성이 있으며, I/O 동작 잡음과 다르게 코아 회로에 의해 발생하는 잡음은 자체 임피던스가 주파수 구간에 따라 TSOP가 FBGA 보다 작게 나타나는 구간이 있다. 따라서 자체 잡음은 반드시 FBGA가 좋다고 할 수 없다. 전달 임피던스가 40MHz이상에서 TSOP 보다 크다. 따라서 전달 잡음의 경우 40MHz이상의 고주파 잡음일 경우 FBGA가 더 민감하다. 200MHz 이상의 고주파에서의 파워 핀 인덕턴스가 더 클어도 불구하고 FBGA와 TSOP 패키지 사이의 자체 임피던스는 같다. 또한 주파수가 400MHz인 고주파에서는 잡음에 미치는 효과는 패키지보다 모듈에 따른 영향이 크다. 모듈에 의한 효과를 비교하기위해 FBGA-based DIMM에 TSOP를 장착한 경우보다 TSOP-Based DIMM의 경우가 45% 잡음의 크기가 감소하였으나, FBGA -based

DIMM위에서 FBGA와 TSOP을 비교한 결과는 차이가 거의 보이지 않았다. 또한 전달 잡음의 경우 거리에 따라 반비례하여 크게 감소하여 5mm에서 15mm로 거리가 증가하면 40% 정도 전달 잡음이 감소한다. 이러한 결과는 향후 고속 고집적 모듈 및 보드 시스템 설계시 패키지외에 온칩 디커플링 커패시터, 오프칩 디커플링 커패시터 및 칩 간격 및 배치등을 동작 주파수를 같이 고려해서 작업을 해야 함을 보여준다.

#### 참 고 문 헌

- [1] J.-H. Choi, Y.-J. Kim, J.-K. Wee, and S. Lee, "Pipelined Wake-Up Scheme to Reduce Power Line Noise for Block-Wise Shutdown of Low-Power VLSI Systems" *IEICE trans. on Electronics*, Vol. E87-C, No4, pp629-633, April, 2004.
- [2] A. Waizman and C.-Y. Chung, "Resonant Free Power Network Design Using Extended Adaptive Voltage Positioning(EAVP) Methodology," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 3, pp. 236-245, Aug. 2001.
- [3] M. Badaroglu et al., "Modeling and Experimental Verification of Substrate Noise Generation in a 220-Kgates WLAN System-on-Chip with Multiple Supplies", *IEEE Journal of Solid-State Circuits*, vol. 38, no. 7, pp. 1250-1260, Jul. 2003.
- [4] W. H. Ryo, H. Fahmy, and H. Maramis, "High Frequency Simultaneous Switching Output Noise (SSO) Simulation Methodology For a DDR333/400 Data Interface," *Ansoft High-Speed Design Forum*, July 2002.
- [5] D. Herrel and B. Becker, "Modeling of power distribution system for high performance micro-processors," *IEEE Transaction on Advanced Packaging*, vol.22, no.3, pp.240-248, Aug. 1999.
- [6] Y. Eo, W. R. Eisenstadt "A Compact Multilayer IC Package Model for Efficient Simulation, Analysis, and Design of High-performance VLSI Circuits," *IEEE Transactions on Advanced Packaging*, vol. 26, no. 4, pp. 392-401, Aug. 2003.
- [7] S. M. Lee Y.-J. Kim, G. Moo, S. Lee, and J.-K. Wee, "A Lumped-Circuit-Model-Based Design Method for Power Distribution Networks of Digital Circuit System", *7th IEEE Workshop on Signal Propagation on Interconnects' 2003*, (Siena, Italy), pp.171-174. May 2003.



---

저 자 소 개

---



위 재 경(정회원)

1988년 연세대학교 물리학과 학사 졸업.

1990년 서울대학교 물리학과 석사 졸업.

1998년 서울대학교 전자공학과 박사 졸업.

1990년~2002년 하이닉스전자 메모리연구소 근무

2002년~2004년 한림대학교 정보통신 공학부 조교수

2004년~현재 숭실대학교 정보통신전자공학부 조교수

<주관심분야: System-on-Package 설계, high speed I/O interface, DLL/PLL, Mixed Mode 설계, 저전력 고속 SoC>