

논문 2004-41SD-10-4

# 싱글포트 구조에 기반한 어싱크로너스 의사 듀얼 포트 SRAM 설계

(Design of the Asynchronous Quasi Dual-port SRAM Based on a Single-port Structure)

최정희\*, 손기성\*, 김성식\*, 조경록\*

(JeungHie Choi, KiSung Sohn, SungSik Kim, and KyoungRok Cho)

## 요약

본 논문에서는 SRAM을 내장하는 시스템형 집적회로에서 싱글 포트 SRAM을 이용하여 듀얼 포트 SRAM으로 동작하는 구조를 제안한다. 외부 호스트는 내부 SRAM에 데이터를 자유로이 읽거나 쓸 수 있고, 내부 SRAM은 또 다른 외부의 회로부에 저장 데이터의 전달이 가능하면서 호스트와는 동기신호가 없는 구조 즉, 어싱크로너스 듀얼 포트 SRAM의 동작을 하는데, 싱글포트 SRAM을 이용하여 어싱크로너스 듀얼 포트로 동작을 하도록 내부의 기능부를 설계하여 듀얼 포트 SRAM에 비해 적은 면적을 차지하는 구조를 제안하고 0.35um CMOS공정으로 칩을 제작하고 검증하였다. 결과로 20% 면적 감소와 20% 전력 소비의 효과를 확인하였다.

## Abstract

In this paper, the asynchronous quasi dual-port SRAM employing a single port structure in SRAM embedded SOC (System On Chip) is proposed. External host can access the internal SRAM freely and the data on internal SRAM can be transferred to an another external circuitry without a synchronous signal of an external host, which operates as an asynchronous dual-port SRRAM. The performances of the proposed circuits and control structure are verified through the simulation and we fabricated it using a 0.35um CMOS technology. As the results, the chip shows reduced area about 20% and saved power also 20% than conventional architectures.

**Keywords :** SRAM, Single Port, SOC

## I. 서론

집적회로가 단순히 시스템의 구동을 지원하는 하나의 구성요소가 아니라 시스템을 모델링하고 있는 형태로 발전하면서 이른바 시스템형 집적회로의 시대로 발전하고 있다. 이러한 시스템형 집적회로의 구성에 있어서 필수 요소중의 하나가 메모리이며, SRAM은 플래쉬(Flash) 메모리와는 달리 셀 프로그램 동작에 있어서 높은 전압을 요구하지도 않으며, DRAM처럼 주기적인

리프레시를 필요로 하지 않고, 주변 로직의 전원을 그대로 사용하면서 전원이 켜져 있는 한 데이터의 저장과 읽기가 용이하여 시스템형 집적회로의 구성 요소로 가장 광범위하게 선택, 사용되어 지고 있다.

그러나, SRAM은 DRAM에 비하여 면적을 많이 차지하는 단점이 있으며, 대부분의 시스템형 집적회로에서 메모리가 차지하는 면적이 전체 집적회로 면적의 70% 이상임을 감안할 때 면적 측면에서 메모리의 선택은 신중하여야 한다.

또한 듀얼 포트SRAM을 내부 메모리로 내장한다면 면적 점유율이 대단히 높아지게 된다.

그림 1.은 싱글 포트와 듀얼 포트 SRAM의 구조를 나타내며, 싱글 포트 SRAM은 액세스하는 포트가 한

\* 정희원, 충북대학교 정보통신공학과  
(Department of Information & Communication Engineering, Chungbuk Nat'l University)  
접수일자: 2002년11월28일, 수정완료일: 2004년10월2일

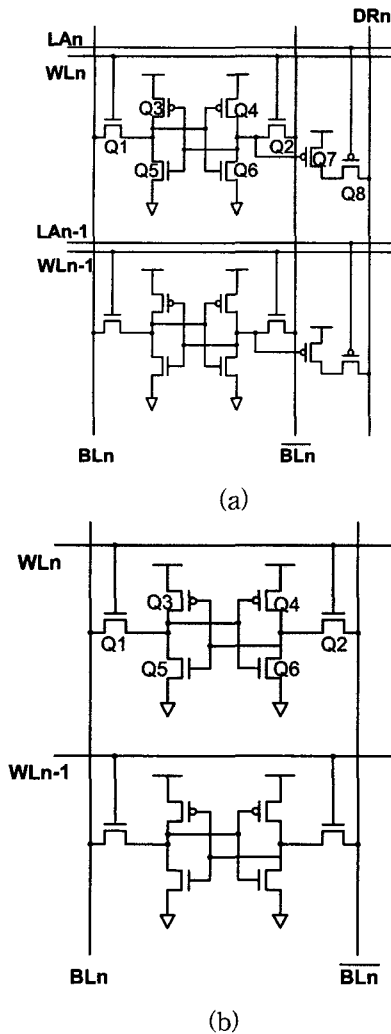


그림 1. SRAM 셀 (a) 듀얼 포트 SRAM 셀의 구조 (b) 싱글 포트 SRAM 셀의 구조  
 Fig. 1. SRAM cell (a) Configuration of dual port SRAM cell (b) single port SRAM.

쪽(BLn,  $\overline{BLn}$ )으로만 열려 있는 구조이고, 듀얼 포트 SRAM은 액세스하는 포트가 양방향(BLn,  $\overline{BLn}$  및 DRn)이며 한 쪽에서 그 셀의 데이터를 액세스하는 동안에도 다른 한 쪽에서 그 셀의 데이터를 읽어낼 수 있는 구조로 되어 있다는 것이 서로 다른 점이다.

그림 1. (a) SRAM 셀 구조에서 듀얼 포트 SRAM 셀은 6 TR<sup>[1]</sup>의 구성을 사용하기도 하지만 8 TR<sup>[2]</sup> 구성이 일반적이며, 싱글 포트 SRAM은 6 TR. 혹은 그림 1. (b)에서 Q2를 제외한 5 TR구조를 쓰기도 하며<sup>[1]</sup>, 이때 비트라인을 쌍으로 사용하지 않음으로써 생길 수 있는 노이즈(Noise)의 방지 대책이 해결 과제이다. 시스템형 집적회로가 대용량 메모리를 내장하는 경우, 요구 사양에 적합하면서 적은 면적을 이용한 구성을 위한 노력이 필수적이며, 듀얼 포트 SRAM은 싱글 포트

SRAM에 비하여 많은 면적을 필요로 하기 때문에 가능하면 사용을 피하고 있다.

본 논문에서 비디오 프레임 데이터를 저장하는 기능을 갖는 프로세서로, 기본적인 시스템의 요구 사항이 호스트쪽 포트와 또 다른 쪽 출력 포트가 있는 듀얼 포트 SRAM 구조이며, 각각의 포트에서 메모리의 데이터를 접근할 때 서로 동기 신호가 존재하지 않는 어싱크로너스 액세스 타이밍을 가지고 있다. 또한, 호스트로부터 디지털 비디오 데이터를 입력 받아서 내장 메모리에 저장하는 프레임(Frame) 메모리로서의 역할을 수행해야 하면서, 그 데이터를 외부 디스플레이 구동용 시스템에 전달해야 하는 구조 등이다.

본 논문에서는 비디오 프레임 메모리를 내장하는 시스템형 집적회로에 있어서, 싱글 포트 SRAM을 이용하여 의사 듀얼 포트 SRAM 동작을 하는 구조를 제안한다. 제 II장에서는 시스템의 요구 사양 및 타이밍, 제 III장에서는 제안하는 메모리의 구현, 제 IV장에서는 칩 측정 결과에 대해서 기술한다.

## II. 시스템 요구 사양 및 타이밍

### 1. 시스템 구조

그림 2는 비디오 프레임 메모리를 내장하는 시스템형 집적회로의 블록도이며, 호스트의 메모리 비트라인(Bit Line) 액세스를 위한 컬럼 어드레스 디코더(Column Address Decoder)와 워드라인(Word Line) 액세스를 위한 행 어드레스 디코더(Row Address Decoder)를 내장하고 있으며, 외부 구동용 프레임(Frame)의 타이밍을 생성시키는 내부 발진기(Internal Oscillator)와 그의 타이밍 생성기(Timing Generator), 생성된 타이밍에 따라서 내부 프레임 메모리 데이터를 한 줄씩 읽어가기 위한 라인 어드레스 디코더(Line Address Decoder)와 래치 어레이(Latch Array)와 외부 구동부를 가지고 있다.

칩의 주요 기능은 호스트로부터 비디오 프레임 데이터를 송수신 하고 내부 프레임 메모리에 저장을 수행하면서 그 저장된 데이터를 읽어서 외부로 전달 구동하는 평판 디스플레이의 비디오 데이터를 구동을 하는 역할을 한다. 또한, 호스트가 비디오 데이터 및 명령 레지스터를 액세스 하고 있는 중에도, 이 집적회로는 내부에 발진기(Oscillator)를 갖추고 있어서 외부 구동 타이밍을 생성시키며, 내부 구성 명령어 레지스터의 저장 정보를 바탕으로 설정된 비디오 프레임에 맞추어 메모리

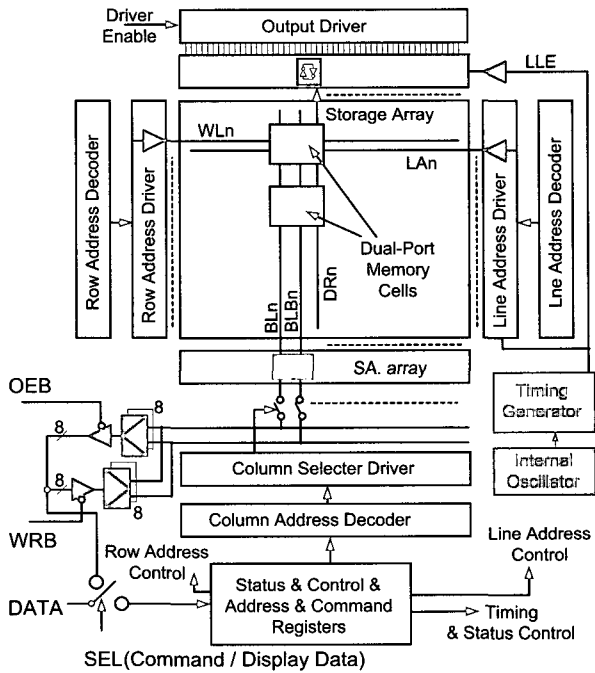


그림 2. 비디오 프레임 메모리 내장 시스템형 집적회로의 기능 구성도

Fig. 2. Function block diagram of the SOC with embedded Video Frame Memory.

데이터를 읽고 출력포트로 출력을 하는 구조를 가지고 있다.

호스트가 명령어 레지스터를 이용하여 집적회로의 외부 구동 타이밍을 선택할 수는 있으나, 외부 구동의 동작 타이밍에 대한 동기를 맞출 수 있는 신호를 제공하지 않기 때문에 호스트와 타이밍 생성기가 동기화 되지 않는 어싱크로너스 듀얼 포트 SRAM의 구조를 내장하여야 한다.

## 2. 호스트와 동작 타이밍

호스트가 내부 메모리를 액세스할 지 혹은 내부 레지스터를 액세스할 것인지에 대한 정보는 외부 단자 SEL에 의하여 선택되고, 입출력클럭(Clock)은 각각 WRB와 OEB의 상승모서리에서 데이터의 입력이 이루어진다.

칩의 최대 동작 주파수는 호스트로부터의 제공되는 WRB 혹은 OEB의 속도에 의해 결정되며, 출력 구동부의 타이밍은 메모리의 비디오 프레임 데이터를 줄단위로 읽어가는 구조이기 때문에 호스트쪽에 비하여 낮은 주파수의 사양이면 충분하고, 비디오의 수평 동기 신호 주파수에 의존한다.

그림 3의 타이밍도는 호스트가 칩을 액세스하는 읽기 및 쓰기 타이밍을 규정하는 것으로, tcyc의 최대 값을 150nsec(6.7MHz), 300nsec (3.3MHz)로 각각 요구하

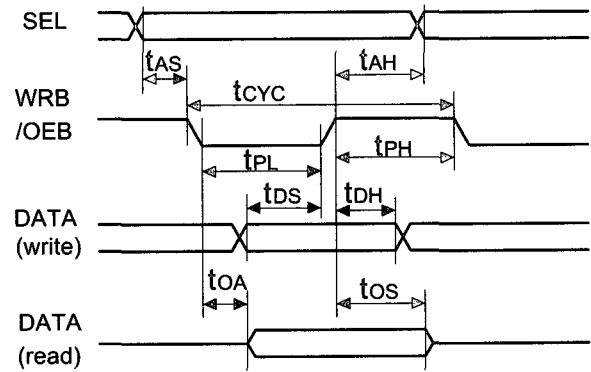


그림 3. 시스템형 집적회로의 인터페이스 타이밍  
Fig. 3. Interface Timing Chart of the SOC.

고 있다.

쓰기의 동작을 보면,  $tcyc = tPL + tPH + tRISING + tFALLING = 150nsec$ 에 의해 합이 되므로,  $tRISING$ 과  $tFALLING$ 을 5nsec로 하면  $tPL, tPH$ 는 각각 70nsec가 된다.

따라서 칩은 호스트의 쓰기 클럭인 WRB의 상승 모서리에서 받아들인 데이터를  $tPH=70nsec$ 동안에 내부 메모리에 저장을 해야만 다음 클럭에 의한 데이터를 놓치지 않고 받아 들일 수 있다. 데이터의 셋업(Setup) 및 홀드(Hold) 기간은 호스트로부터의 신호 전달 제약 조건으로, 각각 40nsec, 10nsec로 규정되고 있으며, 호스트가 메모리의 데이터를 읽어 가는 경우의 타이밍 제약은  $CL=10pF$ 의 부하(Load)를 가졌을 경우  $tOA$ 를 15nsec이내,  $tOS$ 는 10nsec로 한다.

## 3. 외부 구동 동작 타이밍

비디오 데이터를 내부 메모리에 저장하고 이를 읽어서 외부 출력부를 구동하는 기능을 수행하게 되므로 외부 출력을 위한 라인 래치 인에이블(Line Latch Enable) 신호의 속도는 비디오 데이터의 프레임 주파수와 수평 라인의 수에 따라서 정해지는데, 표 1.은 표준 비디오 포맷(Format) 및 본 칩의 구동 사양의 라인 래치 주기 값을 나타내었다. 예를 들면 1024x768 해상도를 가지는 디스플레이 소자를 프레임 주파수 80Hz로 구동시키기 위해서 필요한 라인 래치 주파수는,  $Line\ Latch\ Duty = 1/(80 \times 768) = 16.3\mu sec$ 가 된다. 제작하려 하는 칩은 256 x 160의 작은 디스플레이 소자를 구동하기 위한 것이며, 80 Hz의 최대 구동 주파수를 가지고, 가장 빠른 경우 78.1 usec의 기간을 가진다.

외부 구동 라인 래치 인에이블 신호는 호스트로부터 정해진 비디오 포맷을 내부 레지스터에 저장하고, 그 값에 따라서 내부 발진기를 구동, 필요 주파수가 선택

표 1. 프레임 주파수와 레치 신호 주파수  
Table 1. Timing of Latch Enable vs. Frame Frequency.

frame 주파수	video format	line latch duty
60 Hz	256 x 160	104.2 usec
	640 x 480	34.7 usec
	1024 x 768	21.7 usec
80 Hz	256 x 160	78.1 usec
	640 x 480	26.0 usec
	1024 x 768	16.3 usec

된 이후에 발진 클럭에 대한 동기(Sync)는 호스트로부터 전달되지 않고 독립적인 동작을 하면서 프레임에 맞는 레치 인에이블 신호를 발생 시킨다.

### III. 의사형 듀얼 포트 메모리의 구현

#### 1. 제안된 의사 듀얼 포트 메모리 구조

그림 4.는 그림 2.의 메모리 셀에 사용되는 의사형 듀얼 포트 메모리의 블록도이며, MPBZ는 호스트 액세스 중임을 나타내고, RDP2는 구동부로 메모리 데이터를 읽어가기 위한 BLn, BLBn의 풀업과 센스 앰프 인에이블 신호를 만들기 위한 신호이고, LLE는 두 번째 레치 인에이블 신호이다.

메모리에서 호스트와 구동부가 공유하는 회로부의 모든 신호 처리에서 호스트 액세스가 우선권을 가지며, 서로 공유하는 부분은 메모리 셀 선택 구동 라인 WLn 과 그 드라이버 및 어드레스 디코더, 그리고 BLn과 BLBn이다.

내부 타이밍 생성기(Timing Generator)에서 만들어 지는 신호 RDP2, LLE로 메모리 데이터를 출력 구동부로 읽어나가기 액세스를 하고, 호스트는 OEB, WRB를 발생하면서 데이터 라인을 통하여 쓰거나 읽기 위한 액세스를 한다.

호스트는 이 칩이 마치 듀얼 포트 SRAM을 내장하고 있는 것처럼 인식하고 동작하기 때문에 호스트 인터럽트(Interrupt) 신호 즉, WRB, OEB 에 우선 순위를 주어 클럭의 반 주기를 할당하고, 다른 반 주기 동안에 구동부가 메모리를 액세스 하는 방법을 사용하였다.

칩은 호스트의 신호 OEB, WRB가 있을 경우 MPBZ 신호를 생성 시켜 구동부 신호 RDP2를 차단하고, WLn 을 호스트 액세스 행 어드레스로 변경, 호스트 액세스를 위한 신호 처리를 한다.

이때 구동부는 적절한 구동 타이밍을 잃게 되는데, 이를 위하여 외부 구동 측에 두 단의 라인 레치를 두고,

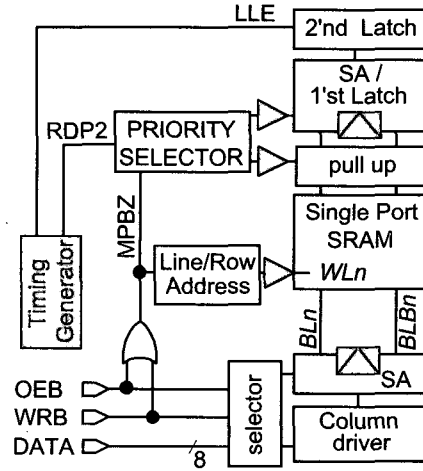


그림 4. 메모리 액세스의 기능도  
Fig. 4. Function diagram of memory access.

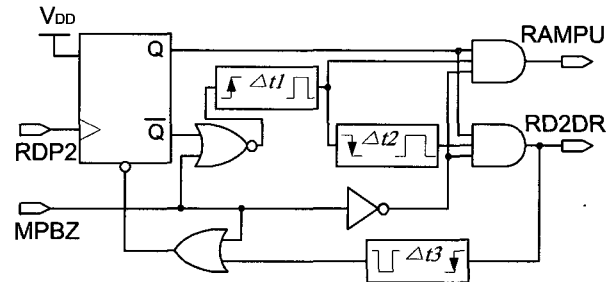


그림 5. 우선 순위 지정회로  
Fig. 5. Priority Selector.

첫번째 라인 레치의 타이밍을 수평 동기 신호(Horizontal Sync. Signal)보다 앞 쪽 두 클럭 이전에 발생 시키고, 이 타이밍에서 호스트와의 우선 순위에서 밀리더라도 호스트의 액세스가 끝나면 바로 첫번째 라인 레치에 메모리 데이터를 레치한다.

#### 2. 타이밍 제약 해결

그림 5.는 호스트와 외부 구동부의 우선 순위 지정 회로로, RAMPU신호는 SRAM의 비트라인의 프리차지(Precharge) 신호이며, RD2DR은 센스 앰프를 구동 시키고, 라인 레치 인에이블 신호인데, 타이밍 생성기로부터의 RDP2 신호를 기준으로 지연회로를 이용하여 만든다.

구동부 데이터 처리 신호 RDP2와 호스트 인터럽트 처리 신호 MPBZ간의 충돌이 있을 경우 우선권을 호스트에게 주고 구동부의 신호 처리 상황을 저장하며, 호스트의 인터럽트 처리가 끝나면 구동부 데이터 처리를 진행하는 역할을 수행한다.

메모리 액세스의 타이밍 구성은 외부 호스트로부터

의 인터럽트 신호 WRB, OEB의 폭에 관계없이 내부 메모리 액세스 구동 펄스를 최소 폭으로 구성해야 충돌을 피하기 용이하므로 요구 사양의 최대 tCYC과 메모리의 속도를 고려하여 최소 펄스 폭으로 타이밍을 구성한다.

최대 액세스 속도, tcyC가 150nsec 이므로 이 보다 긴 펄스를 가진 액세스 신호 WRB, OEB가 호스트로부터 들어오더라도 최대한 짧은 기간으로 메모리 액세스 동작이 되도록 동일하여 동작하도록 설계한다. 최대 동작 속도에서 1/2주기를 계산하면, 상승 하강 모서리의 기울기 시간 손실을 최대 5nsec정도를 고려,  $t_{cyC}/2 = (70n + 70n + t_{RISING} + t_{FALLING}) / 2 = 70nsec$ 이다.

MPBZ 신호 처리:  $\Delta t_3 = 70 \text{ nsec}$  이하

RDP2 신호 처리:  $\Delta t_1 + \Delta t_2 = 70 \text{ nsec}$  이하

그림 3의 타이밍차트에서 WRB나 OEB의 상승 모서리에서 데이터 송수신의 기준이 되므로 상승 모서리를 검출, 70nsec 이하의 펄스 폭을 가진 MPBZ 신호를, 내부 타이밍 생성기에서는 70nsec 이하의 RDP2를 만들어 그림 5의 우선 순위 지정회로의 제어 신호로 사용한다.

tcyC/2 내에  $\Delta t_1$ 의 RAMPU와  $\Delta t_2$ 의 RD2DR 신호를 생성 시켜서 구동부를 위한 메모리의 데이터를 라인 레치에 저장하는데, 실행도중에 호스트의 액세스(MPBZ)

상태가 되면 우선권을 호스트로 주고, 호스트의 메모리 액세스 이후에는 바로 메모리 데이터를 라인 레치로 가져 갈 수 있도록 실행의 상태를 저장한다.

그림 6.의 호스트 액세스와 내부 신호 타이밍 관계도에서 CASE 1.은 RDP2 와 MPBZ가 서로 충돌 없는 경우, CASE 2.는 구동부 메모리 액세스 중에 호스트의 메모리 액세스, 그리고 CASE 3.은 호스트 동작 중에 구동부의 메모리 액세스 신호가 발생될 경우이다.

모든 경우에서 구동부가 첫 번째 시점에서 메모리 액세스를 실패 하더라도 두 번째에서는 반드시 데이터를 가져온다.

RAMPU = 15 nsec, RD2DR = 30 nsec 로 구성 하였으며, 이는 70 nsec 내에서 여유 있는 동작이라 볼 수 있으며, 내부 램의 풀업(Pull Up)과 첫번째 라인 레치 타이밍에도 문제 없는 시뮬레이션 결과를 얻었다.

### 3. 메모리 어드레싱(Addressing) 방법

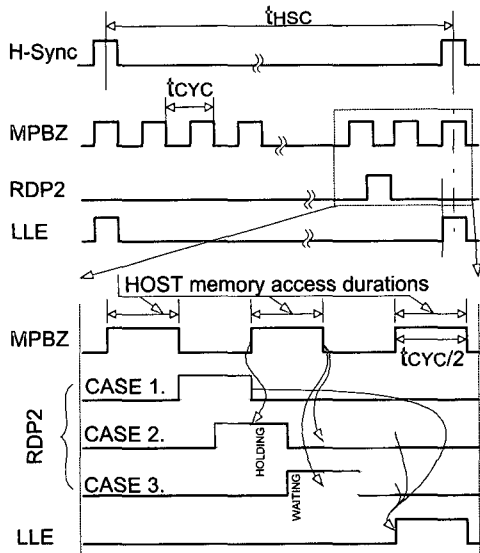
싱글 포트 메모리 구조를 이용하여 의사형 듀얼 포트 에스램을 구성하기 위해서 메모리의 어드레싱 포트의 통합이 필요한데, 한 개의 워드 라인 어드레스 디코더를 통하여 호스트 액세스를 위한 행 어드레스와 구동부 출력을 위한 라인 어드레스(Line Address)가 교대로 전달되는 구조로 구성하였다.

라인 어드레스 레지스터와 행 어드레스 레지스터에 각각의 어드레스 값을 저장해 두고, 호스트의 액세스 신호 MPBZ에 따라서 각각의 어드레스 레지스터로부터 디코더로 입력 값을 변경할 수 있는 구조로 설계를 하였다.

### 4. 어드레싱(Addressing) 구동부

그림 7.는 같이 메모리 워드 어드레싱 라인의 RC 모델 표현으로, C의 경우는 워드라인의 전체 길이가 변하는 요소가 아니기 때문에 변함이 없지만, 저항 값은R/4의 크기로 줄어 전송 속도를 높였다.

워드라인 어드레스 드라이버(Word Line Address Driver)의 설계에 있어서 드라이버에 대하여 가까운 쪽 메모리 셀과 반대쪽 먼 곳에 위치할 셀간의 지연 시간의 차이를 줄이기 위하여 워드라인 어드레스 드라이버를 메모리 뱅크(Bank)의 중간에 위치시켜 전체적인 워드라인의 시정수 값을 줄였다. 데이터 저장 위치를 해석하는 어드레스 디코더(Address Decoder)를 구성하여 데이터가 기록될 뱅크(Bank)에 대해서만 워드라인 어드레스 드라이버와 프리차지(Precharge)만 동작시켜 전



: RAMPU+RD2DR operation  
CASE 1.: Just matched  
CASE 2.: HOST interruption during Driver operation  
CASE 3.: Driver operation signal during HOST memory accessing

그림 6. 호스트 액세스와 내부 신호 관계 타이밍도

Fig. 6. Timing Chart of the Relation between HOST Access and Internal Signal.

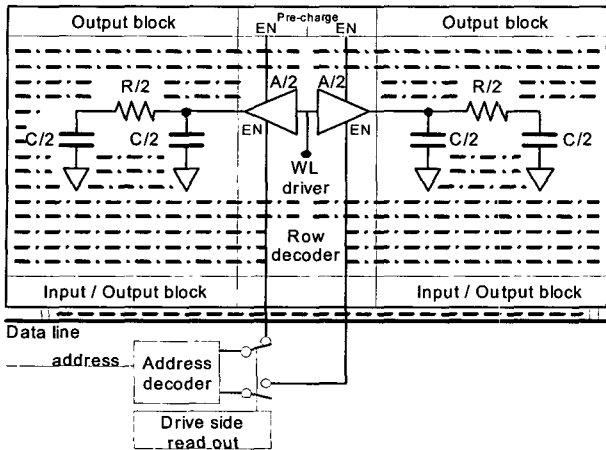


그림 7. 워드라인의 부하 회로도와 선택 구동  
Fig. 7. Parasitic Load of Word Line and selection driving.

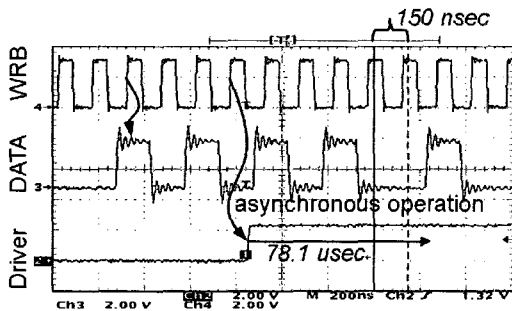


그림 8. 의사형 듀얼 포트 메모리 내장 프로세서의 입출력 측정 결과  
Fig. 8. I/O Test Result of Asynchronous Quasi-Dual Port SRAM processor.

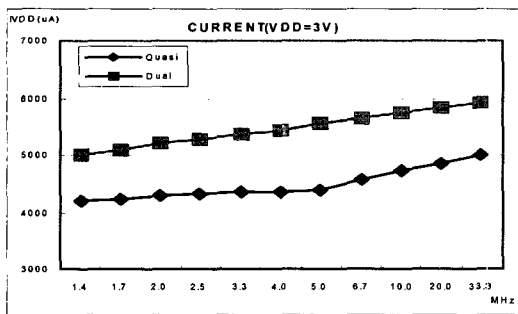


그림 9. 종래의 메모리와 동작 전류 측정 결과 비교  
Fig. 9. Operating Current Test Result comparison with conventional memory.

류 감소를 시도하였다. 본 칩의 메모리 레이아웃(Layout)은 그림 7.과 같은 2개의 독립된 뱅크로 구성되어 있다.

#### IV. 칩 측정 결과

그림 8.은 설계된 의사형 듀얼 포트 메모리 내장 프

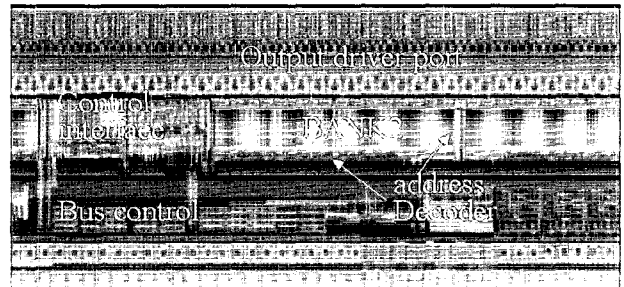
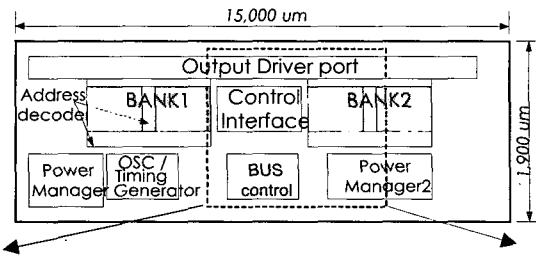


그림 10. 의사형 듀얼 포트 에스램 내장 칩 사진  
Fig. 10. chip Photography of a embedded Quasi-Dual Port SRAM.

로세서의 측정 결과이다.

호스트로부터 tcyc =150nsec인 쓰기 클럭 (WRB)의 상승 모서리에서 데이터를 입력 받고 있으며, 싱글 포트 구조의 의사형 메모리를 내장하고 있지만, 구동부를 통하여 입력된 데이터를 동시 출력 가능함을 보인다.

그림 9.는 종래의 메모리와 동작 전류 측정 비교이며, 종래에 비해서 전류 20% 감소 하였으며, 30MHz의 속도에도 오류 없이 동작한다.

#### V. 결 론

본 논문에서는 싱글 포트 SRAM을 이용한 의사 듀얼 포트 메모리를 제안하여 실제 레이아웃(Layout)에 있어서 그 cell의 크기가 4.1x5.0 um<sup>2</sup> 로 종전에 비해20% 이상의 면적 이득을 얻을 수 있었다. 어드레싱의 방법의 변경으로 약 5%정도의 면적 절감을 이룰 수 있음을 확인 하였으며, bank의 access제어로 메모리 동작 전류가 감소하여 20%의 전력이득을 얻었으며, 0.35um ASIC process를 이용한 칩 제작 그 측정결과로 확인을 하였다.

이러한 방식의 SRAM 내장은 프레임 데이터를 저장해야 하는 디스플레이용 SOC에 활용성이 크며, 어싱크로너스 듀얼 포트 SRAM의 내장 응용에 있어서 여러 분야로 확장 호환성을 지니고 있다. 그림 10.은 256x3x160bit의 의사형 듀얼 포트 메모리 내장 SOC의 배치도와 사진이며, 전체 chip size는 15,000x1,900 um<sup>2</sup> 이다.

참고 문헌

- [1] H.Tran, "Demonstration of 5T SRAM And 6T Dual-Port RAM Cell Arrays", in Symposium On VLSI Circuits Digest of Technical Papers., pp. 68~69. 1996.
- [2] N. Shibata, M.Watanabe, Y. Tanabe, "A Current-Sensed High Speed and Low-Power First-In-First-Out Memory Using a Wordline/Bitline-Swapped Dual-Port SRAM Cell", in IEEE Journal of Solid-State Circuits, VOL. 37, No.6, pp 735~750, June. 2002.

저 자 소 개



최 정 희(정회원)  
 1993년 영남대학교 전자공학사  
 2004년 충북대학교  
 정보통신공학과 석사  
 <주관심분야: Flat Panel Display  
 용 SOC 설계, Energy recovery>



김 성 식(정회원)  
 1988년 경북대학교 전자공학사  
 1999년 충북대학교 정보통신  
 공학과 석사/박사  
 <주관심분야: Embedded 시스템  
 LSI 설계, 고속저전력 회로 설계>



손 기 성(정회원)  
 1981년 경북대학교 전자공학사  
 1984년 경북대학교 전자공학석사  
 <주관심분야: analog 집적회로 설  
 계, Flat Panel Display 용 SOC  
 설계>



조 경 락(정회원)  
 1977년 경북대학교 전자공학사  
 1989년 동경대학 전자공학석사  
 1992년 동경대학 전자공학박사  
 1979년~1986년 (주)금성사 TV  
 연구소 선임연구원  
 1992년~2004년 충북대학교 정보  
 통신공학과 교수  
 1999년~2000 Oregon State University 객원교수  
 <주관심분야: VLSI 시스템 설계, 통신 시스템용  
 LSI 개발, 고속 마이크로프로세서 개발>