

논문 2004-41SD-10-1

Strained Si/Relaxed SiGe/SiO₂/Si 구조 FD n-MOSFET의 전자이동도에 Ge mole fraction과 strained Si 층 두께가 미치는 영향

(Effect of Ge mole fraction and Strained Si Thickness on Electron Mobility
of FD n-MOSFET Fabricated on Strained Si/Relaxed SiGe/SiO₂/Si)

백 승 혁*, 심 태 현**, 문 준 석*, 차 원 준*, 박 재 근**

(Paek Seung Hyuck, Shim Tae Hun, Moon Joon Seok, Cha Won Jun, and Paek Jea Gun)

요 약

SOI 구조에서 형성된 MOS 트랜지스터의 장점과 strained Si에서 전자의 이동도가 향상되는 효과를 동시에 고려하기 위해 buried oxide(BOX)층과 Top Si층 사이에 Ge를 삽입하여 strained Si/relaxed SiGe/SiO₂/Si 구조를 형성하고 strained Si fully depletion(FD) n-MOSFET를 제작하였다. 상부 strained Si층과 하부 SiGe층의 두께의 합을 12.8nm로 고정하고 상부 strained Si층의 두께에 변화를 주어 두께의 변화가 electron mobility에 미치는 영향을 분석하였다. Strained Si/relaxed SiGe/SiO₂/Si (strained Si/SGOI) 구조위의 FD n-MOSFET의 전자 이동도는 Si/SiO₂/Si (SOI) 구조위의 FD n-MOSFET에 비해 30-80% 향상되었다. 상부 strained Si층과 하부 SiGe층의 두께의 합을 12.8nm로 고정한 strained Si/SGOI 구조 FD n-MOSFET에서 상부층 strained Si층의 두께가 감소하면 하부층 SiGe층 두께 증가로 인한 Ge mole fraction이 증가함에 의해 inter-valley scattering이 감소함에도 불구하고 n-channel 층의 전자이동도가 감소하였다. 이는 strained Si층의 두께가 감소할수록 2-fold valley에 있는 전자가 n-channel 층에 더욱더 confinement되어 intra-valley phonon scattering이 증가하여 전자 이동도가 감소함이 이론적으로 확인되었다.

Abstract

In order to enhance the electron mobility in SOI n-MOSFET, we fabricated fully depletion(FD) n-MOSFET on the strained Si/relaxed SiGe/SiO₂/Si structure(strained Si/SGOI) formed by inserting SiGe layer between a buried oxide(BOX) layer and a top silicon layer. The summated thickness of the strained Si and relaxed SiGe was fixed by 12.8 nm, and then the dependency of electron mobility on strained Si thickness was investigated. The electron mobility in the FD n-MOSFET fabricated on the strained Si/SGOI enhanced about 30-80% compared to the FD n-MOSFET fabricated on conventional SOI. However, the electron mobility decreased with the strained Si thickness although the inter-valley phonon scattering was reduced via the enhancement of the Ge mole fraction. This result is attributed to the increment of intra-valley phonon scattering in the n-channel 2-fold valley via the further electron confinement as the strained Si thickness was reduced.

Keywords: strained-Si, SiGe, SiGe-on-Insulator, SGOI, mobility

I. 서 론

기존의 집적회로의 소자크기가 점진적으로 감소함으

로써 발생하는 여러 가지의 문제점 즉, 기생 커패시터 성분의 증가, 항복전압의 감소, 단채널 효과 (short-channel effect) 등의 complementary-metal-oxide-semiconductor(CMOS) FET의 문제점을 극복하기 위해 소자의 구조적인 변경이나 새로운 물질에 대한 연구가 활발히 진행되고 있다. 이러한 기술 중의 하나인 SOI (Silicon On Insulator)는 소자의 고속 동작과 저전

* 학생회원, ** 정회원, 한양대학교 전자통신전파공학과 (Han Yang University)

※ 본 연구는 과학기술부 국가지정연구실(NRL) 연구 지원으로 수행되었습니다.

접수일자: 2004년6월10일, 수정완료일: 2004년10월4일

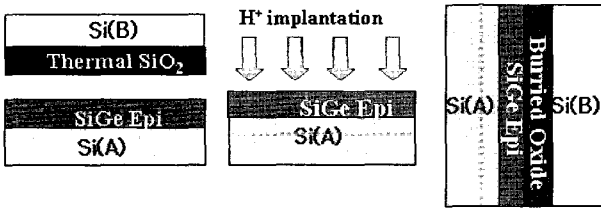


그림 1. Strained Si/SGOI 기판의 제작 과정
Fig. 1. Fabrication process of strained Si/SGOI substrate.

력 회로를 만드는데 매우 유리하기 많은 주목을 받고 있다. SOI 구조는 C-MOSFET의 가장 큰 문제점인 래치업(latch-up) 발생을 구조적으로 방지할 수 있으며^[1], 문턱전압(threshold voltage) 이하에서의 부분턱 기울기(sub-threshold slope)를 향상시키는 특성을 얻을 수 있고^[2], 높은 트랜스컨덕턴스(transconductance)를 가진다^[3]. 하지만 SOI 구조에서 형성된 MOSFET의 경우, 정공이 buried oxide 층 위에 축적되어 나타나는 FBE(floating body effect)와 그로인한 문턱전압의 감소로 채널내의 전자농도가 증가하여 kink effect를 유발하는 문제점이 있기 때문에^[4] 이러한 문제점을 해결하기 위해서 소스/드레인의 접합 깊이가 상부 실리콘 층과 같은 FD SOI(Fully-depletion SOI)구조가 요구되고 있다^[5].

한편 최근에는 실리콘층 사이에 relaxed SiGe층을 형성하여 상부 실리콘층에 strain을 유발함으로써 MOSFET의 전송 특성을 향상시키려는 연구도 활발하다^{[6][7]}. strained Si의 경우 반전층 내의 2-fold valley 및 4-fold valley 에너지 차이를 크게 하여 전자의 산란도를 줄임으로써 전자의 이동도를 크게 향상시키는 효과가 있다. 또한 SOI 구조에서 상부 실리콘층과 buried oxide층 사이에 Si_{1-x}Ge_x 층을 형성하면 드레인단 끝에서 impact ionization 현상에 의해 생성된 정공이 에너지 갭이 낮은 relaxed SiGe층을 통해 소스로 흘러들어 가게 하여 SOI의 FBE를 줄이는 효과도 있다.

따라서 본 논문에서는, 차세대 시스템 large-scale integration(LSI) device에서 요구되는 초고속 전자 이동도의 MOSFET에 필요한 소자 구조인 strained Si/relaxed SiGe/SiO₂/Si C-MOSFET 구조를 제안 하며, 전자 이동도와 드레인 전류 특성을 기존 SOI 구조의 FD n-MOSFET와 실험적으로 비교하였다. 또한, strained Si 구조에서 나노 스케일의 상부 Si층 두께 변화가 전자 이동도 및 드레인 전류 특성에 미치는 영향과, 하부 SiGe층의 Ge mole fraction 변화에 대한 전자이동도 및 전류 특성과의 관련성을 실험적으로 확인 하였으며, 이론적으로 고찰하였다.

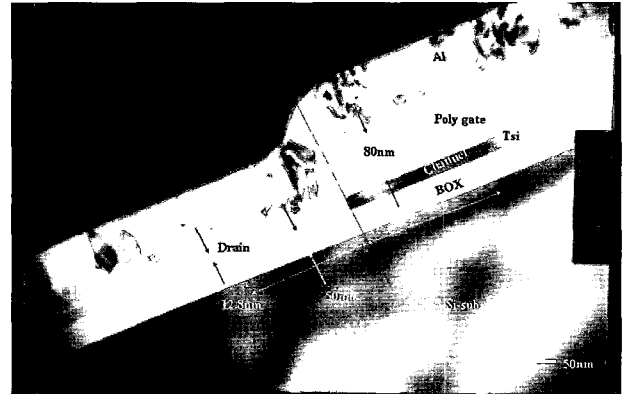


그림 2. Strained Si/SGOI FD n-MOSFET의 cross-sectional TEM 이미지
Fig. 2. Cross-sectional TEM image of the strained Si/SGOI FD n-MOSFET.

II. 디바이스 구조와 제작과정

Strained Si/relaxed SiGe-on-Insulator (SGOI)기판 제조 과정은 그림1에 도식적으로 나타나 있다. 먼저 트랜지스터가 형성될 실리콘 위에 SiGe을 Epitaxial 성장시킨 웨이퍼 A와 Si에 SiO₂를 성장시킨 웨이퍼 B를 제작한 후에 웨이퍼 A에 수소 이온 주입을 실시한다. 클리닝을 실시한 후 웨이퍼 A와 B를 hydrophilic bonding 하고 cleavage 공정 후에 CMP 와 SC1 etching으로 각 Top Si 두께(T_{Si})를 조절한다. 이 때 상층부 실리콘의 표면 거칠기를 알아보기 위해 rms(root mean square)를 평가하였고, 수준은 0.273 nm 정도로 매우 균일 했다. 제작된 SGOI 기판의 strained Si 층의 두께는 2.8 nm, 5.8 nm, 7.8 nm, 9.8 nm, 12.8 nm 이고 이 때의 Ge의 mole fraction은 SIMS(secondary ion mass spectroscopy)를 이용하여 측정하였을 때 각각 19%, 15%, 14%, 9.5%로 나타났으며 T_{Si}이 12.8 nm인 경우는 Ge이 포함되지 않은 일반적인 SOI 구조와 같다. 두께에 따라 Ge mole fraction이 달라진 것은 SiGe층의 두께가 10, 7, 5, 3 nm로 감소함으로써 Ge mole fraction이 낮아지기 때문이다.

그림 2는 위 과정으로 제작된 strained Si/SGOI 기판 위에 FD n-MOSFET가 형성된 모습이다. Al은 단면 TEM을 찍기위해 추가로 증착된 것으로 원래의 소자와는 무관하다. Strained Si층과 relaxed SiGe층의 두께의 합을 12.8 nm로 고정하였고, buried oxide (BOX)의 두께는 50 nm이다. 전체 소자에서 단채널 효과(short channel effect)를 배제하기 위해 채널 폭 W가 5 μm, 채널길이 L이 5 μm인 장채널 n-MOSFET로 제작하였다. 제작된 strained Si/SGOI 기판으로 MESA isolation 공

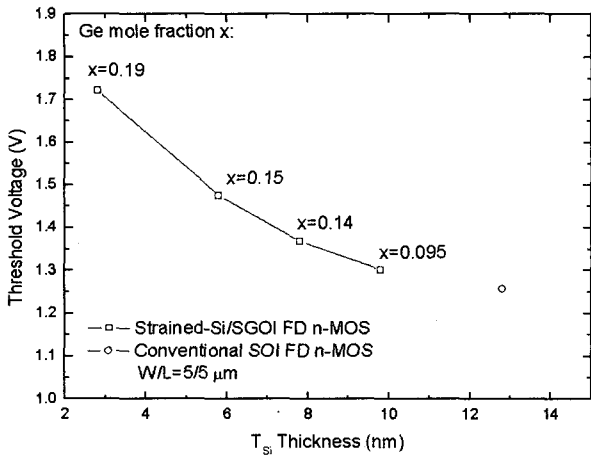


그림 3. Strained Si/SGOI FD n-MOSFET와 SOI MOSFET의 문턱전압

Fig. 3. Threshold voltage of the strained Si/SGOI FD n-MOSFET and conventional SOI FD-n-MOSFET.

정을 실시하여 상부 실리콘 층을 에칭 시키고 디바이스가 제작될 섬(island)을 형성한 후 thermal oxidation 공정으로 gate oxide를 5 nm로 성장 시켰다. 80 nm의 n⁺ 폴리 실리콘 게이트를 형성 하였고, 다음공정으로 Phosphorous를 바이어스 전압 2 KV, Beam current를 3 mA, 이온주입 시간 10 min 조건으로 Plasma Immersion 도핑을 하여 매우 얇은 영역의 소스/드레인을 형성한 후 RTP (rapid thermal annealing)를 실시하여 불순물을 활성화 시켰고 게이트와 소스/드레인의 금속 전극을 형성하였다.

III. 디바이스 특성 분석

Strained Si/relaxed SiGe on Insulator (SGOI)상에 형성된 FD n-MOS 트랜지스터의 strained Si 두께에 따른 문턱전압 그래프를 그림3에 나타내었다. 문턱전압 fraction 이 커질수록 증가하는 경향이 나타났으며, Ge 이 들어가지 않은 일반적인 SOI 구조의 경우 V_T가 가장 작게 나타났다. 이것은 Ge의 mole fraction 이 커질 수록 strain이 증가하여 strained Si층과 SiGe층 사이의 밴드 offset이 증가하기 때문인 것으로 해석된다. strained Si 층의 두께가 2.8 nm 인 경우는 V_T가 크게 증가하는데 그 이유는 strained Si 층 두께가 감소할수록 strained Si 층과 산화막층 계면사이의 계면 포획 전하(interface trapped charge)의 영향이 커지고 strained Si 층의 두께가 매우 얇아져서 전자의 산란도가 증가하기 때문이다^[8].

그림 4는 V_{DS}에 따른 I_{dsat} 특성을 나타낸다. Strained Si FD n-MOSFET의 특성이 일반적인 SOI FD

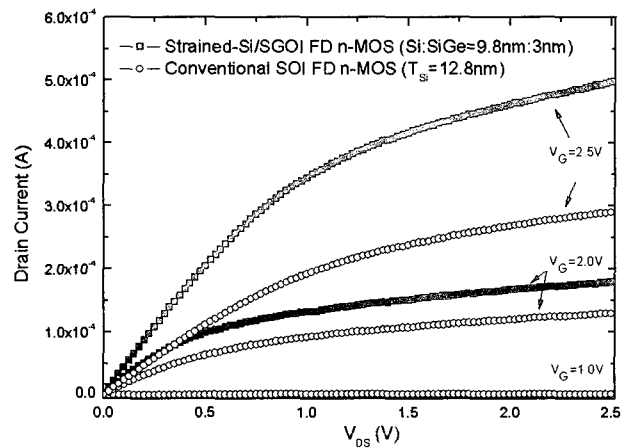


그림 4. 일반적인 SOI FD n-MOSFET와 strained Si/SGOI FD n-MOSFET의 I_{dsat}-V_{DS} 특성

Fig. 4. I_{dsat}-V_{DS} characteristics comparison between the conventional SOI n-MOSFET and the strained Si/SGOI FD n-MOSFET.

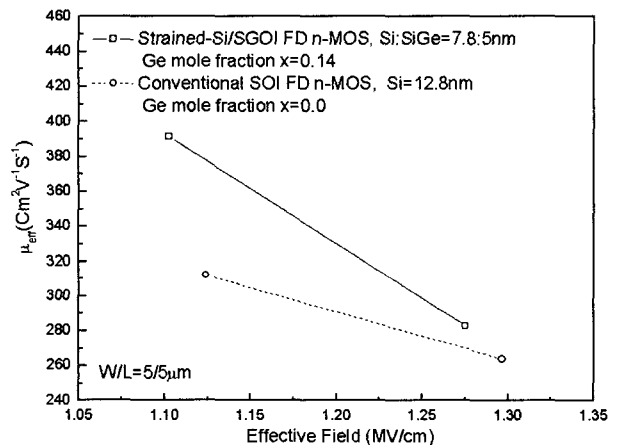


그림 5. Strained Si FD n-MOSFET와 SOI FD n-MOSFET의 유효전계에 따른 유효전자이동도

Fig. 5. The effective electron mobility of strained Si FD n-MOSFET and conventional SOI FD n-MOSFET as a function of effective field.

n-MOSFET보다 매우 향상된 것을 확인할 수 있다. V_{GS}=2.5V 일 때 I_{dsat} 의 값을 비교해 보면 strained Si/SGOI FD n-MOSFET가 1.7배 가까이 향상된 값을 보여주고 있다.

그림 5는 strained Si/SGOI 에 형성된 FD n-MOS FET와 SOI 구조에 제작된 n-MOSFET의 유효전계에 따른 이동도를 나타낸다. 전자의 유효 이동도 μ_{eff}는 μ_{eff}=gdL/(WQ_n)를 이용하여 구할 수 있는데 여기서 gd는 드레인 컨덕턴스로 V_{GS}가 일정할 때 gd=∂I_D/∂V_{DS}로 정의되며 Q_n은 채널영역의 전하 밀도로 Q_n=C_{ox}(V_{GS}-V_T)를 이용하여 구할 수 있다. 수직인 방향으로의 유효 전계는 E_{eff}=[E_{ox}ε_{ox}-Q_n/2]/ε_s로 구하였고 E_{ox}는

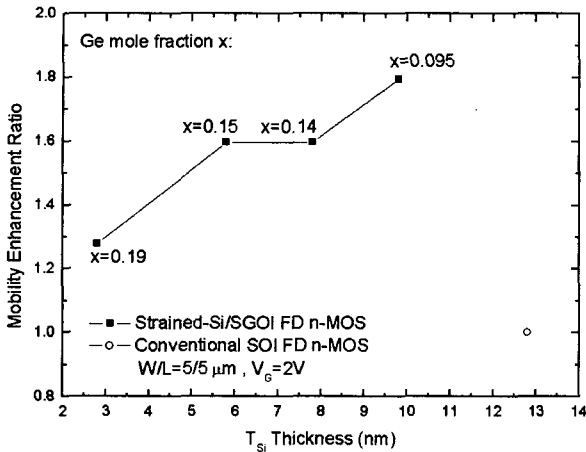


그림 6. Strained Si 두께에 따른 전자 이동도의 증가 비율

Fig. 6. Mobility enhancement ratio with different strained Si thickness.

V_{GS}/t_{ox} 와 같다고 가정 하였다. 이것은 강반전 상태에서 실리콘 표면과 소스/드레인 영역의 포텐셜 차이가 게이트 산화막을 통해 포텐셜이 감소하는 것 보다 상대적으로 무시할 수 있을 만큼 작을 때 유효하다^[9]. strained Si/SGOI에 형성된 FD n-MOSFET의 전자 이동도가 기존 SOI에 형성된 FD n-MOSFET보다 크게 증가하고 전계 값이 커짐에 따라 그 증가폭이 감소함을 알 수 있다. 이것은 전자의 이동도가 주로 phonon 산란에 의해 제한을 받는 E_{eff} 값의 범위에서는 Strained Si/SGOI 구조의 mobility가 일반적인 SOI 구조 보다 큰 값을 보이다가, 주로 surface roughness 산란에 의해 영향을 받는 더 높은 값의 E_{eff} 값 영역에서는 surface roughness 산란의 증가로 인하여 이동도가 줄어들기 때문인 것으로 해석된다. 그러므로 strained Si/SGOI 구조에서의 전자 이동도 향상에서의 산란도 영향은 주로 phonon 산란의 감소로 인한 이동도의 증가로 예측할 수 있다.

그림 6은 실험 데이터로서 SiGe층이 삽입되지 않은 일반적인 SOI 이동도 값을 1로 했을 때 SOI 구조에 SiGe 층 삽입에 의해 형성된 strained Si층의 두께 변화에 따른 전자의 이동도 변화 비율을 나타낸 것이다. 그림으로부터 우리는 2가지 현상을 파악 할 수 있다.

첫째, 그림에서 보여 지듯이 strained SOI FD n-MOSFET 소자는 모두 일반적인 SOI FD n-MOSFET 소자보다 최소 약 30 % 에서 최대 80 % 정도 향상된 전자이동도를 보이고 있다. 이러한 현상은 그림 7에서 보듯이 strained Si/SGOI의 경우 90 % 이상의 n-channel층의 전자가 4-fold valley 에 비해 상대적으로 작은 유효 전도 질량을 가지는 2-fold valley에 점유되

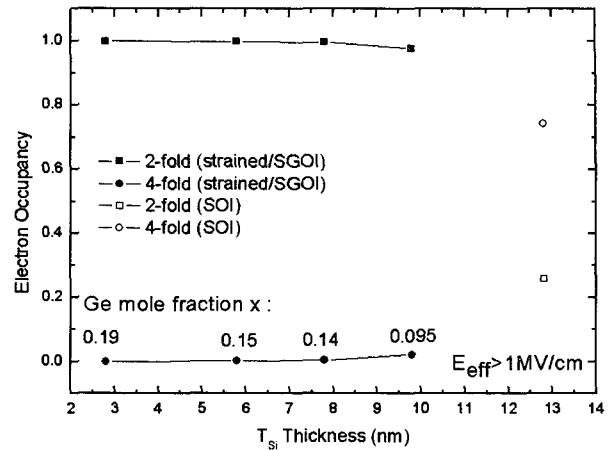


그림 7. Strained Si 두께와 Ge mole fraction에 따른 n-channel 층의 2-fold 와 4-fold valley 의 전자 점유도

Fig. 7. Calculated electron occupancy of the 2-fold and the 4-fold valleys as a function of strained Si thickness.

어 전자의 이동도 증가에 기여했고^[10], relaxed SiGe 층 삽입에 의한 n-channel층(strained Si층)의 2-fold 와 4-fold 간의 band split 증가로 인하여 inter-valley 간 phonon 산란이 기존 SOI 구조보다 감소하여 이동도가 향상된 것으로 해석할 수 있다. 참고로 전자의 이동도는 전자의 유효 전도 질량이 커지고 phonon 산란이 증가하면 감소한다.

둘째로, strained Si FD n-MOS 소자의 n-channel층인 strained Si 두께가 9.8 nm 에서 2.8 nm 로 줄어들면서 전자의 이동도가 감소하는 현상을 보여주고 있다. 이러한 strained Si FD n-MOSFET에서 두께에 따른 전자의 이동도 변화를 이론적으로 고찰하기 위해 실험에서 제작한 소자 구조에 대하여 Ge 삽입으로 인한 strained Si의 band split 현상 발생을 고려하여 conduction band 구조와 전자의 분포 확률을 슈뢰딩거방정식을 풀어 부밴드 에너지(subband energy) 값을 구하였으며, 그 결과를 그림8에 나타냈다.

먼저, 그림 8 (b)에서 보면 상부 실리콘 층이 9.8 nm 에서 7.8 nm 로 줄어드는 경우는, 2-fold의 부밴드 기저 값 E_0 와 4-fold의 기저값 E_0' 의 차이인 ΔE_0 가 Ge mole fraction인 x 값이 증가함에 따라 증가 하다가 7.8 nm가 되면 4-fold valley 에서의 전자분포 확률이 0인 위치가 strained Si과 relaxed SiGe층 계면에 위치한다. 이 구간에서는 상부 strained Si 층과 하부 relaxed SiGe층 간의 energy band offset 으로 인해 파동함수의 확장을 제한하게 되지만 그림 7에서 알 수 있듯이

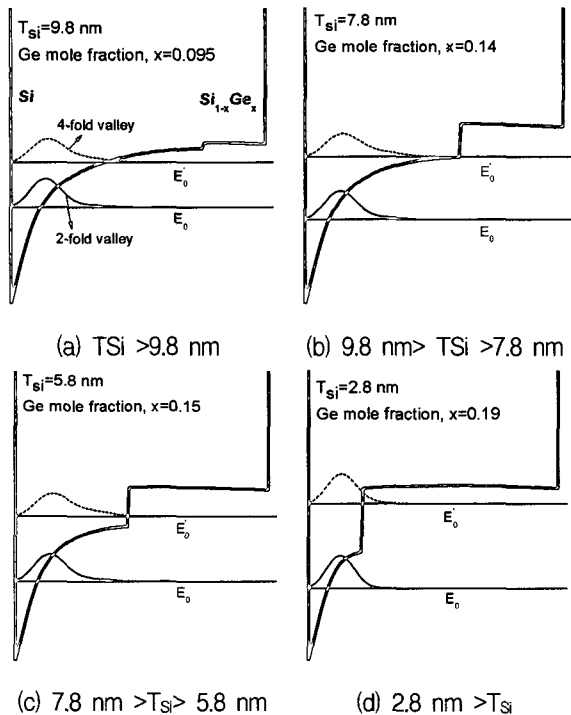


그림 8. Strained Si 층 두께별 strained Si/SGOI FD n-MOSFET의 밴드구조와 부밴드 에너지 E_0 와 E_0' 계산 결과 (a) $T_{Si} > 9.8$ nm (b) 9.8 nm $> T_{Si} > 7.8$ nm (c) 7.8 nm $> T_{Si} > 5.8$ nm (d) 2.8 nm $> T_{Si}$
 Fig. 8. The band structure and the lowest subband energies calculated with different strained Si layer thickness (a) $T_{Si} > 9.8$ nm (b) 9.8 nm $> T_{Si} > 7.8$ nm (c) 7.8 nm $> T_{Si} > 5.8$ nm (d) 2.8 nm $> T_{Si}$.

4-fold valley의 전자 점유율이 매우 낮기 때문에 이로 인하여 inter-valley phonon scattering 으로 인한 전자 이동도 감소에 미치는 영향은 적은 것으로 예상할 수 있다. 따라서 주된 전자의 이동도 감소원인은 2-fold valley에 대부분의 전자가 점유되어 valley 자체가 반전층을 이루고 있고, strained Si 층의 두께가 곧 반전층의 두께를 결정하기 때문에 strained Si 층의 두께가 감소할 수록 2-fold valley 에 있는 전자들의 intra-valley phonon scattering 이 증가하여 전자의 이동도가 감소한다고 설명할 수 있다. 그림 8 (c)에서 알 수 있듯이 strained Si 층이 7.8 nm에서 5.8 nm 로 줄어드는 구간에서는 strain 의 영향으로 상대적으로 E_0' 값이 증가 하면서 SiGe 층 위쪽으로 위치하게 되고 ΔE_0 값도 약간 커지게 된다. 그러나 그림7과 같이 대부분의 전자는 이미 2-fold valley 에 점유되어 있으므로 증가한 ΔE_0 의 값으로 인해 2-fold valley에서 4-fold valley로의 inter-valley 산란이 감소되지만 그 영향은 아주

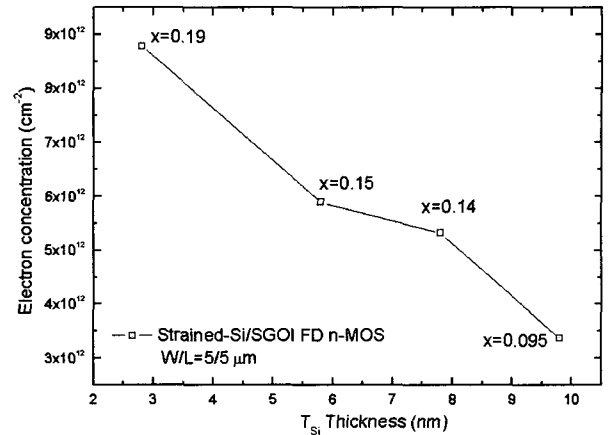


그림 9. Strained Si 두께별 strained Si/SGOI FD n-MOSFET 표면에서의 전자농도
 Fig. 9. The surface electron concentration of strained Si/SGOI FD n-MOSFET as a function of strained Si layer thickness.

작을 것이라고 예측할 수 있다. 그러므로 이 구간에서는 그림8 (c)에서 알 수 있듯이 4-fold valley 에서의 전자 분포확률이 strained Si과 relaxed SiGe층 계면에서 0이 아님을 알 수 있으며, 이것은 이 구간(strained Si 두께층이 7.8 nm 이하)에서는 전자들이 strained Si층으로 confinement 되는 양자역학적 효과가 발생하여 2-fold valley 내에 있는 전자의 intra-valley phonon scatter-ring 이 더욱 증가해서 n-channel 층의 전자 이동도를 더욱더 저하시킨 것을 예상할 수 있다. 이러한 전자의 confinement 현상은 그림 8 (d)에서 알 수 있듯이 strained Si층의 두께가 2.8 nm 가 되면 더 심해진다. 4-fold valley 에 있는 전자 분포확률뿐만 아니라 2-fold valley 에 있는 전자분포확률도 strained Si층과 relaxed SiGe층 계면에서 0이 아님을 알 수 있으며, 특히 2-fold valley 에 있는 전자가 strained Si층으로 심하게 confinement 됨을 알 수 있다. 이로 인해 2-fold valley 에 있는 전자들의 intra-valley phonon scatter-ring 증가로 n-channel 층의 전자 이동도가 더욱 감소하는 것이다. 또한 전자들의 strained Si층으로 confinement 되는 현상은 게이트에서 channel 층으로 가해지는 수직 유효전계를 증가시켜 surface scattering을 크게 하여 전자이동도를 더욱더 감소시킨다. Strained Si 층의 두께가 9.8 nm에서 2.8 nm 로 감소하는 구간에서 양자역학적 confinement 효과에 의한 전자의 이동도 변화를 더 긴밀히 살펴보기 위해 각 strained Si/SGOI FD n-MOSFET에 대하여 strained Si 표면에서 2.8 nm 까지의 전자농도를 이론적으로 계산하여 그 결과를 그

림9에 나타내었다. 표면에서의 전자 농도는 strained Si 층의 두께가 얇을수록 높게 나타나는데, 이것은 strained Si 층의 두께가 감소할수록 전자가 n-channel 층 (strained Si 층)으로 더 많이 confinement 됨을 알 수 있으며 이로 인해 2-fold valley 에 존재하는 전자들의 intra-valley phonon scattering 증가로 n-channel 층의 전자이동도 감소를 예상할 수 있다. 그러므로 strained Si 층의 두께가 9.8 nm에서 2.8 nm 로 줄어들 때 상대적으로 전자의 이동도 감소 폭이 큰 이유는 Ge mole fraction 이 증가하여 ΔE_0 값은 커졌지만, strained Si 층의 두께가 매우 얇아져서 strained Si 층 계면에서 양자역학적 confinement 효과에 의해 전자의 농도가 상대적으로 증가했고, 이로 인하여 2-fold valley 내에서 intra-valley phonon 산란이 급격히 증가하여 전자의 이동도가 감소한 것으로 해석할 수 있다^[11].

IV. 결론 및 토의

본 논문에서는 실리콘층과 Buried Oxide 층 사이에 Ge를 삽입하여 형성되는 strained Si 층으로 인하여 전자의 이동도를 높여 주는 효과와 초고속 FD n-MOSFET에서 요구되는 15 nm이하의 strained Si 채널 두께에서의 채널층의 두께 변화로 인한 전류 전달 특성 변화를 모두 고려하기 위하여 strained Si/SGOI 기판에 FD n-MOS 트랜지스터를 제작하고 그 특성을 분석하였다. Strained Si 층의 두께가 감소하고 Ge mole fraction 이 커짐에 따라 문턱전압은 증가하는 결과를 보여주었는데 이것은 strain이 증가하여 strained Si 층과 SiGe 층 사이의 밴드 offset이 증가하기 때문이다.

Strained SOI FD n-MOSFET 소자는 모두 일반적인 SOI n-MOSFET 소자보다 약 최소 30 % 에서 최대 80% 높은 전자이동도를 얻었다. 이것은 strained-Si 층 내에서는 대부분의 전자가 2-fold valley에 점유되어 유효 전도 질량이 줄어들고 inter-valley 간 전자의 산란도가 감소한 영향으로 설명되어 진다. 또한 strained Si/SGOI FD n-MOSFET는 I_{dsat} 값이 SOI FD n-MOSFET에 비해 약 1.7배 가까이 향상된 값을 보여주었다.

Strained Si/SGOI FD n-MOSFET 내에서 전자의 이동도 변화는 상부 실리콘 층의 두께와 Ge mole fraction 에 따른 밴드구조에서의 부밴드 에너지 값과 전자의 2-fold, 4-fold valley의 점유도와 밀접한 관계가 있었다. 즉 4-fold valley 의 파동함수가 SiGe 층에 의

해 확장에 제한을 받는 두께에서도 전자의 점유율이 낮으면 전자의 이동도가 감소하는 효과가 적고 strained Si 층 자체가 반전층을 이루고 있는 상태에서는 반전층 두께의 변화에 의해 전자의 이동도가 많은 영향을 받는 것으로 설명할 수 있다. 이것은 strained Si 층의 두께가 감소하면서 양자역학적 confinement 효과에 의한 n-channel 층의 전자들의 농도가 증가하여 이로 인한 2-fold valley 안에서의 intra-valley phonon 산란이 급격히 증가하고 더불어 게이트나 n-channel 의 수직 방향으로 유효 전계가 증가하여 surface scattering 이 증가하여 전자의 이동도가 감소하는 것이다. 본 실험에서는 채널길이가 5 μ m 인 장채널 n-MOSFET 로서 strained Si 층 두께 변화에 따른 전자이동도 변화를 평가하였는데, 이 경우 strained Si 층의 변화에 따른 n-channel 저항 변화를 무시하였으나 수십 nm급의 채널길이를 가지는 short-channel 경우는 strained Si 층의 두께에 따른 n-channel 의 저항변화와 short-channel 효과를 고려한 strained Si에 의한 전자이동도 향상에 대한 평가가 필요하다.

참고 문헌

- [1] Hiroki Sutoh, Kimjhiro Yamakoshi, "A 0.25 μ m CMOS/SIMOX PLL Clock Generator Embedded in a Gate Array LSI with a Locking Range of 5 to 500MHz", *IEICE Trans. Electron.* vol. E82-C, no.7, 1999.
- [2] Ping Chin Yeh, Jerry G. Fossum "Physical Subthreshold MOSFET Modeling Applied to Viable Design of Deep-Submicrometer Fully Depleted SOI Low-Voltage CMOS Technology", *IEEE Transaction on electron devices.* vol. 42, no.9, 1995.
- [3] F. Balestra, S. Cristoloveanu, M. Benachir, J. Brini, T. Elewa, "Double-gate silicon-on-insulator transistor with volume inversion : A new device with greatly enhanced performance", *IEEE Electron Device Lett.*, vol. EDL-8, p.410, 1987.
- [4] M. Haond, J. P. Colinge "Analysis of drain break-down voltage in SOI n-channel MOSFETs", *IEEE Electron Device Lett.*, vol.25, p. 1640, 1989.
- [5] Colinge. J. P. "Reduction of kink effect in thin film SOI MOSFETs" *IEEE Electron Device Lett.*, vol.9, p.97, 1988.
- [6] J. J. Welser, J. L. Hoyt, and J. F. Gibbons, "Electron mobility enhancement in strained-Si

n-type metal-oxide-semiconductor field-effect transistor , *IEEE Electron Device Lett.*, vol. 15, p, 100, 1994.

[7] Mizuno, T., Sugiyama, N., Tezuka, T., Numata, T., Takagi, S., "High performance CMOS operation of strained-SOI MOSFETs using thin film SiGe-on-insulator substrate", *VLSI Technology, 2002. Digest of Technical Papers. 2002 Symposium on* , p. 106, 2002.

[8] T. Mizuno, N. Sugiyama, T. Tezuka, T. Numata, T. Maeda, and S. Takagi, "Design for Scaled Thin Film Strained-SOI CMOS Devices with Higher Carrier Mobility", *IEDM 2002*, p.31

[9] Zhi-Yuan Cheng, et al. "Electron Mobility Enhancement in Strained-si n-MOSFETs Fabricated on SiGe-on-Insulator (SGOI) Substrates", *IEEE Electron Device Lett.*, vol. 22, p. 321, 2001.

[10] S. Takagi, "Comparative study of phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal-oxide-semiconductor field-effect transistors", *J. Appl. Phys.* vol. 80, p. 1567, 1996.

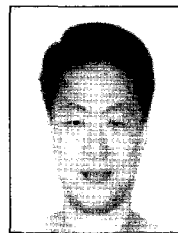
[11] M. Shoji "Phonon-limited inversion layer electron mobility in extremely thin Si layer of silicon-on-insulator metal-oxide-semiconductor field-effect transistor", *J. Appl. Phys.* vol. 82, p. 6096, 1997.

저 자 소 개



백 승 혁(정회원)
2003년 한양대학교
전자전기공학부 학사
졸업.
2003년 3월~현재 한양대학교
대학원 전자통신전파
공학과 석사

<주관심분야: 반도체 물성 및 시뮬레이션>



심 태 현(정회원)
1988년 홍익대학교 전자공학과
학사 졸업.
2001년 한양대학교 전자공학과
석사 졸업.
2002년 9월~현재 한양대학교
대학원 전자통신전파공학과
박사과정. 연구조교수

<주관심분야: 반도체 물성, 소자 공정 및 소재>



문 준 석(정회원)
2003년 한국외국어대학교 디지털
정보공학과 학사 졸업
2003년 9월~현재 한양대학교
대학원 전자통신전파
공학과 석사

<주관심분야: 반도체 물성 및 시뮬레이션>



차 원 준(정회원)
2004년 한양대학교 전자컴퓨터
공학부 학사 졸업.
2004년 3월~현재 한양대학교
대학원 전자통신전파공학과
석사

<주관심분야: 반도체 물성 및 시뮬레이션>



박 재 근(정회원)
1984년 동아대학교 전자공학
학사 졸업
1988년 한양대학교 대학원
전자공학 석사
1994년 University of North
Carolina 박사졸업

1985년~1998년 삼성전자 반도체 소재기술 그룹
1999년~2001년 삼성전자 반도체 생산기술센터
기술고문
1999년~현재 한양대학교 전자전기컴퓨터공학부
교수

<주관심분야: 차세대 반도체, 소자 공정 소재>