

논문 2004-41TC-10-14

주파수 체배 기법을 이용한 K-대역 국부발진기 구현에 관한 연구

(A Study on the Fabrication of K-band Local Oscillator Used
Frequency Doubler Techniques)

김 장 구*, 박 창 현*, 최 병 하*

(Jang-Gu Kim, Chang-Hyun Park, and Byung-Ha Choi)

요 약

본 논문에서는 VCDRO, GaAs MESFET, 반사기 등을 이용하여 주파수 체배기 형태로 구성된 K-대역 국부발진기를 설계하고 제작하여 특성을 실험하였다. VCDRO는 위상잡음특성을 개선하기 위하여 저잡음 특성을 가지며 플리커 잡음이 적은 MESFET를 선택하였으며 Q값이 큰 유전체 공진기를 사용하여 선택도를 높였다. 특히, 제안된 주파수 체배기는 반사기와 대역저지필터를 사용함으로써, 일반적인 체배기에 비해 회로의 크기를 줄이고, 고조파 억압특성을 개선했을 뿐만 아니라 더 좋은 변환이득을 얻었다. 제작된 VCDRO의 특성을 측정된 결과, 중심 주파수 12.05 GHz에서 5.8 dBm의 출력 전력과 -37.98 dBc의 고조파 억압, 100 kHz offset 주파수에서 -114 dBc의 위상잡음 특성을 얻을 수 있었으며, 주파수 체배기의 특성을 측정된 결과, 5.8 dBm의 입력신호에 대해 출력 주파수인 24.10 GHz에서 출력 전력은 1.755 dBm이고, 변환이득은 1.482 dB, 고조파 억압은 -33.09 dBc, 100 kHz offset 주파수에서 -98.23dBc의 위상잡음 특성을 얻었다. 주파수 체배 기법을 이용하여 제작된 발진기는 K-대역에서 국부발진기로 이용될 수 있음을 확인하였다.

Abstract

In this paper, a K-band local oscillator composed of a VCDRO(Voltage Controlled Dielectric Resonator Oscillator), GaAs MESFET, and Reflector type frequency doubler has been designed and fabricated. TO obtain a good phase noise performance of a VCDRO, a active device was selected with a low noise figure and a low flicker noise MESFET and a dielectric resonator was used for selecting stable and high oscillation frequency. Especially, to have a higher conversion gain than a conventional doubler as well as a good harmonic suppression performance with circuit size reduced, a doubler structure was employed as the Reflector type composed of a reflector and a open stub of quarter wave length for rejecting the unwanted harmonics. The measured results of fabricated oscillator show that the output power was 5.8 dBm at center frequency 12.05 GHz and harmonic suppression -37.98 dBc, phase noise -114 dBc at 100 kHz offset frequency, respectively, and measured results show of fabricated frequency doubler, the output power at 5.8 dBm of input power is 1.755 dBm, conversion gain 1.482 dB, harmonic suppression -33.09 dBc, phase noise -98.23 dBc at 100 kHz offset frequency, respectively. This oscillator could be available to a local oscillator in K-band which used frequency doubler techniques.

Keywords: VCDRO, Phase noise, Frequency doubler, Reflector, Conversion gain

I. 서 론

오늘날 통신용량이 증가함에 따라 높은 주파수에서

발진기의 중요성은 날로 증가하고 있고, 특히 위상변조 방식을 사용하는 디지털 통신 시스템의 경우 국부 발진기의 주파수 안정도와 위상잡음 특성은 전체 시스템의 데이터 오율특성에 매우 중요한 역할을 한다^[1]. 디지털 변조에 요구되는 BER(Bit Error Rate)를 만족시키기 위한 낮은 위상 잡음은 Leeson^[2]이 제시한 공식에 근거하여 발진기의 loaded Q를 최대화하고, 발진기의 설계시

* 정희원, 국립목포해양대학교 전자통신공학과
(Department of Marine Electronic and Communication
Engineering, Mokpo National Maritime University)
접수일자: 2004년5월24일, 수정완료일: 2004년10월14일

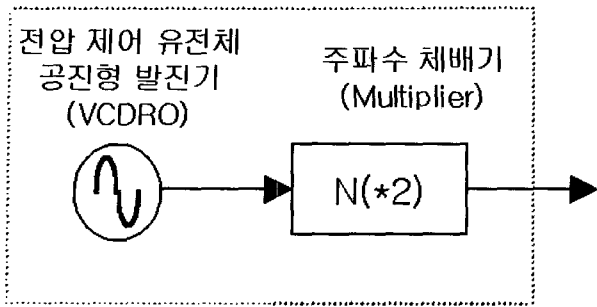


그림 1. 국부발진기 구성도
Fig. 1. Block diagram of local oscillator.

낮은 플리커 잡음 또는 1/f 잡음을 가진 능동소자와 바랙터 다이오드 선택시 낮은 등가 잡음 저항을 가진 다이오드를 선택 해야하며, 전압 가변 이득을 낮게 유지하는 등의 방법을 고려하여 낮은 위상잡음을 얻을 수 있다 [3][4].

주파수 체배기를 이용한 국부발진기는 마이크로파, 밀리미터파대의 전자시스템 운영에서 많이 이용되고 있다. 높은 주파수 안정도와 저잡음 특성을 갖는 저주파 신호원을 체배하여 고주파 신호원을 만드는 방법을 많이 사용하고 있다. 주파수 체배기를 이용하여 고주파 신호를 발생시킬 경우 위상잡음이 $20\log N(N:\text{체배 차수})$ 에 따라 증가하지만, 고안정의 PLL 신호를 이용할 수 있는 장점이 있다. 또한 밀리미터파 대역에서의 레이더나 통신 등의 시스템 구성에 있어, PLL 구조를 통한 마이크로파 대역의 주파수원을 체배하는 형식이 주파수 합성기로써 많이 사용된다 [5][6].

주파수 체배기를 최적화하기 위하여 멀티하모닉 로드 풀 시뮬레이션을 사용하여 고조파 성분들 중 최적의 소스·부하점을 찾아 2차 고조파 부하 지점에 정확하게 정합함으로써 최적의 전력을 얻었다. 변환이득을 개선하는 방법으로 반사기 형태의 24.10GHz 주파수 체배기를 설계하였다. 최적화된 회로는 유전율 $\epsilon = 3.5$ 이고 두께 $H = 20\text{mil}$ 인 타코닉사의 RF35 마이크로스트립 기판 위에 구현하여 K-대역에서 사용할 수 있는 국부발진기를 설계 및 제작하였다.

II. 국부발진기 이론 및 시뮬레이션

2-1. 전압 제어 유전체 공진형 발진기

전압 제어 유전체 공진형 발진기(VCDRO)는 유전체 공진기의 결합위치에 따라 크게 병렬 케환 발진기, 반사형 발진기, 직렬 케환 발진기로 나눌 수 있으며, 출력단에 유전체 공진기를 결합하는 병렬 케환형이나 반사형

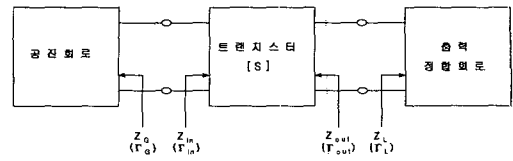


그림 2. 2단자망 발진기 모델
Fig. 2. Two-port oscillator model.

은 능동소자의 자체 케환 없이도 발진하는 장점이 있으나, 발진기의 전체적인 성능 저하나 주파수의 변화를 일으키는 단점이 있으므로 본 논문에서는 직렬 케환 발진기 형태로 설계하였다.

그림 2는 일반적인 2단자망 부성 저항 발진기의 모델이다. 트랜지스터는 S파라미터로 표현되며 안정도 판별식 K는

$$K = \frac{1 + |\Delta| - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}S_{21}|} \quad (1)$$

여기서, $\Delta = S_{11}S_{22} - S_{12}S_{21}$ 이다.

이때 발진기가 안정적으로 발진하기 위해서는 다음 세 가지의 발진조건을 만족해야 한다.

$$K < 1 \quad (2)$$

$$\Gamma_G \Gamma_{in} = 1 \quad (3)$$

$$\Gamma_L \Gamma_{out} = 1 \quad (4)$$

발진을 위해서는 항상 안정도 K가 1보다 작아야 하며, 이 조건이 만족되지 않을 경우에는 공통단자를 서로 바꾸거나 케환 회로를 이용하여야 한다.

일반적으로 발진기는 케환을 갖는 증폭기로 볼 수 있으므로 Leeson은 발진기의 위상잡음을 다음과 같이 모델링하였다 [7].

$$\psi(f_m) = \frac{FkTB}{2P_{avs}} \left[\frac{1}{f_m^3} \frac{f_c^2}{4Q_L^2} + \frac{1}{f_m^2} \frac{f_c^2}{4Q_L^2} + \frac{f_c}{f_m} + 1 \right] \quad (5)$$

여기서, F는 증폭기의 잡음지수, kTB는 열잡음 전력 발생원, f는 발진주파수, Q_L은 공진기의 부하 Q, f_c는 플리커 잡음전력이 열 잡음전력과 같아지는 코너 (corner)주파수이다. 식(5)의 Leeson모델에서 위상잡음은 먼저 플리커 잡음이 적은 트랜지스터를 선택하면 저주파의 1/f³잡음을 줄일 수 있고, 공진기의 높은 선택

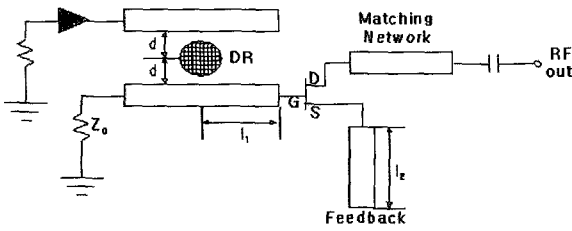


그림 3. 전압 제어 유전체 발진기의 구조
Fig. 3. A configuration of VCDRO.

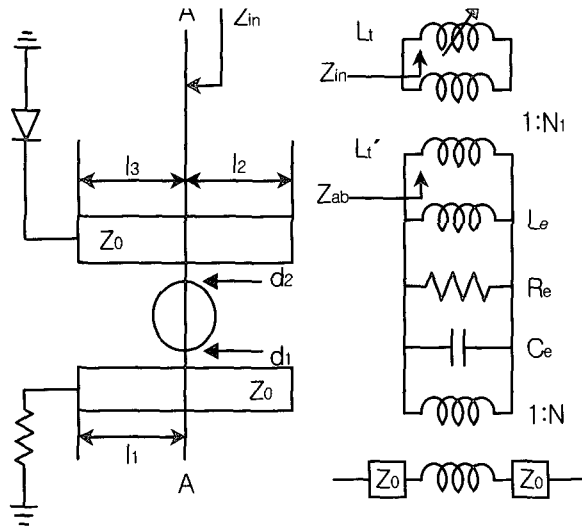


그림 4. 바랙터와 유전체 공진의 결합
Fig. 4. Coupling varactor to DR.

도는 열잡음에 의한 $1/f^2$ 잡음을 줄일 수 있다. 그리고 바랙터의 높은 선택도는 유전체 공진기와 결합 정도에 의해 위상잡음에 영향을 미치게 된다^[8].

MESFET의 동작점 결정은 설계 목표치 중 출력레벨 및 위상잡음을 고려하여 결정한다. 따라서 트랜지스터의 V-I 특성 곡선으로부터 출력은 작지만 위상 잡음을 작게 하기 위한 동작 점으로 $V_{ds}=2V$ 이고, $V_{GS}=-0.3V$, $I_{ds}=20mA$ 인 점을 선택하였다.

본 논문에서는 바랙터 다이오드를 이용한 전기적 동조 방법을 사용하였다. 그림 3은 바랙터 다이오드가 연결된 유전체 공진형 발진기의 구조를 나타낸다.

설계한 VCDRO의 회로로써 그림 3에서의 직렬케환 회로는 부정저항을 발생시키기 위해 공통 소스 단자에 리액턴스 소자를 직렬로 연결하여 l_2 길이를 최적화하였다.

그림 4는 유전체 공진기의 등가회로이며, 두 개의 마이크로스트립 라인과 동시에 자기적 결합을 일으킨다. 유전체 공진기와 마이크로스트립 라인 사이의 간격 d_1, d_2 에 의해 결합 계수 β_1, β_2 가 각각 결정된다. 길

이 l_2 는 $\lambda/4$ 로 유지되며 AA'면에서 공진기가 최대 자체 결합을 갖는다. 유전체 공진기의 공진 주파수를 전기적으로 가변시키기 위해서 바랙터 다이오드를 사용할 경우 AA'에서 바랙터 다이오드를 들여다본 입력 임피던스는 l_3 을 $\lambda/4$ 의 임피던스 변환기를 거치므로 바랙터의 접합용량의 변화는 입력 임피던스의 인덕턴스로 변화로 치환된다. 결합면에서 바라본 입력 임피던스는 다음 수식 (6)과 같이 표현된다.

$$Z_{in} = j\omega Z_0^2 C_v v(t) \tag{6}$$

이때, 변환 인덕턴스 $L_t = Z_0^2 C_v v(t)$ 이고, ab에서 바라본 임피던스

$$Z_{ab} = (j\omega L_t / N_1^2) \tag{7}$$

바랙터에 의한 식(7)의 입력 인덕턴스 변화는 이상적인 변압기를 통해서 공진회로의 총 인덕턴스 L_{et} 를 다음 수식과 같이 변화시킨다.

$$L_{et} = L_e // L_t' = L_e L_t' / (L_e + L_t') \tag{8}$$

그리고 전달 인덕턴스 L_t' 은 다음 수식과 같다.

$$L_t' = L_t / N_1^2 \tag{9}$$

여기서 N_1 은 이상적인 변압기의 권선비이다. 그러므로 총인덕턴스의 변화로 기존의 공진 주파수 ω_o 는 새로운 공진 주파수 ω_o' 에서 공진이 일어난다.

$$\omega_o' = \frac{1}{\sqrt{L_{et} C_e}} \cong \omega_o \left\{ 1 + \frac{N_1^2 L_e}{2Z_0 C_v v(t)} \right\} \tag{10}$$

식(10)에서 공진기와 마이크로스트립 라인의 결합을 증가시키면 이상적인 변압기의 권선비 N_1 이 증가한다. 따라서 바랙터에 의한 영향이 증가되어 공진주파수의 변화 대역폭이 넓어짐을 알 수 있다. β 와 quality factor와의 관계는 다음 식과 같이된다^[9].

$$Q_u = Q_L (1 + \beta) = \beta Q_e \tag{11}$$

그리고 등가 모델 파라미터 값 R, L, C 값은 β 와 ω_o 와 관계로서 다음 수식과 같다^[10].

$$R = 2Z_0 \beta, L = \frac{R}{Q_u \omega_o}, C = \frac{Q_u}{\omega_o R} \tag{12}$$

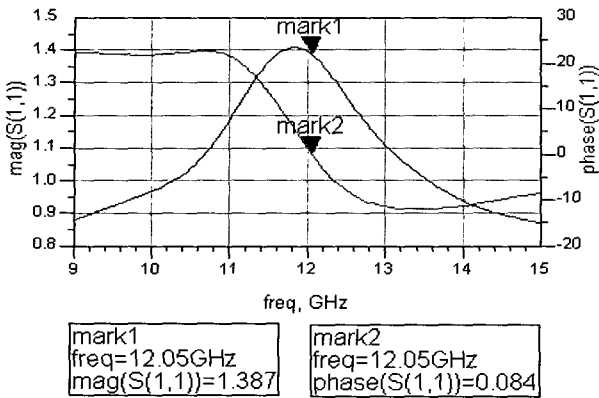


그림 5. 발진 테스트
Fig. 5. Oscillation test.

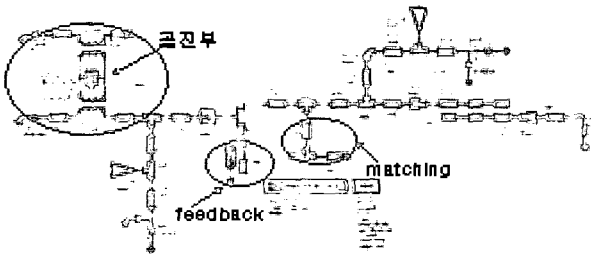


그림 6. 하모닉 발란스 시뮬레이션 셋업
Fig. 6. Simulation setup for harmonic balance.

좋은 공진 특성을 얻기 위해 그림 3에서의 I_2 의 Feedback길이를 변화시켜 가면서 공진 주파수를 확인하고 Feedback을 최적화시킨 결과 그림 5에서처럼 11GHz~13GHz 사이에서 부성 저항 특성을 나타냄으로써 발진가능성을 확인하였고, S_{11} 의 크기와 위상을 나타내는 좋은 결과를 얻을 수 있었다.

부하 정합 회로는 설계 주파수에서 최대의 파워를 가져다 주도록 결정하여야하며 부하 임피던스는 일반적으로 다음의 수식으로서 결정된다^[11].

$$R_L(\omega_o) + jX_L(\omega_o) = -\frac{R_{IN}(0, \omega_o)}{3} - jX_{IN}(0, \omega_o) \quad (13)$$

소신호 파라미터에 의해 설계된 발진기 회로에서 계산된 부하 임피던스 Z_L 을 50Ω과 정합이 되도록 오픈 스타브를 사용한 출력 정합 회로를 구성한 후, 출력 전력, 고조파 특성 등 트랜지스터의 비선형 특성에 의해 발생하는 발진 특성 예측을 하기 위하여 Agilent사의 ADS를 이용하여 하모닉 발란스 시뮬레이션을 하였다.

그림 6은 최종 설계된 HB 해석을 위한 회로도이다. 우수한 성능을 얻기 위하여 Feedback길이와 매칭회로 그리고 공진부 파라미터를 변화시켜가면서 최적화하였다. 설계된 VCDRO의 시뮬레이션 결과 출력 특성은

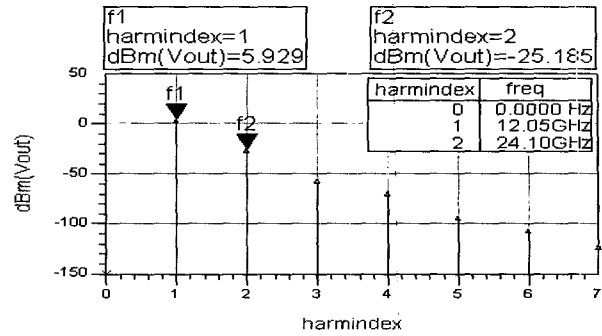


그림 7. 출력 특성
Fig. 7. Output characteristics.

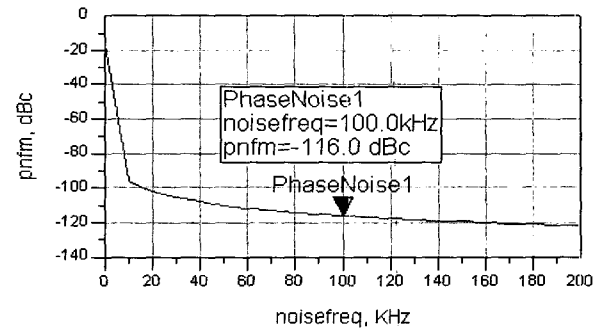


그림 8. 위상 잡음
Fig. 8. Phase noise.

12.05 GHz에 5.929 dBm, 고조파 응답은 기본파 대비 -31.114 dBc, 위상 잡음은 100 kHz offset 주파수에서 -116 dBc이다.

2-2. 반사기 형태의 주파수 체배기

일반적인 주파수 체배기 이론에서 MESFET과 같은 능동소자는 저주파에서 비선형 저항성분만을 포함하고 있다고 간단히 모델링 할 수 있고, 출력측의 even 또는 odd 하모닉 성분을 소자의 바이어스, 입력 신호의 드라이브 레벨, 그리고 드레인 종단 상태 등을 조절함으로써 직접적으로 생성된다고 할 수 있다.

FET를 이용하는 2차 체배기에서는 보통 핀치-오프 근처의 바이어스 영역에서 사용되며, 비선형 트랜스 컨덕턴스(gm)는 고조파 생성에 가장 중요한 요소가 된다. 2차 체배기에서 또 하나의 중요한 바이어스 지점은 게이트 전압이 제로인 I_{dss} 바이어스이다. 그림 9에서 $V_g \approx 0$ 인 점에서 입력신호 $V_{gt}(t)$ 레벨이 제로에서 핀치-오프 전압까지 swing 되도록 한다면 핀치-오프 바이어스와 같은 특성을 나타낸다. 그림 9의 목적은 드레인 단자에 의해 왜곡된 드레인 전류나 전압 파형을 생성시키는 것이다. FET의 입력 전압에 대한 출력 전류 파형을 전도각에 따라 그림 9와 같이 나타낼 수 있다. 바이어스에 의한 고조파 성분들의 발생 특성을 그림 9을 바

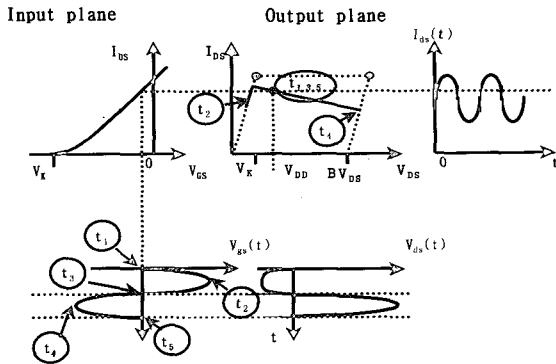


그림 9. Idss 바이어스에 의한 파형과 신호 궤적
Fig. 9. Waveform and signal trajectory of Idss bias.

탕으로 푸리에 시리즈를 이용하여 식 (14)와 같이 일반적인 식으로 표현할 수 있는데, 이때 트랜지스터의 입력 신호의 전도각(conduction angle)에 따른 고조파 전류는 그림 9와 같다^{[12][13]}.

$$I_1 = \frac{I_p}{\pi} \left[\frac{\pi t_0}{T} - \frac{\sin(2\pi t_0/T)}{2} \right]$$

$$I_{dn} = \frac{I_p}{\pi} \left[\frac{\sin((n-1)\pi t_0/T)}{n-1} + \frac{\sin((n+1)\pi t_0/T)}{n+1} - \frac{2}{n} \cos(\pi t_0/T) \sin(2\pi t_0/T) \right]$$

(14)

여기서, I_p 는 드레인의 Peak전류, T는 주기, t_0 는 전도각(Conduction angle)을 나타낸다.

그러나 마이크로파 대역에서 고조파를 생성하기 위한 비선형 소자는 기생성분을 포함하고, feed back을 포함하고 있다고 본다. 따라서 고조파 생성은 전류, 전압 파형의 왜곡된 파형을 발생한다. 기본 주파수 또는 생성된 많은 고조파와 상호 변조에 의해서 고조파 생성을 설명할 수 있다.

입력으로 feedback되어 되돌아오는 고조파가 기본파 신호 전력 P_0 보다 낮은 레벨이라고 가정하면, n번째 고조파 출력의 일부가 증폭되고, 기본파와 (n-1), (n+1) 고조파의 상호 변조에 의해 주파수가 변환됨에 따라 원하는 고조파 성분이 커지게 된다. 그리고 출력측에 나타나는 모든 전력 성분들이 더해지고, 원하는 n번째 고조파의 전력 P_n 은 다음 식 (15)와 같이 쓸 수 있다.

$$P_n = (1 - A_n)[P_0MG + P_nA_nG_n + (P_{n-1}A_{n-1} + P_{n+1}A_{n+1})CG] + \text{other terms}$$

(15)

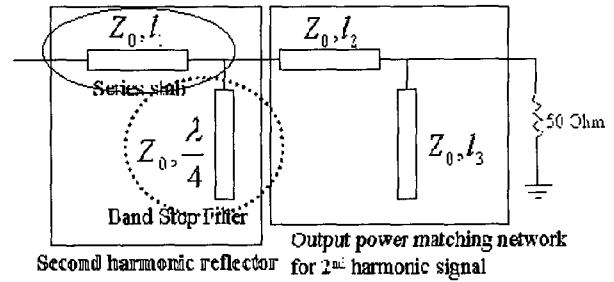


그림 10. 주파수 체배기의 리플렉터 설계
Fig. 10. Reflector design in frequency Doubler.

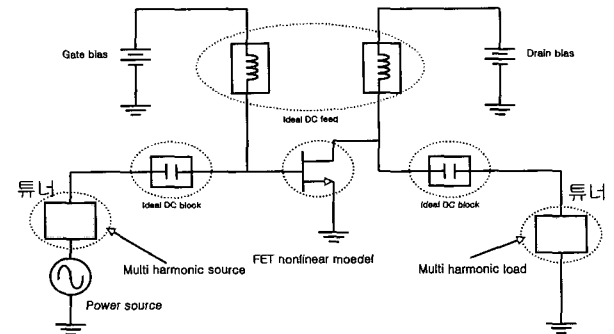


그림 11. 멀티하모닉 로드 풀 시뮬레이션 설정
Fig. 11. Simulation setup for multiharmonic load pull.

여기서,

- P_n ; n번째 고조파 출력 전력
- P_0 ; 기본파 f_0 의 출력 전력
- P_{n-1}, P_{n+1} ; (n-1), (n+1)번째 고조파 전력
- A_{n-1}, A_{n+1} ; (n-1), (n+1)번째 고조파 반사 전력

전체적인 체배 효율은 체배 이득(MG), 입력 전력 이득(G_n), 그리고 변환 이득(CG)의 3가지 메카니즘으로 설명된다^{[13][14]}.

그림 10은 주파수 체배기의 출력측에 반사기와 대역 저지필터를 포함하여 설계한 그림이다. 대역저지필터에서 마이크로스트립 선로의 길이는 기본 입력 주파수에 대해 2체배기인 경우 $\lambda/4$ 이고, 3체배기인 경우 $\lambda/6$ 이고, 4체배기인 경우 $\lambda/8$ 로 나타났다^{[3][15]}.

본 논문에서 멀티하모닉 로드 풀 시뮬레이션은 주파수 체배기에서 사용하고자 하는 소자의 내부는 임의의 것으로 가정하고 입력과 출력의 가능한 모든 임피던스를 변화시켜 가면서 출력 특성을 측정하여 최적의 부하 조건을 얻는 방법으로 그림 11은 멀티하모닉 로드 풀 시뮬레이션 회로도이다. 그림 11에서 입력과 출력에 연결된 튜너를 조정하여 입·출력 부하를 변화시키고, 이 때 시뮬레이션 상에서 최적의 고조파 소스와 부하 임피던스 값을 찾는 방법이다^[16].

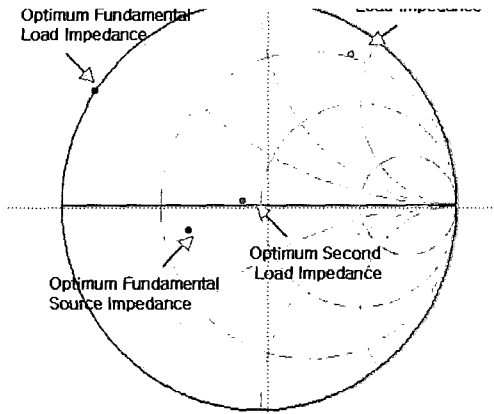


그림 12. 최적의 입력과 출력 임피던스
Fig. 12. Optimum source and load impedance.

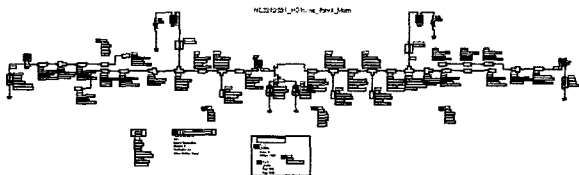


그림 13. 최적의 변환 이득에 대한 멀티하모닉 로드 풀 시뮬레이션 회로
Fig. 13. Multiharmonic load pull simulation circuit for optimization conversion gain.

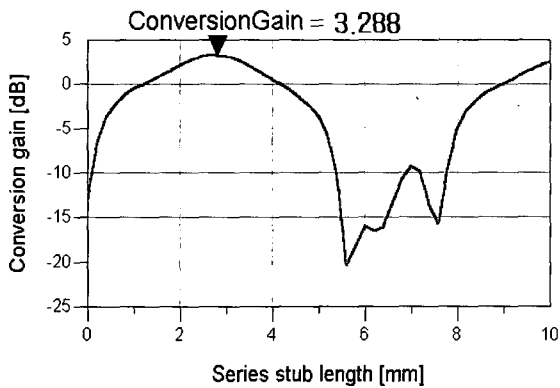


그림 14. 직렬 스텐브 길이에 대한 변환 이득
Fig. 14. Conversion gain VS Series stub length.

최적의 고조파 소스와 부하 임피던스 값을 그림 12에 나타내었다.

그림 13은 비선형 모델이 주어진 MESFET과 수동소자 역할을 하는 DC-block, DC-feed 라인을 모두 설계하여 최적의 조건을 두고 설계한 회로도이다.

그림 14는 반사기 역할을 하는 직렬 스텐브 길이(L)에 따라 변환이득이 변함을 알 수 있다. 입력 전력 0 dBm에 대해 직렬 스텐브 길이를 최적화하였을 때 변환이득이 3.288 dB로 나타났다. 개방 스텐브의 고조파 억압 특

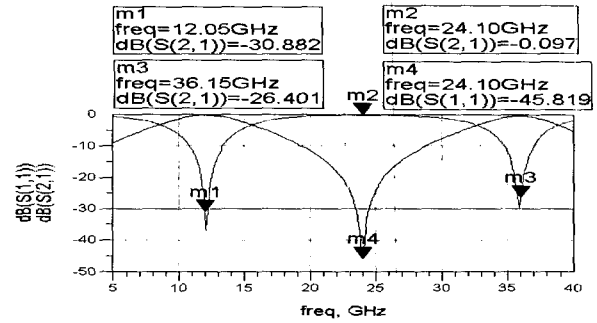


그림 15. $\lambda/4$ 개방 스텐브의 고조파 억압 특성
Fig. 15. Harmonic suppression characteristic of quarter-wave open stub.

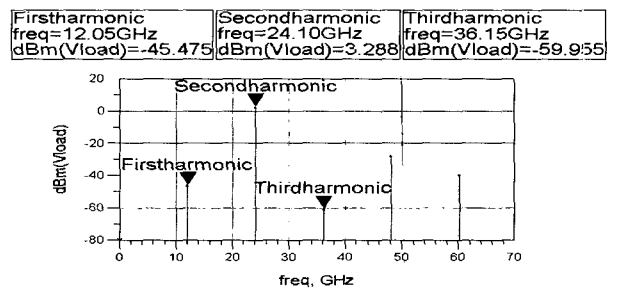


그림 16. 고조파 출력 전력
Fig. 16. Harmonic output power.

성으로 2차 고조파에 대해 기본파와 3차 고조파는 45 dBc 이상의 억압 특성을 갖는 비교적 우수한 특성을 보였다.

III. 국부발진기 제작 및 측정결과

3-1. VCDRO의 제작 및 측정결과

그림 17의 설계된 VCDRO 회로는 RF35 기판 위에 제작하였고, MESFET은 저잡음 특성을 가지고 있는 NEC사의 NE32584C와 가변 특성이 우수한 바랙터 다이오드는 M/A-COM사의 MA46451를 또 높은 Q값을 갖는 유전체 공진기는 아이텍사의 IDR03를 주문하여 사용하였다. 설계된 VCDRO에서 최상의 측정결과를 얻기 위해 DR의 위치와 피드백을 튜닝하여 낮은 위상잡음을 얻을 수 있었다.

제작된 VCDRO의 측정결과, 주파수 특성은 중심 주파수 12.05 GHz에서 5.8 dBm의 출력과 0 V에서 10 V의 가변 전압에서 주파수 동조 범위는 15.2 MHz이며, 이때의 전력 평탄도는 -0.2 dB로 우수한 성능을 보였고, 고조파 응답은 2차 고조파에서 -37.98 dBc, 위상 잡음은 100 kHz offset 주파수에서 -114 dBc로 매우 우수한 값이 측정되었다.

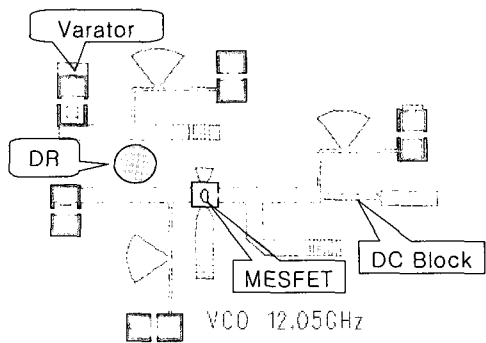


그림 17. 전압 제어 발진기의 레이아웃
Fig. 17. Layout of VCDRO.

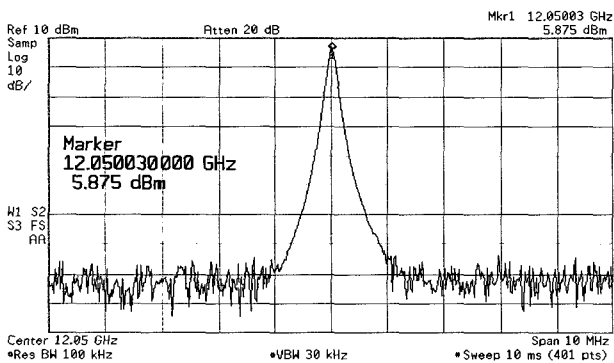


그림 18. 주파수 특성
Fig. 18. Frequency characteristics.

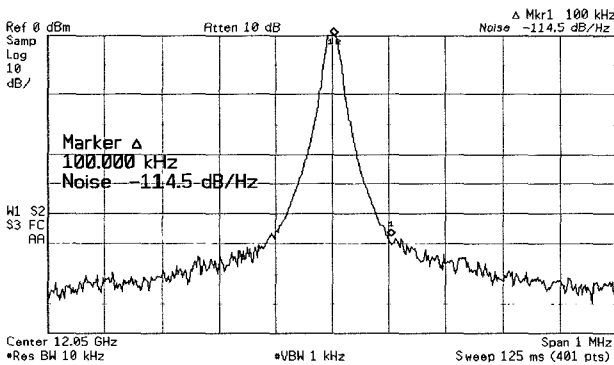


그림 19. 위상 잡음 특성
Fig. 19. Phase noise characteristic.

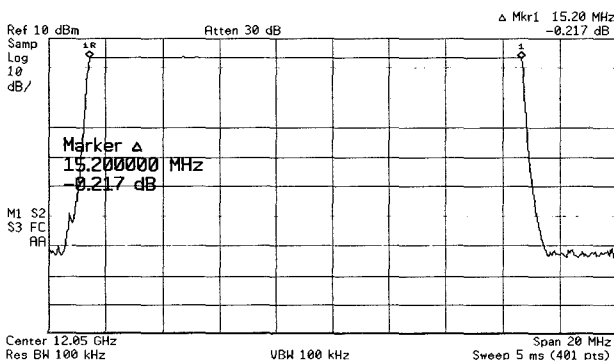


그림 20. 주파수 가변 특성
Fig. 20. Characteristic for variable frequency.

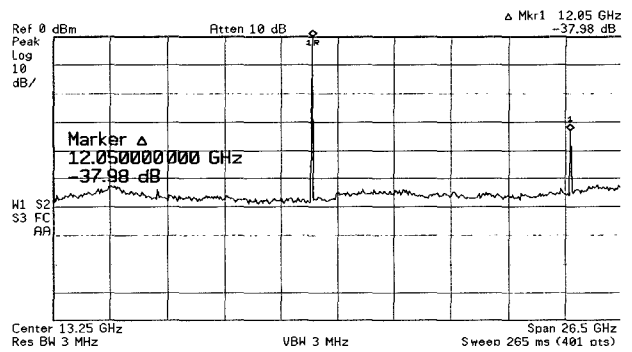


그림 21. 고조파 억압 특성
Fig. 21. Harmonic suppression characteristic.

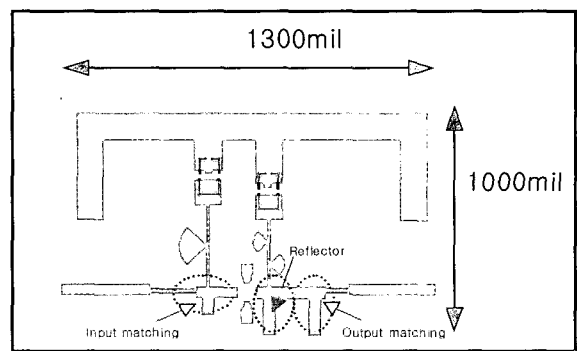


그림 22. 주파수 체배기의 레이아웃
Fig. 22. Layout of Frequency Doubler.

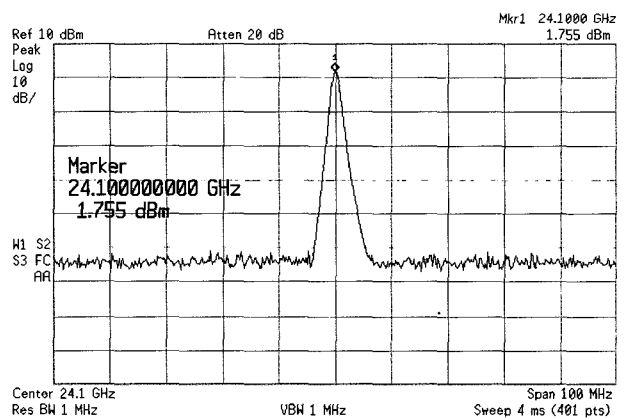


그림 23. 측정 결과
Fig. 23. Measured result.

3-2. 주파수 체배기 제작 및 측정 결과

그림 22의 설계된 주파수 체배기 회로는 RF35 기판 위에 제작하였고, 주파수 체배기에 사용된 MESFET은 비선형 모델이 주어지고, 고주파 특성과 잡음특성이 우수한 NEC사의 NE3210S01 소자를 사용하였다.

제작된 주파수 체배기 측정결과, 24.10 GHz에서 출력 전력은 1.755 dBm으로 나타났다. 측정케이블 선로상의 손실 -5.527 dB를 고려하면 변환이득은 1.482 dB로 시

IV. 결론

본 논문에서는 전압 제어 유전체 공진형 발진기와 주파수 체배기를 이용하여 K-대역 국부발진기를 설계 및 제작하였다. 이를 위하여 낮은 프리커 잡음을 갖는 NEC사의 NE32584C MESFET은 등가회로모델을 이용하였고, Q값이 큰 유전체 공진기는 아이텍사의 IDR03을 주문 제작하여 다이오드의 Gamma가 큰 바랙터 다이오드와 결합된 등가회로를 구현하여 R, L, C파라미터를 추출하였다. 제작된 VCDRO의 특성은 게이트 바이어스가 -0.3V이고 드레인 인가 전압은 2V에서 주파수 12.05 GHz에서 5.8 dBm과 0 V에서 10 V의 가변 전압에서 주파수 동조 범위는 15.2 MHz에, 전력 평탄도는 -0.2 dB로 우수한 성능을 얻을 수 있었으며, 고조파 응답은 2차 고조파에서 -37.98 dBc의 값을 얻었으며, 위상 잡음은 100 kHz 대역폭에서 -114 dBc로 우수한 위상 잡음특성을 보였다.

주파수 체배기는 NEC사의 NE3210S01 MES FET를 이용하여 12.05 GHz의 신호를 입력하여 24.10 GHz를 출력하는 주파수 체배기를 설계 및 제작하였다. 멀티하모닉 로드 풀 시뮬레이션 방법을 이용하여 최적의 소스·부하 임피던스 점을 찾을 수 있었다. 특히 본 논문에서 제안된 반사기 형태의 주파수 체배기를 사용함으로써, 기존의 필터를 삽입하여 설계하는 방법에 비해 전체 회로의 크기를 줄일 수 있었고, 고조파 억압특성이 우수하고, 변환이득을 개선할 수 있었다. 제작된 주파수 체배기 측정 결과, 12.05 GHz에서 5.8 dBm의 전력을 갖는 입력신호에 대해 24.10 GHz에서 1.755 dBm의 출력 전력, 측정케이블 선로상의 손실 -5.527 dBm을 고려하면 1.482 dBm의 변환이득을 얻었고, 기본주파수 억압특성은 -33.09 dBc, 위상 잡음은 100 kHz offset 주파수에서 -98.23 dBc로 우수한 값을 얻었다.

본 논문에서 제안한 주파수 체배 기법을 이용하여 제작된 발진기는 K-대역에서 국부발진기로 이용될 수 있음을 확인하였다.

향후 주파수 체배 기법을 더욱 연구하여 변환 손실이 최소가 될 수 있는 방안을 모색하고, 자기 바이어스를 이용해 회로의 안정성을 만족하고, 전체 회로 크기를 줄일 수 있는 방안을 모색하고자 한다.

참고 문헌

[1] Ali Hajimiri, "The Design of Low Noise Oscillators" *Kluwer Academics Publishers*. 1996.

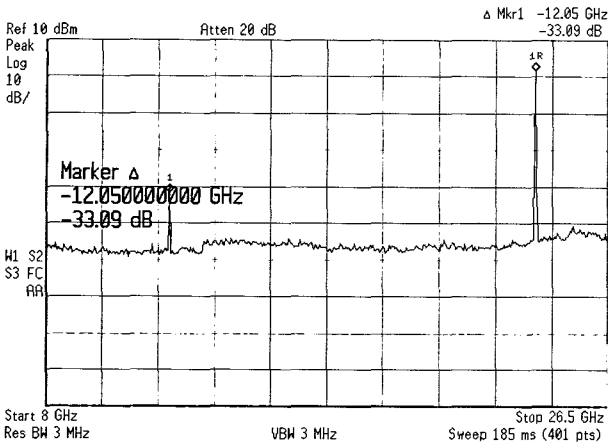


그림 24. 1차와 2차 고조파의 측정 결과
Fig. 24. Measured result of first & second harmonic measurement result.

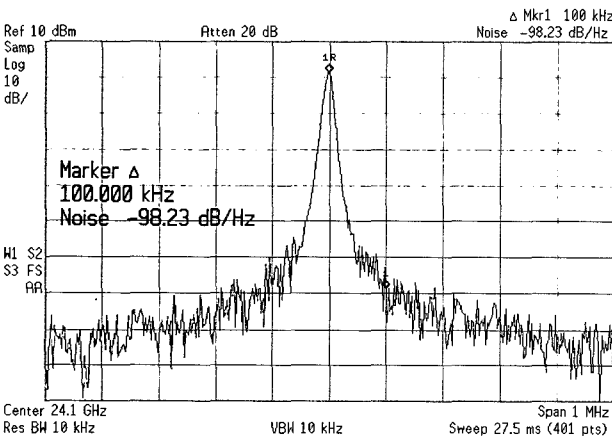


그림 25. 위상 잡음 특성
Fig. 25. Phase noise characteristic.

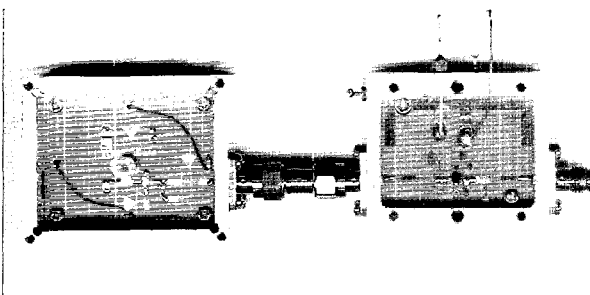


그림 26. 국부발진기의 실물 사진
Fig. 26. Fabricated picture of local Oscillator.

물레이션 결과와 약간의 차이는 있지만, 비교적 양호하게 나왔다. 주파수 억압 특성은 -33.09 dBc, 위상 잡음은 100kHz offset 주파수에서 -98.23 dBc의 값이 측정되었다.

그림 26은 본 논문에서 주파수 체배 기법을 이용하여 제작한 국부발진기의 실물 사진이다.

[2] Leeson, D. B., "A simple model of feedback oscillator noise spectrum", Proc IEEE., 1996, 54, pp 329-330.

[3] David M. Pozar, "Microwave Engineering" John Wiley & Sons, Inc. 1990.

[4] J.Y.Lee and U.S. Hong, "Voltage control dielectric resonator using three terminal MESFET varactor", Electronic Letter, 4th Aug. 1994 Vol.30. No.16

[5] E. Carmargo, "Design of FET Frequency Multipliers and Harmonic Oscillators", Artech House, 1998.

[6] A. Cezer, "Computer-aided design of diode frequency multipliers", Applied Microwave & Wireless, pp. 38 -48, 1999

[7] F. M. Gardner, "Phaselock Techniques" 2nd Ed. New York, Wiley, 1979.

[8] Robert G. Rogers, "Low Phase Noise Microwave Oscillator Design", Artech House. 1991.

[9] Aps Khanna and Y. Garault, "Determination of Loaded, Unloaded, and External Quality Factors of a Dielectric Resonator Coupled to a Microstrip Line", IEEE MTT-31, No 3, March, 1983.

[10] G. Gonzalez, "Microwave Transistor Amplifiers Analysis and Design" Prentice-Hall Inc., 1997.

[11] Eric Holzman, "Solid State Microwave Power Oscillator Design" Artech House. 1992.

[12] Eoin O'Cilardha, "Generic-device frequency multiplier analysis-a unified approach", IEEE Trans. Microwave Theory and Tech, vol, MTT-48, no.7 pp. 1134-1141, July 2000.

[13] C. Rauscher, "High-Frequency Doubler Operation of GaAs Field-Effect Transistors", IEEE Trans. Microwave Theory Tech, vol. MMT-31, pp. 462-473, June, 1983.

[14] Y. Iyama and A. Iida, "Second Harmonic Reflector Type High-Gain FET Frequency Doubler Operating In X-band", IEEE MTT-S International Microwave Symposium Digest, pp. 1291 -1294, 1989.

[15] Tetsuo Hirota, "Uniplanar Monolithic Frequency Doublers", IEEE Trans. Microwave Theory Tech, vol. MTT-37, pp. 1249-1254, August, 1989.

[16] S. A. Maas, "Nonlinear Microwave Circuits", Artech House, 1988.

저 자 소 개



김 장 구(정회원)
 2001년 8월 국립목포해양대학교
 해양전자·통신공학부
 공학사
 2001년 9월~2003년 8월 국립목포
 해양대학교 대학원 전자·
 통신공학과 공학 석사

<주관심분야: 마이크로파 능동 및 수동소자, 이동통신, 레이더, CMOS, MEMS>



박 창 현(정회원)
 2002년 2월 국립목포해양대학교
 해양전자·통신공학부
 공학사
 2002년 3월~2004년 2월 국립목포
 해양대학교 대학원 전자·
 통신공학과 공학 석사

<주관심분야: 마이크로파 능동 및 수동소자, 이동통신, MEMS>



최 병 하(정회원)
 1965년~1969년 한국항공대학교
 항공전자공학과 공학사
 1981년~1983년 건국대학교 대학원
 전자공학과 공학석사
 1987년 통신기술사
 1988년~1993년 한국항공대학교
 대학원 항공전자공학과
 공학박사

1972년~현재 국립목포해양대학교 해양전자·통신공학부 교수

<주관심분야: 안테나, 해상이동통신 및 위성통신>