

Amplifier IC 설계 기술

정항근 (전북대학교)

I. 서론

증폭기는 전원에서부터 에너지를 공급받아 신호의 진폭을 증가시키는 장치로서 전기적인 신호 처리를 위한 하드웨어를 구성하는 가장 기본적인 요소이다. 1906년 Lee De Forest에 의하여 3극 진공관이 발표되어 최초의 증폭기가 만들어졌고, 1924년에는 Harold Black에 의하여 궤환(feedback) 증폭기가 발명되었으며, 1947년에는 벨 전화연구소의 William Shockley 그룹에 의하여 반도체(트랜지스터) 증폭기가 만들어졌다¹⁾.

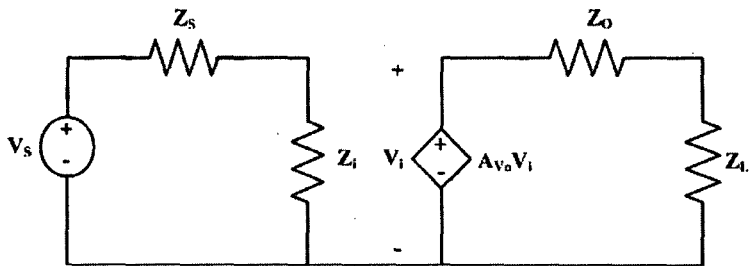
증폭은 약한 신호의 세기를 증가시키는 증폭기에 사용되어 장거리 통신을 가능하게 하였으며, 궤환은 선형성을 개선하여 주파수분할 다중화를 용이하게 하였고, 증폭 소자의 고체화는 증폭기의 소형경량화와 저전압·저전력 반영구적 동작을 실현하였다. 게다가 뒤이은 집적회로의 발명은 회로의 고체화에 따른 소형경량화 및 저전압·저전력화 뿐만 아니라 추가적으로 회로 동작의 고속화, 신뢰성 향상, 저가격화를 지속적으로 일어나게 하여 20세기 정보기술의 획기적인 발전과 보급에 크게 공헌하였다.

증폭기는 여러 관점에서 분류할 수 있다. 신호

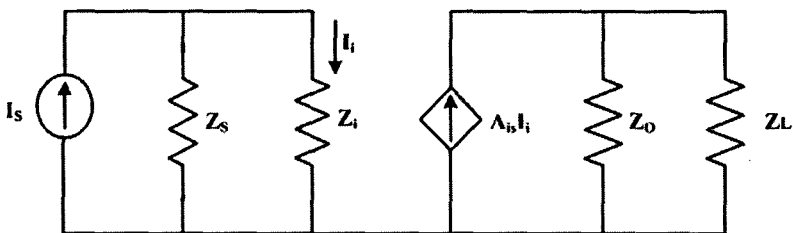
의 결합 형태에 따라 직접 결합(directly coupled) 증폭기와 교류(ac) 증폭기로 나눌 수 있으며, 좁은 주파수 대역의 신호를 증폭하는 협대역(narrow-band) 증폭기와 광대역(wide-band) 증폭기로 나눌 수 있다. 또한 시스템의 전단부에 사용하는 증폭기로서 저잡음 특성이 요구되는 전치증폭기와 높은 전력 효율이 요구되는 전력증폭기로 나눌 수도 있다. 이러한 전력증폭기는 정현파의 한 주기 중에서 증폭기가 작동하는 시간의 비율에 따라 A급, AB급, B급, C급, D급 등으로 구분할 수 있다.

한편 신호원의 임피던스 크기가 증폭기의 입력 임피던스보다 작은 경우에 신호원의 등가회로로서는 테브난 등가회로가 편리하며, 반대의 경우에는 노턴 등가회로가 편하다. 마찬가지로 이유로 증폭기의 출력 임피던스의 크기와 부하 임피던스의 크기의 대소 관계에 따라 증폭기의 출력의 등가회로도 테브난 또는 노턴 등가회로로 나타내는 것이 편리하여 그에 따라 증폭기의 등가회로는 그림 1과 같이 4가지의 형태로 나눌 수 있다.

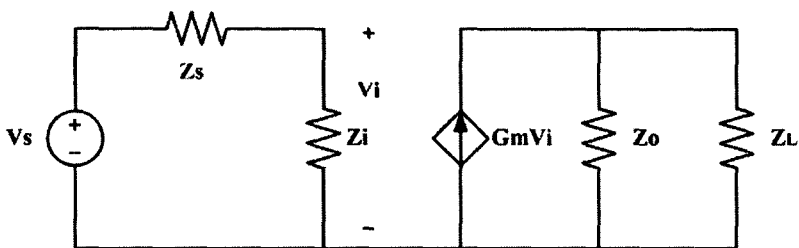
증폭기는 오디오 및 비디오 신호처리회로와 무선기기의 고주파 회로 등에서 약한 신호의 증폭을 위하여 널리 응용되고 있다. 증폭기는 특히



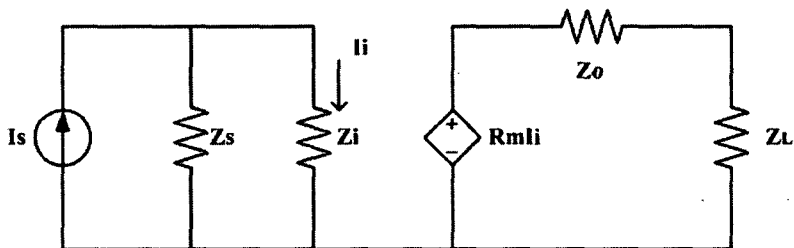
(1-a) 전압증폭기



(1-b) 전류증폭기



(1-c) 트랜스컨덕턴스 증폭기



(1-d) 트랜스임피던스 증폭기

<그림 1> 증폭기의 4가지 형태

연산증폭기의 형태로써 아날로그 필터, 파형 정형과 신호의 선형 및 비선형 변환, 발진기, 전압 전류 안정화 회로 등에 광범위하게 쓰이고 있으며, 혼성 신호 처리에서도 ADC, DAC, PLL 등에서 핵심 부품으로서 사용되고 있다. 따라서 본 고에서는 연산증폭기의 진화 과정을 살펴 본 다음 최신 설계 동향을 MOS 기술 중심으로 기술하고자 한다.

II. 연산증폭기

1. 진화 과정

연산증폭기에 대한 개념은 1940년대에 미분 방정식의 해법 등을 위한 아날로그 컴퓨터 응용에서 유래되었으며 초창기 진공관 연산증폭기를 거쳐 1962년에는 Burr Brown의 트랜지스터 모듈 형태의 연산증폭기가 출시되었고 곧이어 1963년에는 Fairchild에 의하여 최초의 집적회로 연산증폭기인 $\mu A702$ 가 출시되기에 이르렀다. 9개의 트랜지스터로 이루어진 이 연산증폭기는 단가가 300불에 달하여 군사용 등의 응용에 한정되었다. 1965년에는 특성을 개선한 $\mu A709$ 가 70불에 시장에 도입되었으며, 큰 호응을 얻어 가격이 1969년경에는 2불 정도로 하락하여 최초로 널리 사용된 연산증폭기가 되었다. 1968년에는 내부 커패시터에 의하여 주파수 보상이 되어 사용하기 편리한 $\mu A741$ 이 후속 제품으로 출시되어 오늘날까지도 사용되고 있다.

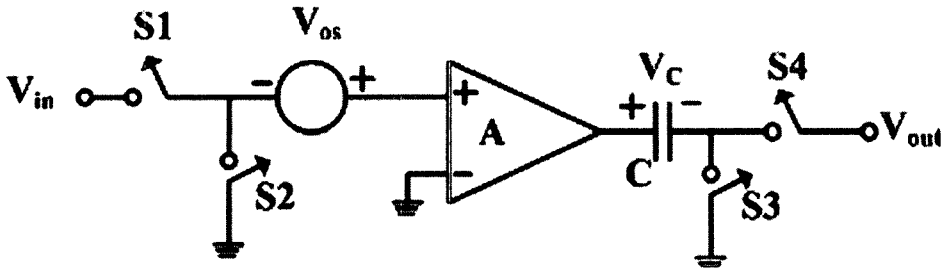
2. 연산증폭기의 기본 특성 및 설계 시 고려 사항

이상적인 연산증폭기는 두 입력의 차이전압만

무한대의 이득으로 증폭하고, 입력 저항은 무한대로서 입력 전류가 0이고, 출력 저항은 0인 이상적인 전압원 특성을 가져야 한다. 실제 연산증폭기는 이상적인 특성에서 벗어나며 가장 중요한 특성은 차동모드 이득과 공통모드 이득이라 할 수 있다. 차동 이득이 크지 않아도 되는 경우에는 차동증폭단만 사용하는 경우도 있지만 보통 충분한 이득을 얻기 위하여 입력 차동증폭단 뒤에 이득단을 추가한다. 이득단은 보통 주파수 보상의 편의를 고려하여 1단을 사용한다. 출력 저항을 작게 하기 위해서는 출력 저항이 작은 컬렉터 또는 드레인 접지 증폭기를 사용하거나 부궤환을 이용한 방식을 사용한다.

공통모드 잡음을 제거하는 역할은 계측 응용뿐만 아니라 집적회로의 경우 특히 인근회로에 의한 방해 신호에 대한 억압 특성을 얻기 위해서도 중요하다. 입력에 사용되는 차동증폭기의 대칭성은 입력 오프셋 전압으로 나타나며, 이로 인하여 동상 신호에 대한 배척 특성도 저하한다. 전원선을 공유하는 회로 사이의 상호 방해는 전원 잡음으로 볼 수 있으며 이에 대한 억압 특성도 중요하다. 주파수 특성은 선형 특성을 가정하기 때문에 진폭에 따른 영향을 나타내기 위해서는 출력 전압의 시간적 변화의 최대 값을 나타내는 슬루율 특성도 알아야 한다. 범용 연산증폭기는 voltage follower와 같이 unity feedback을 걸어준 경우에도 안정한 동작을 하도록 주파수 보상을 하며 통상 dominant pole의 주파수를 충분히 낮추는 방식을 사용한다.

신호의 크기가 작을 때에는 연산증폭기의 잡음 특성이 중요하며 트랜지스터의 열잡음, 산탄 잡음, flicker 잡음, 저항의 열잡음을 고려하여 등가 입력 잡음원으로 환산하여 나타낸다. MOS의 경우 PMOS의 flicker 잡음이 NMOS보다 작으



〈그림 2〉 출력 직렬 오프셋 상쇄 방법

며 트랜지스터의 채널 길이와 폭의 곱이 클수록 잡음이 작다. 회로적으로는 신호의 트랜스컨덕턴스로 사용하는 트랜지스터의 트랜스컨덕턴스를 크게 하고 능동부하로 사용하는 트랜지스터의 트랜스컨덕턴스를 작게 하는 것이 유리하다.

연산증폭기의 또 다른 특성은 입력 공통 모드 전압의 허용 범위와 출력 전압의 범위이다. 사용 전원 전압이 하강함에 따라 입력 공통 모드 전압과 출력 전압 스윙을 크게 하는 것이 더욱 중요해지고 있다. 따라서 트랜지스터가 포화영역에서 동작하기 위해 드레인과 소스 사이에 걸려야 하는 최소 전압을 작게 하도록 채널의 폭 대 길이의 비를 적절히 크게 하여야 한다.

3. 회로 기술의 발전

① 연산증폭기 오프셋 전압의 저감 방법

Sampled 데이터 회로에서 오프셋 전압은 출력 또는 입력에서 제거 또는 억제할 수 있다⁴⁾. 그림 2는 증폭기의 출력에 커패시터를 삽입하여 오프셋을 저장하였다가 신호 증폭시에 제거하는 방식이다. 동작 원리를 살펴 보면 오프셋을 저장하는 때에는 S1과 S4가 열리고 S2와 S3가 닫히게

되며 이 때 결합 커패시터에 저장되는 전압은 식 (1)과 같다.

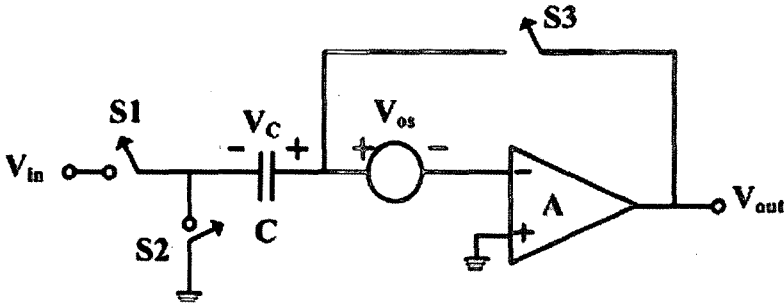
$$V_C = AV_{OS} \quad (1)$$

신호를 증폭할 때에는 S2와 S3가 열리고 S1과 S4가 닫히게 되며 이 때 증폭기의 출력 전압은 식 (2)와 같다.

$$V_{OUT} = AV_{IN} \quad (2)$$

식 (2)와 같이 이상적으로 동작하기 위해서는 오프셋 전압을 저장할 때 증폭기가 포화되지 않아야 하며, 부하 임피던스가 충분히 커서 증폭 시 결합 커패시터를 방전시키지 않아야 한다. 또한 스위치의 커패시턴스가 결합 커패시턴스보다 충분히 작아 전하 주입 효과가 무시될 수 있어야 한다.

그림 3은 증폭기의 입력에 커패시터를 삽입하여 오프셋을 저장하였다가 신호 증폭 시에 상쇄하는 방식이다. 동작 원리를 살펴 보면 오프셋을 저장하는 때에는 S1이 열리고 S2와 S3가 닫히게 되며 이 때 결합 커패시터에 저장되는 전압은 식 (3)과 같다.



〈그림 3〉 입력 직렬 오프셋 상쇄 방법

$$V_C = -A(V_C - V_{Os}) = \frac{A}{A+1} V_{Os} \quad (3)$$

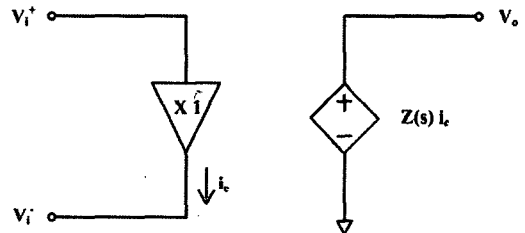
증폭 시에는 S2와 S3가 열리고 S1이 닫히게 되어 출력 전압은 식 (4)와 같다.

$$V_{OUT} = -A \left(V_{IN} - \frac{V_{Os}}{A+1} \right) \quad (4)$$

이러한 오프셋 제거는 낮은 주파수에서 커지는 flicker 잡음의 경감에도 도움이 된다. 낮은 주파수 성분이 제거되어 마치 고역 통과 필터를 거친 것과 비슷한 특성을 갖는다.

② 전류 궤환 방식

전류 궤환 방식은 임피던스가 낮은 입력 노드에 궤환 전류를 돌려주는 방식으로 부궤환 특성에 의하여 오차 전류가 0이 되도록 동작시키는 방식으로 슬루율 특성이 우수하여 고속 동작에 유리하며, 이득을 가변하여도 주파수 특성이 변하지 않는 특성을 얻을 수 있다는 장점을 가지고 있다⁵⁾. 그림 4는 전류 궤환에 사용되는 증폭기의 구조를 보여주고 있다. 그림 4에서 반



〈그림 4〉 전류 궤환 방식에 적합한 증폭기

전 입력은 이득이 1인 전압증폭기를 통하여 비반전 입력에 연결되어 있다. 따라서 두 입력 전압은 같게 되지만 비반전 입력은 높은 임피던스를 가진 노드가 되고 반전 입력은 매우 낮은 임피던스를 가진 노드가 되어 통상적인 연산증폭기에서의 두 입력의 대칭성은 잃게 되지만 반전 노드는 전류 궤환에 적합한 특성을 지니게 된다.

그림 4와 같은 증폭기에 비반전 전압궤환 증폭기처럼 반전 입력과 출력 사이에 궤환 저항 R_f 를 연결하고 반전 입력과 접지 사이에 R_g 를 연결하면 전류궤환 증폭기를 구현할 수 있으며 전압 이득은 식 (5)와 같이 쓸 수 있다.

$$\frac{v_o}{v_i} = \frac{1+R_f/R_g}{1+R_f/Z(s)} \quad (5)$$

여기에서 $v_i = v_i^+ - v_i^-$ 이다.

트랜스임피던스의 주파수 특성은 식 (6)과 같이 표현할 수 있다.

$$Z(s) = \frac{R_t}{1+s/w_c} \quad (6)$$

식 (6)을 식 (5)에 대입하여 정리하면 식 (7)을 얻을 수 있다.

$$\frac{v_o}{v_i} = \frac{(1+R_f/R_g)/(1+R_f/R_t)}{1 + \frac{s}{w_c R_t (1+R_f/R_t)/R_f}} \quad (7)$$

식 (7)에서 볼 수 있는 바와 같이 3dB 주파수는 저항 R_g 와 무관하므로 저주파 이득을 R_g 를 바꾸어 조정하면 대역폭을 일정하게 하면서 이득을 제어할 수 있다.

III. 최신 설계 기술

1. 저전압 아날로그 회로의 동작

디지털 회로의 전력소모는 전원전압의 제공에 비례하므로 전력소모를 감소시키는 가장 효과적인 방법은 동작 전압을 낮추는 것이다. 그러나 아날로그 회로의 경우 전력소모는 전원전압의 강하에 별로 영향을 받지 않거나 오히려 증가할 수도 있다. 전원전압이 V_{DD} 인 아날로그 회로에서 주파수 f 인 정현파 신호가 첨두-첨두 전압 V_{PP} 로 스윙하고 있는 경우 전력 소모는 식 (8)과 같다.

$$P = CfV_{DD}V_{PP} \quad (8)$$

이 때 잡음 전력은 식 (9)와 같다.

$$P_N = \frac{kT}{C} \quad (9)$$

그러므로 신호 대 잡음 비는 식 (10)과 같다.

$$SNR = \frac{CV_{PP}^2}{8kT} \quad (10)$$

따라서 요구되는 신호 대 잡음 비를 충족하기 위해 소모하여야 하는 전력은 기본적인 열잡음만 고려할 때 식 (11)과 같다.

$$P = 8kTfSNR \frac{V_{DD}}{V_{PP}} \quad (11)$$

신호의 스윙을 전원 전압이 허용하는 최대로 시키는 경우 식 (11)은 식 (12)와 같이 쓸 수 있다.

$$P = 8kTfSNR \quad (12)$$

실제 회로에서는 이론적인 한계보다 더 큰 전력이 필요하다. 회로의 커패시터를 충전하는데에는 에너지가 소모되기 때문에 잡음대역폭을 줄여주는 역할을 수행하지 못하는 커패시터로 인하여 실제 회로에서의 전력 소모는 식 (12)보다 크게 된다. 또한 바이어스 회로의 전력소모도 추가되며 열잡음 외의 flicker 잡음을 고려하면 실제 전력소모는 더욱 커지게 된다.

반도체 소자의 차단주파수 B 는 식 (13)과 같이 표현할 수 있다.

$$B = \frac{g_m}{C} \quad (13)$$

여기에서 B의 단위는 rad/sec 이다.

식 (13)을 식 (10)에 대입하면 식 (14)를 얻을 수 있다.

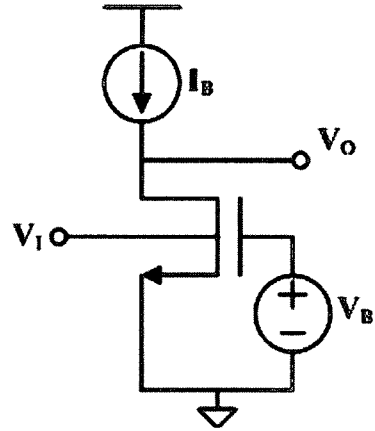
$$SNR \cdot B = V_{pp}^2 \frac{g_m}{8kT} \quad (14)$$

식 (14)를 사용하여 전원전압의 스케일링과 전력소모와의 관계를 설명할 수 있다. 만약 전원전압을 1/k로 낮추면 신호의 스윙도 1/k로 낮추게 되므로 신호 대 잡음비와 대역폭의 곱을 일정하게 유지하기 위해서는 g_m 을 k^2 배로 증가시켜야 한다. BJT 또는 약반전 상태인 MOSFET의 경우에는 g_m 이 전류에 비례하므로 결국 전력소모가 k 배로 증가하게 된다. 그러나 MOSFET이 강반전 상태에서 동작하는 경우에는 (g_m 은 드레인 전류 대 포화 전압의 비에 비례하고, 이 포화 전압은 전원전압을 1/k로 낮추게 됨에 따라 같은 비율로 낮아진다.) 전류를 k 배로 증가시키면 g_m 은 k_2 배가 되며, 결국 전력 소모는 변하지 않게 된다.

2. 저전압 동작을 위한 MOSFET의 사용 방식

① MOSFET의 바디 구동 방식

그림 5와 같이 MOSFET의 게이트에 문턱전압보다 큰 바이어스 전압을 걸어 채널을 형성시킨 다음 바디에 신호를 가하면 채널의 전류를 제어할 수 있으며, 마치 공핍모드 MOSFET 또는 JFET과 유사하게 동작시킬 수 있다. 이 경우 바



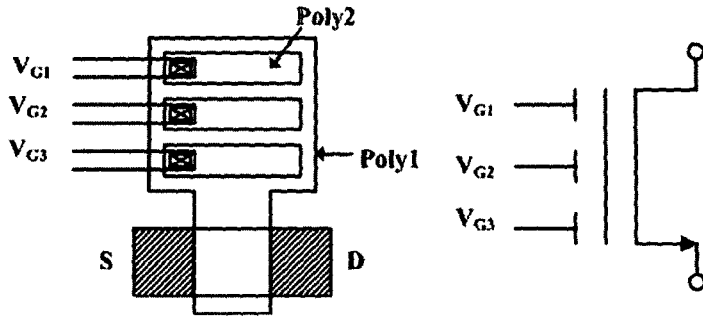
〈그림 5〉 MOSFET의 바디 구동 방식

디에 대해서는 문턱전압이 존재하지 않으므로 저전압에서 동작시키기에 용이하다. 다만 트랜스컨덕턴스가 보통 20 - 40% 정도로 감소하여 이득, 주파수, 잡음 특성이 나빠지는 단점이 있다⁶⁾.

또 하나의 단점은 구조적으로 바디가 전기적으로 격리할 수 있는 경우에만 이 방식을 적용할 수 있다는 점이다. 예를 들어 기판이 p형이면 n-well에 만드는 P채널 MOSFET에 바디 구동 방식이 가능하다는 점이다. 마지막으로 이러한 동작 방식은 기생 바이폴라 트랜지스터를 트리거하여 래치업을 야기할 우려가 있다는 점이다.

② MOSFET의 floating 게이트 동작 방식

저전압 회로의 설계 시 문턱 전압이 서로 다른 트랜지스터를 사용할 수 있으면 다양한 회로 방식을 구사할 수 있다. 공정에서 서로 다른 문턱 전압을 가진 트랜지스터를 만들어 주려면 공정의 복잡도와 비용이 증가한다. 이러한 경우에 EPROM이나 EEPROM 등에서 사용하는 floating 게이트 구조를 적용하여 등가적으로 문턱전압을 바꾸어 줄 수 있다⁶⁾.



〈그림 6〉 다입력 floating 게이트 MOSFET의 레이아웃 및 회로 심볼

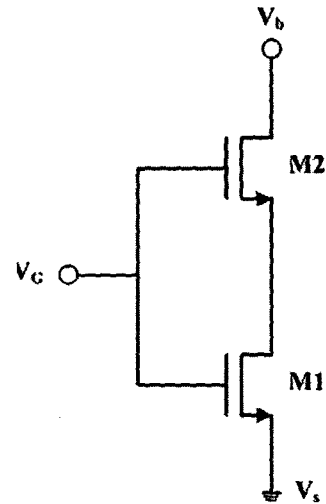
그림 6과 같은 구조로 복수의 floating 게이트를 갖는 MOSFET에서 게이트 전압은 다음과 같이 표현할 수 있다.

$$V_{FG} = (Q_{FG} + C_{FG,D}V_D + G_{FG,S}V_S + C_{FG,B}V_B + \sum_{i=1}^n C_{G_i}V_{G_i}) / G_{\Sigma} \quad (15)$$

여기에서 $G_{\Sigma} = C_{FG,D} + G_{FG,S} + C_{FG,B} + \sum_{i=1}^n C_{G_i}$ 이며, Q_{FG} 는 자외선 조사, 핫 전자 주입, Fowler-Nordheim 터널링 등의 방법을 사용하여 바꾸어 줄 수 있으며 등가적으로 문턱전압을 제어할 수 있게 된다.

③ 셀프 캐스코드 방식

셀프 캐스코드는 그림 7과 같이 두 MOSFET의 게이트를 묶고 채널을 직렬 연결한 구조로서 정상적인 캐스코드에 비하여 드레인과 소스 사이에 작은 전압으로 동작시킬 수 있는 구조이다. 그림 7에서 두 트랜지스터의 문턱전압이 같은 경우 상단 트랜지스터는 포화영역에서 동작하지만 하단 트랜지스터는 트라이오드 영역에서 동작한다⁶⁾.

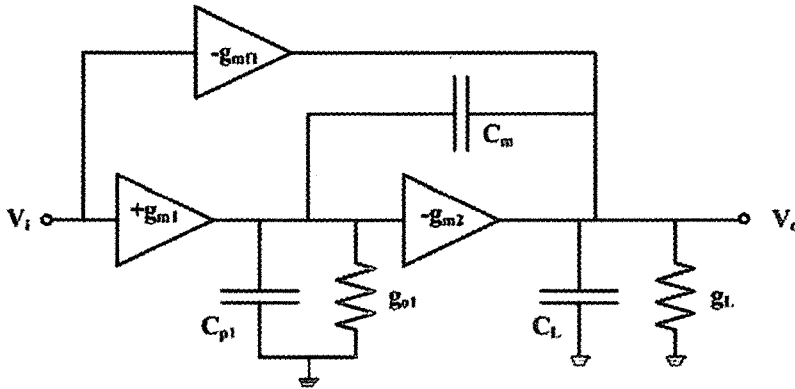


〈그림 7〉 셀프 캐스코드 연결 방법

3. 저전압 동작을 위한 회로 방식

① 차동 입력단

차동 입력단에 NMOS를 사용하는 경우 공통 모드 입력전압은 NMOS의 문턱전압에 드레인-소스 포화전압을 더한 값보다 높아야 하므로 전압이 낮은 경우에 제대로 동작할 수 없다. 반대로 PMOS를 사용하면 전압이 VDD에 가까운 경



(그림 8) Gm-C feedforward 방식

우 동작에 어려움을 겪게 된다. 따라서 저전압용 연산증폭기에서는 입력에 PMOS와 NMOS 차동증폭기를 병렬로 연결하여 사용하며 공통모드 전압이 변화하여도 트랜스컨덕턴스가 거의 일정하도록 유지하는 방법을 사용하기도 한다.

② 다단 증폭기의 주파수 보상

트랜지스터의 intrinsic gain이 감소함에 따라 충분한 이득을 얻기 위해서 단 수를 늘리는 방법이 도입되고 있다. 다단 증폭기에서 사용하는 주파수 보상 방법으로 흔히 사용되는 네스티드 밀러 (Nested Miller) 보상 방식을 이해하기 위하여 우선 Gm-C feedforward 방식을 살펴 본다. 그림 8은 통상적으로 사용하는 밀러 보상 방식의 2단 증폭기의 입력단자로부터 출력단자로 feedforward 경로를 추가한 Gm-C feedforward 방식을 보여 주고 있다. 그림 8의 회로에서 영점을 조건을 적용하면 식 (16)과 같다⁶⁾.

$$\frac{g_{m1}zC_m}{g_{o1}z(C_{p1}+C_m)} = g_{mf} + \frac{g_{m2}g_{m1}}{g_{o1}z(C_{p1}+C_m)} \quad (16)$$

go1을 무시하고 식 (16)을 영점에 대하여 풀면 식 (17)을 얻는다.

$$z = \frac{1}{\frac{C_m}{g_{m2}} - \frac{g_{mf}(C_{p1}+C_m)}{g_{m1}g_{m2}}} \quad (17)$$

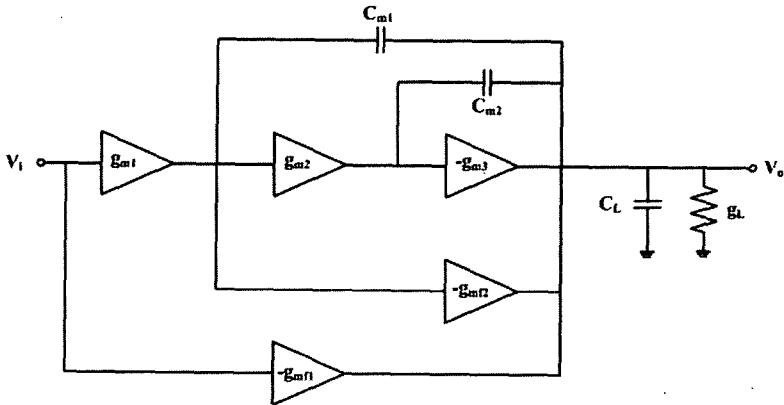
식 (17)에서 영점을 무한대로 보내기 위한 조건은 식 (18)과 같다.

$$g_{mf} = g_{m1} \frac{C_m}{C_m + C_{p1}} \quad (18)$$

이러한 방식을 3단 증폭기에 적용한 예를 그림 9에서 볼 수 있다.

IV. 결론

아날로그 신호처리를 위한 핵심 블록인 연산 증폭기에 대하여 발전사, 설계시 고려 사항, 최신 설계 방식 등을 MOS 기술 중심으로 살펴 보



〈그림 9〉 3단 증폭기에 대한 nested Gm-C Miller 보상 방식

았다. MOSFET의 채널 길이가 짧아지고 전원전압이 낮아짐에 따라 아날로그 회로 동작 특성은 저하되고 있으며, 이를 극복하기 위한 다각적인 기법이 고안되고 있다. 향후 연구하여야 할 주요 과제로서는 저전압 회로 설계, 문턱전압 이하에서 동작하는 저전력 회로 설계, 효율적인 시스템 온칩 설계를 위한 아날로그 회로의 IP화 및 합성 기술 개발 등을 들 수 있다.

stabilization,” Proc. IEEE vol. 84, no. 11, pp. 1584-1614, 1996.

- [5] F. J. Lidgey and K. Hayatleh, “Current-feedback operational amplifiers and applications,” Electronics & Communication Engineering Journal, pp. 176-182 Aug. 1987.
- [6] S. Yan and E. Sanchez-Sinencio, “Low voltage analog circuit design techniques: a tutorial,” IEICE Trans. Analog Integrated Circuits and Systems, vol. E00-A, no. 2, pp. 1-17, 2000.

==== · 참고문헌 · =====

- [1] L. De Forest, “The audion-detector and amplifier,” Proc. IEEE, vol. 87, no. 9, pp. 1881-1888, 1999.
- [2] B. Gilbert, “Introduction to ‘The Transistor-A New Semiconductor Amplifier’,” Proc. IEEE, vol. 87, no. 8, pp. 1385-1388, 1999.
- [3] H. S. Black, “Stabilized feed-back amplifiers,” Proc. IEEE, vol. 87, no. 2, pp. 379-385, 1999.
- [4] C. C. Enz and G. C. Temes, “Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper

저자소개



정 항 근

1977년 서울대학교 전자공학과 학사
1979년 한국과학기술원 전기및전자공학과 석사
1989년 University of Florida 전기공학과 박사
1979년-1982년 한국전자통신연구원 연구원
1989년-1991년 Motorola, Inc. Staff engineer
1991년-현 재 전북대학교 전자정보공학부 교수,
전자정보신기술연구소 연구원
주관심분야 CMOS 아날로그 집적회로 설계, 고주파
회로 설계, 주파수 합성기