

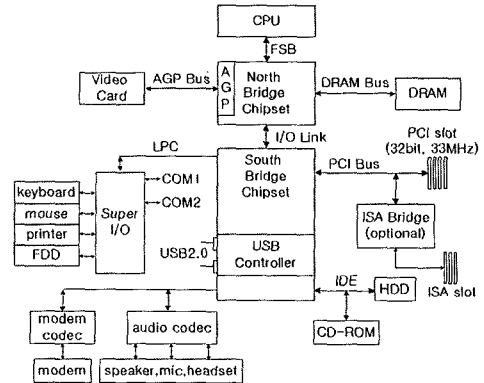
Universal Serial Bus(USB) Transceiver Chip 설계

남장진, 박상훈, 최광희, 박홍준 (포항공과대학교 전자컴퓨터공학부)

본 논문에서는 PC와 주변장치의 인터페이스 수단으로 최근 들어 그 수요가 증가하고 있는 USB(Universal Serial Bus) 시스템, 특히 멀티미디어 기기의 실시간 데이터 송수신을 가능하게 만들어준 USB2.0 표준에 대해 요약한다. 또한, PC를 중심으로 한 tree 형태의 연결 구조를 갖는 기존의 USB와는 다르게, 주변기기들 사이의 점대점(point-to-point) 연결을 지원함으로써, 제한적인 범위 내에서는 PC 없이도 통신이 가능하게 만든 OTG(On-the-Go) 표준에 대해 소개한다. USB2.0 및 OTG의 보다 빠른 개발과 시장진입을 위해 마련된 IP 표준안인 UTMI (USB2.0 Transceiver Macrocell Interface), UTMI+ 및 ULPI(UTMI+ low pin interface) 표준을 소개하고, 이들 기술을 적용한 PHY 칩의 개발 동향에 대해 기술한다.

I. PC 인터페이스의 개발 동향

<그림 1>에는 일반적인 펜티엄 PC의 대략적인 내부 연결 구조를 보였다. 그래픽카드나 메모리 모듈 등의 인터페이스는 'north bridge chipset'에서 담당하며, 'south bridge chipset'에



<그림 1> PC 주 기판의 주요 연결도

서는 각종 I/O에 대한 인터페이스인 PCI bus와 IDE 버스, COM1/COM2와 같은 직렬 포트 및 병렬 포트들에 대한 인터페이스를 관장한다. <표 1>과 <표 2>에는 기존의 대표적인 병렬 및 직렬 인터페이스 방식들의 종류와 특징에 대하여 정리하였다. 초기 PC의 시스템 버스로 사용되던 ISA, VESA(VL) 시대를 거쳐 요즘의 PC는 모두 PCI 버스에 기반을 두고 있다. PCI 버스가 개발되면서 Plug & Play 개념이 처음 도입되었고, IRQ 공유 기능이 PCI 2.0부터 지원되어 같은

〈표 1〉 병렬 인터페이스 표준

	개발 년도	Bit 수	최대대역폭(MB/s)	클럭주파수(MHz)	용 도
IDE	1986	8	1, 3	1, 3	HDD
EIDE	1994	8	16.6	16.6	HDD
SCSI	1986	8	5	5	주변기기
SCSI2	1994	8	10	10	
		16	20		
SCSI3	1996	8	20	20	
		16	40		
ISA	1987	16	0.5, 5	0.5, 1.25	286 PC Bus
EISA	1988	32	33	8.25	386 PC Bus
VL 1.0	1992	32	132, 167	33, 50	486 PC Bus
VL 2.0	1994	64			
PCI	1992	32	132, 264	33, 66	Pentium PC Bus
AGP	1997	32	266~2,100	66~533	Graphic card

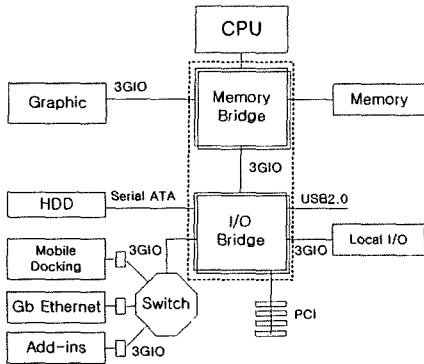
〈표 2〉 직렬 인터페이스 표준

	개발년도	Bit 수	동작속도	용 도
RS232-C	1969	1	20kbps	주로 PC와 모뎀 연결
ACCESS. Bus	1985	1	100kbps	저속의 I/O device 연결
IrDA	1993	1	9.6Kbpstypical	PDA, notebook PC, printer 등의 데이터 전송
USB 1.1	1994	1	1.5/12Mbps	PC 주변기기
USB 2.0	2000		480Mbps	
IEEE1394	1995	1	100/200/400Mbps	Digital TV, Digitalcamera, DTV ...

IRQ를 사용하는 PCI 카드의 장착이 가능하게 되었다.

CPU의 동작주파수가 수 GHz를 넘어서게 되면서, CPU와 주 기판 상의 장치들간의 병목현상 없는 데이터 처리를 위하여 기존의 대표적인 병렬 인터페이스 방식들인 IDE(ATA), SCSI 및 PCI 방식들은 새로운 직렬 인터페이스 방식인

SATA(serial ATA), SAS(serial attached SCSI), PCI-Express 표준들로 변화가 시도되고 있다. SATA는 데스크톱용 하드디스크 인터페이스 기술인 IDE(ATA)에 근간을 두고 있는 반면 SAS는 서버에 주로 사용되는 SCSI의 후속 기술이다. SATA는 2001년 1.5Gbps의 1세대 표준을 마련한 데 이어, 2007년까지 6Gbps로 동작하는 3세



(그림 2) PCI Express 기반의 차세대 PC 플랫폼

대 표준을 선보일 예정이며, SAS는 3Gbps의 1세대 이어 6Gbps의 2세대 표준을 준비하고 있다. 3GIO로도 불리는 PCI Express의 개발은 근본적으로는 한계에 도달한 PCI를 대체하기 위함이다. 멀티드롭(multi-drop) 구조의 병렬 버스 방식인 PCI를 대신해, 점대점(point-to-point) 방식의 직렬 인터페이스 구조와 차동 모드 데이터 전송을 통해 포트당 2.5Gbps의 전송속도를 달성한다. PCI Express는 인텔의 지원아래 그 개발이 가속화되고 있는데, <그림 2>에 PCI Express를 기반으로 하는 인텔의 차세대 PC 플랫폼의 한 예를 보였다.

인텔 주도의 PCI Express에 맞서는 또 다른 차세대 버스 표준인 하이퍼-트랜스포트(HyperTransport) 기술은 AMD를 중심으로 API 네트워크, 애플, 시스코, 엔비디아, 선, 트랜스메타 등이 기술 컨소시엄을 구성해 관련 기술에 대한 협의를 활발하게 진행하고 있으며, 이 기술을 장착한 nForce2/3, AMD 8111/8131/8151 등의 칩셋을 이미 선보이고 있다. 이 외에도, 현재 대중적인 버스 규격인 PCI 규격을 유지 발전시킬 목적으로, PCI-SIG(Special Interest Group)는 미니 PCI, PCI-X 규격을 제시하였는데, 개발 비용

절감은 물론 폭 넓은 호환성을 유지할 수 있어 관심을 모으고 있다. 또한 대표적인 PLD 업체중의 하나인 Lattice사는, backplane 적용을 위해 RapidIO의 직렬 표준과 병렬 표준을 마련하여 모토롤라를 비롯한 업체의 주목을 받고 있다.

시스템 버스의 직렬화는 인접한 데이터 선에 의한 신호간섭이 적어 고속 데이터 전송 환경에서의 신호 보존성이 뛰어나며, 보다 간소화된 설계 및 소형화가 가능하고 확장성이 뛰어나기 때문에 향후 PC 플랫폼의 새로운 표준으로 채택될 가능성이 크다. <표 3>에는 PC 주 기관용 차세대 인터페이스 기술로 주목 받고 있는 대표적인 병렬 및 직렬 인터페이스 방식들의 성능과 특징들에 대해 정리 하였다.

PC 주 기관 상에서의 CPU와 주변 장치들 사이의 연결 방식과는 달리, PC 외부 주변기기와의 연결은 south bridge chipset을 통해 이루어진다. 많은 양의 데이터를 처리하는 모니터나 프린터, 스캐너 등은 병렬 포트(프린터포트) 및 SCSI 버스를 통해 PC와 연결되는데, 인터페이스를 위한 신호선 개수를 줄이고 한 개의 PC에 연결할 수 있는 주변 장치의 개수를 증가시키기 위해 daisy chain 방식의 직렬 인터페이스 방식들이 주로 개발되었다. 이들은 <표 2>에 보인 ACCESS.bus, USB, IEEE 1394들이다.

RS232C 및 Access Bus 방식은 host나 주변 장치의 구조가 복잡하지 않아서 저가로 구현이 가능하지만, 20~100Kbps의 낮은 대역폭으로 인해 키보드나 마우스와 같은 낮은 대역폭의 주변장치에 적용되었다. 400Mbps의 대역폭을 갖는 IEEE1394는 1995년에 IEEE 표준으로 채택된 후 고속 데이터 전송을 필요로 하는 멀티미디어 신호의 인터페이스 방식으로 널리 채택되고 있다. 그러나 시스템의 구성이 복잡하여 구현 비용

〈표 3〉 차세대 I/O 인터페이스

Function/ Feature	HyperTransport	PCI-X	PCI Express	Radio I/O(serial)
Physical interface	dual, unidirectional, parallel	bidirectional, parallel	dual, unidirectional, serial	dual, unidirectional, parallel, serial
Topology	point to point, daisy chain	Multi-drop, PCI tree	point to point, PCI tree	point to point, Any
Link Width	2,4,8,16, or 32bits	32 or 64 bits	1,2,4,8,12,16 or 32 bits	8or16bits-parallel (1or4bits-serial*)
Frequency	400-1600 MHz	66/266/533 MHz	2500 MHz	250-1000MHz (1.25, 2.5, or 3.15 GHz*)
Distance	Short	Short	Moderate	Long
Data Throughput	Up to 12.8GB/s	Up to 4GB/s	Up to 16GB/s	Up to 8GB/s (Up to 2.5GB/s*)
Max. payload	64B	4096B	4096B	256B
Signaling	LVDS	CMOS	LVDS	LVDS
Memory Model	coherent and non-coherent	non-coherent	non-coherent	coherent and non-coherent
Compatibility to PCI	software only	fully compatible	software only	No
Applications	chip-to-chip Limited backplane	chip-to-chip Limited backplane	chip-to-chip backplane	chip-to-chip

이 증가하고, 낮은 데이터 전송률을 갖는 마우스와 같은 장치들에 적용하기에는 대역폭이 너무 높아서 상대적인 효율성이 떨어지는 단점이 있다. IrDA 인터페이스 방식은 적외선을 사용한 통신 방식으로 비교적 저속인 9600kbps 정도의 속도로 데이터를 전송한다. 그러나 이 방식은 적외선의 특성상 4~6피트 이내의 근거리에서만 데이터가 전송 가능한 단점이 있다. USB 시스템의 경우, 대역폭이 1.5Mbps(LS:Low Speed),

12Mbps(FS:Full Speed), 480Mbps (HS:High Speed)의 세 가지 모드를 지원하므로 다양한 종류의 PC 주변 장치들에 선택적으로 적용이 가능하다. <표 4>에 보인 바와 같이, 전송속도나 응용 범위 및 경제성 등을 고려할 때, USB 시스템은 PC 주변 장치들에 대한 가장 적절한 직렬 인터페이스 수단이 됨을 알 수 있다.

본 논문의 제 II장에서는 PC와 주변기기를 연결하는 범용 직렬인터페이스 표준인 USB2.0 시

〈표 4〉 대역폭으로 분류한 PC 주변기기

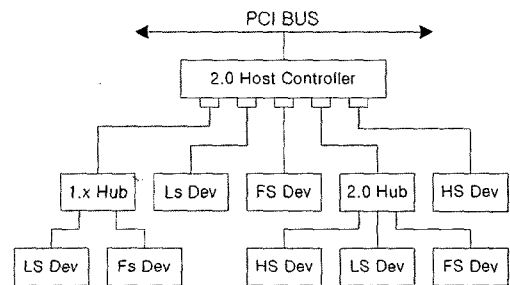
Performance	Application	Attributes
low speed : 1~100Kb/s	keyboard, mouse, game peripherals, monitor configuration	Lower Cost Ease of use Dynamic attach Multiple peripherals
mid. speed : 0.5~10Mbps	Phone, Digital Audio, Compressed Video Broadband	Low speed support Guaranteed latency Guaranteed bandwidth
high speed : 25~500Mbps	Video, Hard Disk, Memory Stick, Digital camera, Scanner, Broadband	Medium speed support High Bandwidth

시스템의 특징 및 구성에 대해 살펴보고, 제 3절에서는 USB2.0 PHY와 관련한 최근의 표준화 동향에 대해 중점을 두어 정리하며, 세부적인 USB2.0 PHY 기술의 개발 현황에 대해 기술한다.

II. Universal Serial Bus

1. USB 시스템의 특징

기존의 PC에서는 주변장치들을 본체에 연결하기 위해 PC의 전원 차단이 먼저 이루어져야 하였으며, 별도의 configuration 과정을 수행하여 장치 인식을 매뉴얼로 처리하여야 했다. 또한, 주변 장치들은 CPU의 I/O address 공간에 할당되어 특정 IRQ line, 혹은 몇몇 경우에는 DMA 채널에 할당되었으므로 많은 시스템 자원을 소모하게 되었고, configuration시에 일어나는 각 장치간의 충돌 현상들은 종종 고객들을 당혹하게 하였다. 표준화된 PC 인터페이스(serial or parallel)에서의 제한된 확장성은 ISA/EISA 카드나 PCI 카드 등의 추가적인 설치를 요구하였으



〈그림 3〉 USB Topology

며, 각 장치마다 서로 다른 커넥터 및 케이블로 인해 시스템을 구성하고 주변장치를 연결함에 있어 상당한 비용이 필요하였다.

이러한 기존의 문제점들을 해결하기 위한 새로운 PC 기반 직렬 인터페이스 표준으로 등장한 것이 바로 USB(Universal Serial Bus) 시스템이다. <표 5>에는 USB 시스템의 주요 특징을 요약하였다. 주변기기들 마다 서로 다른 연결 수단을 사용하던 종래의 PC 환경과는 달리, USB 방식이 PC 주변장치의 인터페이스 수단으로 자리잡음에 따라 병렬 포트나 SCSI 인터페이스를 장착

<표 5> USB2.0 시스템의 주요 특징

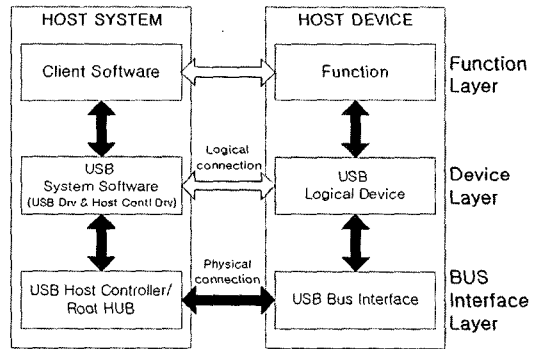
특징	설명
Hot Pluggable	PC 전원의 차단 없이 장치 탈부착이 가능
Plug & Play	장치 연결과 동시에 OS에 의한 자동적인 장치인식 및 configuration 가능
단일 커넥터	모든 장치에 동일한 케이블 사용
확장의 용이성	포트당 127개까지 USB device를 연결 가능
효율적인 대역폭 할당	Low Speed(1.5Mbps), Full Speed(12Mbps) High Speed(480Mbps)의 세가지 동작 모드 지원
용이한 전원공급	최대 500mA까지 Cable을 통한 전원 공급이 가능
낮은 시스템 의존성	PC의 Memory나 I/O address, 그리고 IRQ line을 사용하지 않음
호환성	USB1.1장치들과 호환성 유지하며, 같은 커넥터와 케이블 사용
다양한 전송방식	4가지 전송모드지원: Bulk(비동기식), Control, Interrupt, Isochronous(실시간)

하던 대용량 FDD, 스캐너, 프린터 등 외장형 주변장치들이 USB 방식으로 교체돼 출시되는 추세며, PC와 노트북은 물론 SCSI 인터페이스를 기본으로 장착하던 매킨토시도 예외 없이 USB 인터페이스를 지원하고 있다.

2. USB Topology

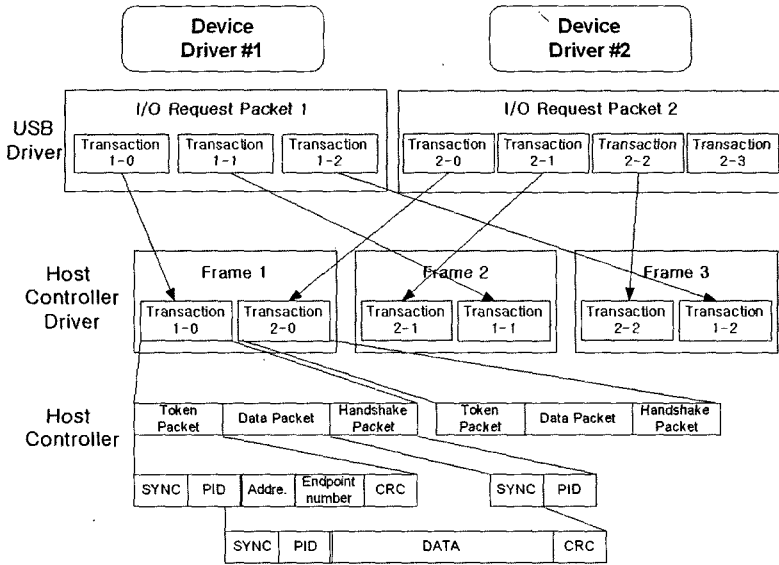
모든 기기들이 'peer-to-peer' 방식으로 연결되는 IEEE1394와는 달리, <그림 3>에 보인 바와 같이, USB는 PC를 호스트로 하여 'tired' 연결 구조를 갖는다. 추가적인 장치의 연결은 Hub를 통하여 이루어지는데, 호스트로부터 주변장치까지의 turn-around 시간 제약 때문에 직렬로 연결 가능한 최대 허브의 수는 5개로 제한되며, 따라서 Hub를 사용해 최대 127개의 장치 연결이 가능하게 된다.

USB의 하드웨어는, PC mother board에 위치하는 Host controller와 root hub, 주변기기들의 확장 연결 수단을 제공하는 Hub, 그리고 주변



<그림 4> communication flow of the USB system

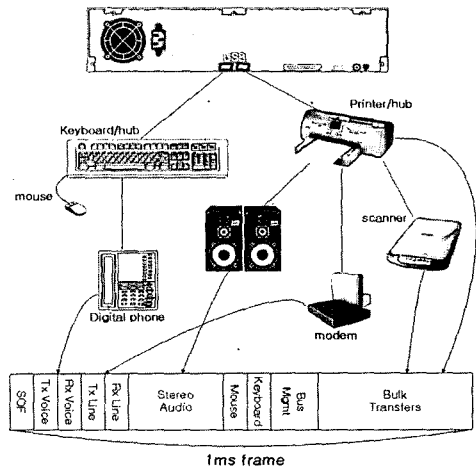
장치들인 Device의 세가지로 이루어지며, 소프트웨어는 각각의 주변기기에 해당되는 USB device driver(client driver), OS에서 지원되는 시스템 소프트웨어인 USB driver(USB D)와 host controller driver(HCD)로 구성된다. PC와 주변장치와의 통신은 client driver에 의해 초기화되는데, <그림 4>는 USB 시스템을 구성하는 계층간의 물리적인 연결구조 및 논리적 연결구조에 대하여 보였다.



<그림 5> The layers involved in USB transfers

3. 통신 방법

<그림 5>는 frame과 transaction, packet의 구조 및 client software에서 데이터를 전송할 경우, USB, HCD를 거치는 동안의 data 형식 변화를 보였다. Client software들은 IRP(IO Request Packet)를 이용해서 USB에 'request'를 보내며, 이러한 IRP들이 해당 USB 장치들간의 데이터 송수신 모드를 초기화 시키는 역할을 한다. Client software는 연결된 장치들의 종류와 수에 따라 여러 개가 동시에 존재한다. 주변 장치의 전송 가능 속도, 수용 가능한 데이터 양, 다른 장치들에 의한 USB 사용 여부 등에 대한 정보를 바탕으로, USB는 client driver의 IRP를 단위 frame 내에서 수행될 수 있는 적절한 크기의 여러 transaction 단위로 나눈다. HCD는 준비된 각각의 'transaction'이 한 frame 시간 내에 수행될



<그림 6> USB devices performing transfers during frame

수 있도록 배정하는 기능을 한다. 예를 들어, 실시간 전송(Isochronous transfer)이 필요한 멀티미디어 장치의 경우에는 매 frame마다 'transaction'

〈표 6〉 전송 가능한 최대 데이터 패킷의 크기 비교

		USB1.1(byte)	USB2.0(byte)
Periodic transfer	Interrupt	FS: 8,16,32,64 LS: 8	1024
	Isochronous	1023(one per frame)	1024(1,2 or 3 per u-frame)
Non-periodic transfer	Control	FS: 8,16,32,64 LS:8	8,16,32,64
	Bulk	FS: 8,16,32,64 LS: not allowed	512

이 이루어질 수 있도록 하고, 키보드의 데이터를 받아들이는 경우와 같이 주기적인 polling이 필요한 장치들의 경우는 n번째 프레임마다 한 번씩 'transaction'이 수행될 수 있도록 배정한다.

USB에서의 통신은 프레임 단위로 이루어지는데, FS의 경우 한 프레임에는 1ms가 할당되며, HS의 경우 125us 단위의 마이크로 프레임이 할당된다. HS 통신에서, 125us 동안 전송 가능한 데이터 양은 60,000bit, 즉 60MB/s에 이른다. HS의 높은 전송속도 때문에, 동일한 케이블 지연이 발생할 경우 overhead가 FS에 비해 상대적으로 늘어나게 되므로 버스효율은 낮은 반면, 단위 시간에 전송 가능한 데이터 양이 증가하며, 따라서 결과적으로 HS의 데이터 대역폭이 증가한다. USB-IF(Implementers Forum)에서 행한 실험에 따르면, 1024Byte의 Isochronous 데이터를 전송할 경우, HS에서는 13.6%의 버스 대역폭을 소모하는 반면, FS에서는 87%의 버스 대역폭을 사용한다. HS 전송의 이러한 특성은 동일 프레임 내에 처리 가능한 주변 장치의 수를 증가시키므로, 보다 많은 주변기기들을 USB에 연결할 수 있게 해 준다. <그림 6>은 여러 장치들이 동시에 USB 버스를 공유할 경우의 프레임 구성의 한 예를 보인 것이다. PC에 인터페이스 되는 주변기

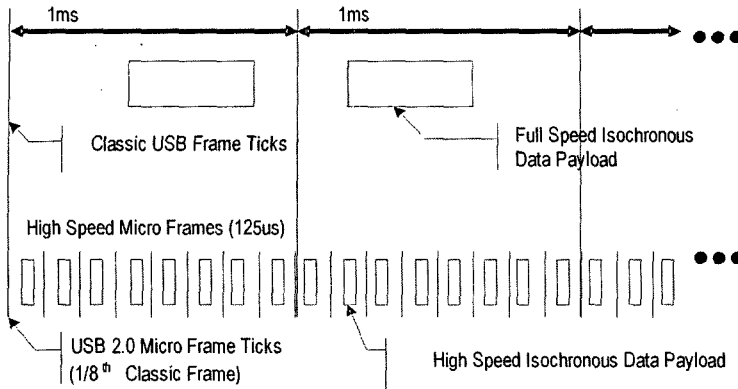
기의 수가 증가함에 따라, 버스 공유에 따른 버스 효율성 문제가 야기되었으며, 이로 인해 최근 출시되는 PC 플랫폼에서는 듀얼 호스트를 채용하여 모두 4개의 USB 포트를 root-hub에서 기본적으로 제공하고 있다.

III. USB2.0 표준화 및 기술개발 동향

1. USB2.0 표준

가. 프로토콜의 변화

2000년 발표된 USB 2.0 표준은 고속의 주변기기 및 PC 사이의 데이터 송수신 시 발생하는 데이터 병목 현상을 해결하기 위해서, 동작속도를 40배 증가시켜 480Mbps의 동작 속도를 달성하였다. 호환성 유지를 위해, USB2.0은 케이블과 커넥터의 교체 없이 고속 동작을 실현하기 때문에 사용자들로부터 추가 경비의 부담을 들어주었다. 또한 USB1.1에서는 지원하지 않았던 실시간 데이터 전송 (Isochronous Transfer)도 함께 지원함으로써 IEEE 1394에 비해 단점으로 지적받아오던 고속의 멀티미디어 송수신도 가능하게 하였다. USB1.1과 비교하였을 때, HS 데이터의 프레임 시간을 125us의 micro-frame으로 함으



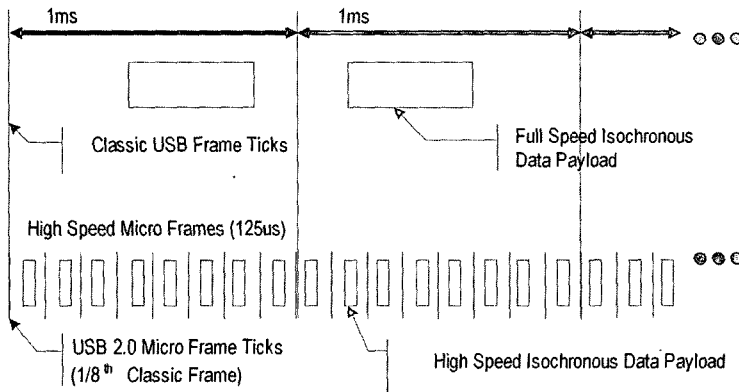
〈그림 7〉 FS frame과 HS micro-frame의 대역폭 비교

로써 device에서의 데이터 버퍼링을 감소시켜 로직을 간소화하였고, <표 6>에 보인 바와 같이 최대 전송 가능한 packet의 종류를 줄여서 호스트 구조를 간소화 하였다. 또한, bulk, interrupt, isochronous packet의 크기를 증가시켜서 버스 효율을 개선함은 물론 전체적인 throughput을 증가 시켰다. USB1.1과의 호환성 유지를 위해서 HS Hub는 FS와 LS용 디바이스의 연결 수단을 제공하며, FS/LS 전송에서의 USB2.0 bus의 효율 극대화를 위하여, 프로토콜 면에서는 크게 'ping transaction' 과 'split transaction' 을 추가 하였다.

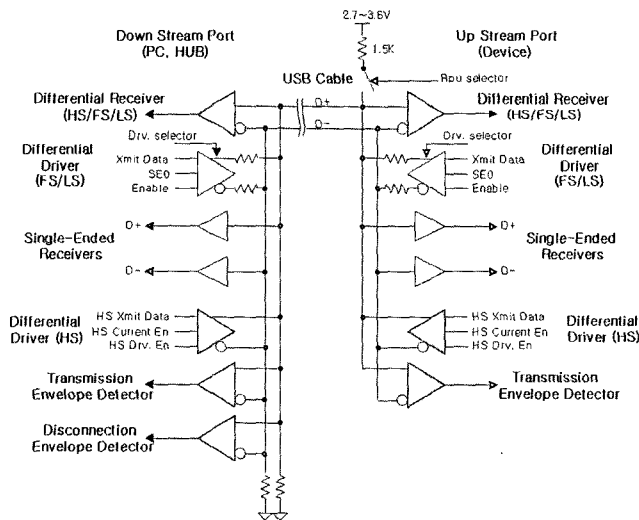
Ping transaction은 bulk/interrupt 전송의 OUT transaction의 경우 사용된다. Bulk와 interrupt 전송은 FS모드로 통신이 이루어 진다. HS hub로부터 전송 받은 이전 데이터의 처리가 끝나지 않은 시점에서 또 다른 데이터를 받게 되면, 디바이스는 Hub에 NAK를 handshake 한다. 이 과정에서 두 번째 송신된 데이터를 잃게 되는 문제가 발생할 수 있으며 데이터 송수신에 오랜 시간이 소요 될 수 있다. PING은 데이터의 송신 전에, 미리 token packet만을 보내어 작업의 완료 여부를 확

인 받는 방식이다. <그림 8>에서와 같이, 최대 512Byte의 interrupt 데이터를 보내기 위하여 OUT transaction을 할 경우에는, 530Byte의 bus time과 두 배의 inter-packet 지연이 존재하는데 비해, PING transaction을 사용할 경우에는 4Byte의 bus time과 1 inter-packet 지연만이 존재하게 되므로 bus 대역폭을 효율적으로 관리할 수 있다.

<그림 3>에 보인 topology에서와 같이 HS Hub에 FS/LS 디바이스가 연결될 경우, root 허브와 HS 허브는 HS로 통신하는 반면, HS 허브와 FS/LS 디바이스와의 통신은 FS/LS 속도로 이루어지므로, FS/LS 모드로 한 transaction이 이루어지는 동안 다른 장치의 버스 공유가 제한되어 전체 버스의 효율이 떨어지게 된다. Split transaction은 root 허브와 HS 허브 사이에 사용되는 통신 프로토콜로, root 허브에서 하위의 FS/LS 디바이스와 통신할 경우, HS Hub에 있는 TT(transaction translator)가 이를 관장하여 처리함으로써 root 허브의 bus 효율성을 보장해주게 된다.



<그림 8> PING Transaction versus OUT Transaction

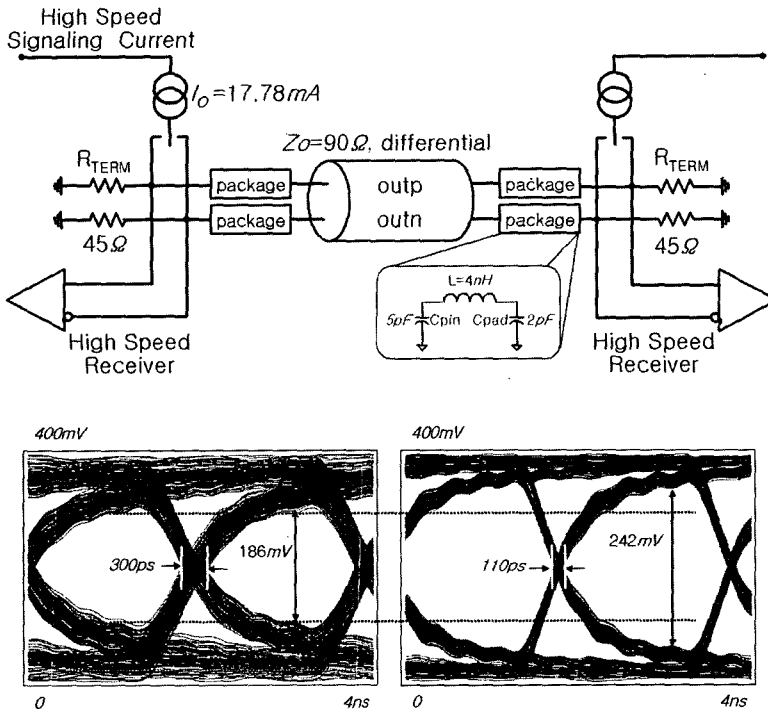


<그림 9> Analog front-end(AFE) of USB2.0 PHY

나. 물리계층의 성능 개선

USB2.0의 가장 인상적인 개선점은 무엇보다도 480Mbps의 고속 데이터 전송의 실현에 있다. USB2.0의 analog front-end(AFE)의 구성은 <그림 9>에 보였다. 기존 USB1.1과 같은 케이블과 커넥터 환경에서 480Mbps의 전송속도를 달성

하기 위하여 HS 모드의 signaling은 전류모드 차동 신호 전송 방식을 채택 하였다. <그림 10>에 보인 바와 같이, HS 데이터 전송을 위해서는 17.78mA의 내부 전류원이 사용되는데, 케이블의 양단이 USB케이블의 임피던스인 45Ω으로 종단되므로 케이블에는 +/-400mV의 차동 전압



〈그림 10〉 Current mode HS signaling scheme with dual termination & eye diagram at both ends of USB cable

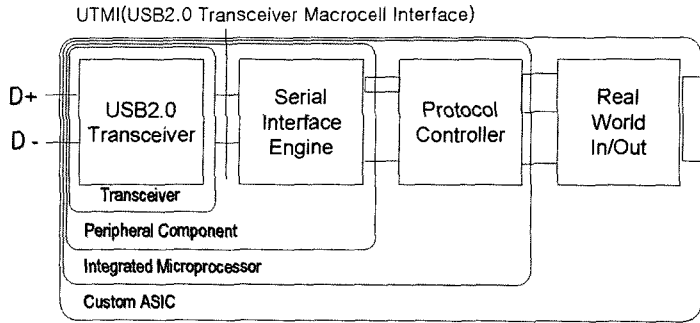
이 인가된다. 케이블 양단을 종단하는 것은 전송 단만을 종단하였을 경우보다 전압여유 및 타이밍 여유를 각각 1.3배, 2.7배 증가시켜 480Mbps 전송속도에서의 신호 보존성을 크게 향상시키게 된다. HS 데이터 전송 시, 45Ω의 종단 저항은 FS/LS 구동회로에 의해 제공된다. 즉, 'SEO' 제어 신호에 의해 FS/LS용 구동회로의 pull-down 트랜지스트 on저항 과 직렬 연결 저항의 합이 45Ω이 되도록 조절된다. HS driver/receiver와 더불어 USB2.0 AFE에서 추가된 블록으로는, 케이블의 연결 여부를 detection하기 위한 'disconnection envelope detector'가 호스트 측에 추가되었으며, 노이즈 환경에서의 수신데이터

신뢰성을 보장하기 위하여 'transmission envelope detector'가 호스트와 디바이스 측에 추가되었다.

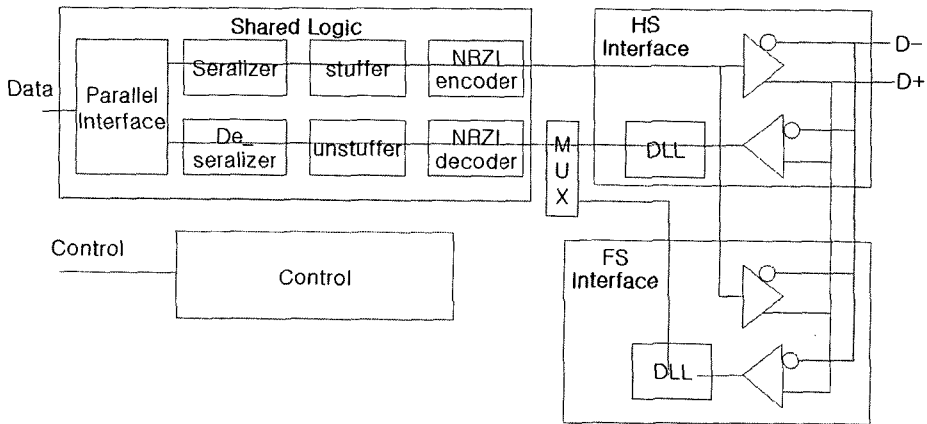
2. UTMI(USB2.0 Transceiver Macrocell Interface) 표준

가. UTMI의 특징 및 기능

비록 USB가 PC 기반의 범용 직렬 인터페이스를 표방하고 있지만, PC 주변장치 개발업자들의 입장에서 보면, 기존의 주변장치를 USB용 장치로 전환하기 위해서는 USB 시스템 전반에 대한 이해와 이의 구현이라는 난해한 문제에 봉착하



<그림 11> USB device architecture



<그림 12> UTMI compatible USB2.0 PHY block diagram

게 된다. 특히 480Mbps로 동작하는 고속의 아날로그 회로들을 USB 프로토콜을 관장하는 디지털 로직 및 디바이스와 더불어 one-chip으로는 구현한다는 것은 큰 부담이 아닐 수 없다. 따라서 개발업자들은, 고속으로 동작하는 아날로그 블록이나 USB 프로토콜과 관련된 블록을 IP 형태로 공급 받을 수 있다면, 이전과 마찬가지로 단지 주변장치의 기능만 구현함으로써 USB 시스템의 구현이 가능하다고 판단하였다.

기존의 주변장치 프레임워크를 그대로 유지하면서

도 주변기기가 USB 인터페이스에 보다 쉽게 연결될 수 있도록 하기 위하여, 인텔은 2001년 3월 UTMI(USB2.0 Transceiver Macrocell Interface) revision 1.05 표준을 확정 발표하였다. USB 주변장치의 구조는 그 기능적인 면에서 볼 때, <그림 11>과 같이 크게 4개의 블록으로 나누어 볼 수 있다. 물리 계층인 USB2.0 transceiver는 USB 케이블과의 직렬 통신을 담당하고, SIE(Serial Interface Engine)는 USB 프로토콜 처리를 관장한다. 주변장치 개개의 기능을 구현한 블록이

〈표 7〉 상용 USB2.0 PHY칩의 사양 비교

	Genesys GL800	SMSC GT3200	Cypress CY7C68000	Gawasaki KL5KUSB201
process	0.35 μ m CMOS	0.18 μ m CMOS	0.35 μ m CMOS	0.18 μ m CMOS
supply	3.3V	3.3V/1.8V	3.3V	3.3V/1.8V
power	96mA	72mA	175mA	90mA
package	48pin	64pin	56pin	64pin
interface	16 bit	16/8bit	16/8bit	16bit
lsuspend	16 μ A	123 μ A	15 μ A	50 μ A
termination	on chip	on chip	on chip	off chip
Xstal	12MHz	12MHz	24MHz	48MHz

protocol controller이며, 실제 디바이스와의 인터페이스 부분은 real world in/out 블록으로 정의하였다. 이들 중, USB 기능과 관련 있는 UTM과 SIE 사이의 인터페이스 표준이 UTMI인데, UTM과 SIE는 ASIC vendor 들이 IP 형태로 개발하도록 하고, 장치 개발업자들은 device와 관련된 로직만 담당할 수 있게 됨으로써 보다 쉬운 제품 개발이 가능하게 되었다. USB2.0 transceiver는 케이블과는 480Mbps의 직렬통신을 하며 SIE와는 16/8bit의 병렬 통신을 한다. 수신단에서의 데이터 복원을 위한 bit stuffing 및 NRZI 인코딩을 담당하며, SIE의 제어신호를 바탕으로 resume, suspend, reset, speed signaling과 같은 프로토콜을 처리할 수 있도록 설계 되어야 한다.

나. UTMI 개발 동향

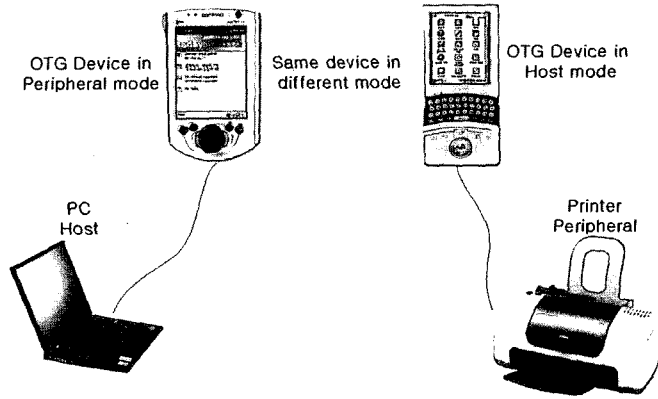
국내에서는, 비교적 그 구조가 간단하여 FPGA 수준에서 구현 및 검증이 가능한 USB1.1 이 자체 개발 혹은 license 계약의 형태로 다양한 제품에 적용되어 시판되고 있으며, 반도체 IP 등록 센터인 SIPAC 및 IpCos에는 각각 19종, 8종의 USB 관련 IP들이 등록되어 있다. 그러나,

USB2.0과 관련한 기술개발은 극히 미진한 실정인데, ETRI 및 Altek등에서는 USB2.0 device controller 관련 IP를 확보하고 있는 것으로 조사되고 있으나, 국내에서 USB 2.0 transceiver chip에 대한 상용화 수준의 개발은 아직 보고된 바 없다. 외국의 경우, 이미 2002년 중순경부터 필립스, 사이프레스, 가와사키 등의 IC vendor들이 UTMI호환 PHY IP를 확보하여 시장을 선점하고 있다. <표 7>에는 market에서 최근 거래되고 있는 UTMI 호환용 PHY chip들에 대한 특성을 비교 하였다.

3. USB OTG(On-the-Go) 표준

가. USB OTG 특징 및 기능

USB 버스에서의 모든 데이터 송수신은 호스트인 PC를 매개로 하여 이루어 지는데, PDA나 mp3 player, mobile phone과 같은 portable 장치들이 보편적으로 사용됨에 따라, 이들 장치들 간의 통신 혹은 프린터와 같은 주변기기와의 통신에 있어, 제한적인 범위에서는 PC의 개입 없는 데이터 송수신에 대한 요구가 증가하게 되었다.



〈그림 13〉 USB OTG(On-the-Go) System configuration

USB OTG(On-the-Go) Revision 1.0a은 이러한 요구에 부응하기 위하여 2003년 7월에 최종 표준안이 발표되었는데, 현재 12Mbps의 전송속도를 보이는 제품이 시장 도입기 단계이며, 480Mbps를 지원하기 위한 표준이 마련되어 제품 개발이 진행되고 있다.

프로토콜 면에서 볼 때, USB OTG는 기존의 USB2.0 표준에 두 가지 프로토콜을 추가 하였는데, 주변기기들 간의 점대점(point-to-point) 통신이 가능하도록 각 장치가 제한적인 범위 내에서 호스트 기능을 수행할 수 있게 하는 HNP(host negotiation protocol)가 마련되었으며, 상대방 기기의 요청이 있을 경우에만 연결을 유지함으로써 배터리 전원을 사용하는 장치들의 전력소모를 줄이기 위하여 SRP(session request protocol)가 마련되었다. 기존 USB2.0 PHY 블록의 변화를 최소화 하기 위하여, 추가된 두 프로토콜에 대한 물리 계층에서의 통신은 버스 전압(Vbus)과 pull-up 저항만을 사용하여 이루어 진다.

OTG를 위한 새로운 케이블과 커넥터는 기존

의 4pin 커넥터를 대신해 5개의 pin을 갖는데, 호스트 또는 슬레이브 기능을 수행할지를 결정하는 'ID' pin이 추가되었다. OTG용 케이블은 '포트A'와 '포트B'를 양 끝에 장착하고 있는데, 각 포트의 'ID' pin의 연결이 서로 다르게 셋팅되어 있다. 따라서, 호스트/슬레이브의 결정은 케이블의 연결 방법에 의해 결정되는데, '포트A'에 연결된 장치가 호스트의 권한을 갖게 되며, 연결에 따른 전기적인 신호의 차이를 검출함으로써 셋업이 완료된다. 케이블을 통한 전원 공급은 호스트가 담당하는데, 배터리전원을 사용하는 portable 장치가 호스트가 될 경우에는 최대 전류 공급량은 8mA로 제한 된다. 따라서, PDA와 프린터의 연결과 같은 경우는 프린터가 호스트 기능을 담당하도록 케이블의 '포트A'를 프린터에 연결해 주는 것이 효과적인 통신을 가능하게 만들 것이다.

OTG PHY는 기존의 USB2.0 PHY에 추가적으로 몇 가지 회로를 요구한다. 우선, HNP/SRP 모드를 지원하기 위해 Vbus 전압 레벨을 시간에

〈표 8〉 Possible USB OTG configurations & applications

Host	Peripheral	Application
Mobile phone	Mobile phone	Exchange contact info.
	Camera	Email/upload pictures
	MP3 player	Transfer music
	PDA	Exchange contact info.
Camera	Camera	Exchange pictures
	Mobile phone	Email/upload pictures
	Printer	Print pictures
Printer	Camera	Print pictures
	Scanner	Print Scanned image
	Mass storage	Print files stored on device
MP3 player	MP3 player	Exchange songs
	Mass storage	Up/download songs
Oscilloscope	Printer	Print screen image
PDA	PDA	Exchange contact info.
	Printer	Print files
	Mobile phone	Up/download files
	MP3 player	Up/download songs
	Camera	Upload pictures
	Keyboard	User interface
PC	PDA	Hot sync, file transfers
	Mobile phone	Hot sync, edit directories
	Camera	Upload pictures

따라 제어하게 되는데, 이를 위한 charge pump 회로가 필요하며, Vbus 전압의 다양한 레벨을 검출하기 위한 comparator, 그리고 케이블이 포트에 연결되었는지를 검출하는 아날로그 회로 및 디지털 로직이 필요하며, ID 상태를 검출하기 위한 회로가 요구 된다. 이들 회로는 USB2.0 PHY의 변경 없이 추가가 가능하므로 OTG용 PHY 설계를 보다 쉽게 해 준다. <표 8>은 OTG에서 주변 기기들 사이의 응용 가능한 configuration 조합과 특징을 요약 하였다.

나. USB OTG 기술 개발 동향

현재 개발되고 있는 OTG 기술개발 추세는 크게 두 가지인데, 첫 째는 OTG를 IP화 하여 공급하는 방식이며, 다른 한 가지는 OTG를 단일 칩으로 공급하는 방식이다. OTG의 IP화는 SoC와 같은 응용에서 설계의 유연성을 높여주며 전체 칩의 제조 단가 및 응용보드 설계에서 잇점을 가질 수 있다. SoC 설계 경험이 부족한 주변기기 개발자의 경우는, OTG용 단일 칩을 사용하여 시스템을 구성함으로써 OTG 설계에 따른 위험부담

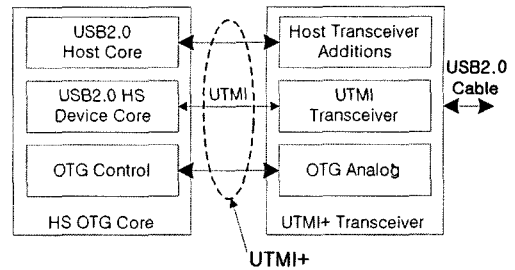
을 감소시킬 수 있으며, TTM(time-to-market) 면에서 유리할 수 있다. USB OTG 기술 개발에 참여하고 있는 기업들 중에서, SoC(System On Chip)업체로는 OnSpec, ARC, In-Silicon (Synopsis), NEC가 있으며, 싱글 칩 업체로는 TransDimension, 필립스, 엡손, 사이프레스 사가, OTG SW 개발 업체로는 SoftConnex, OTG 기술을 사용하려는 업체로는 HP, 팜, 미쯔비시, 에릭슨, 노키아, 퀄컴, 모토로라 등의 회사가 있다.

현재, TransDimension의 OTG243, 필립스의 ISP1362, 엡손의 S1R72005, 사이프레스의 CY7C67200 모델들이 processor를 포함하는 OTG core 및 PHY를 단일 칩으로 설계하여 생산하고 있다. 이들 모델은 모두 12Mbps의 FS 전송을 지원하는데, 아직 480Mbps의 HS 전송을 지원하는 OTG 칩은 선을 보이지 않고 있다. OTG 관련 칩 생산은 하지 않더라도 많은 IT 기업들이 OTG 기술을 라이선스 받아 자사의 칩에 적용하는 노력을 하고 있으며, 모토로라와 퀄컴, 그리고 ATI 같은 업체의 경우에는 TransDimension으로부터 OTG를 SoC 형태로 자신들의 칩에 추가해 더욱 넓어질 OTG 시장에서 선두업체가 되기 위해 노력하고 있다.

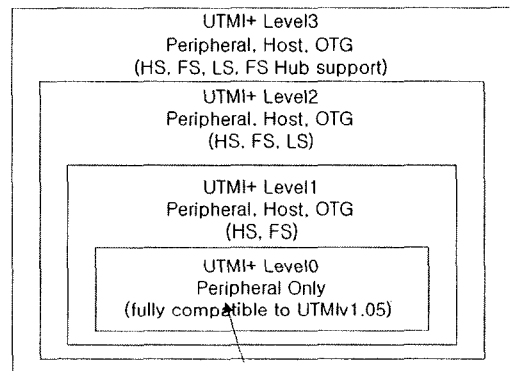
향후, OTG 기술은 임베디드 시장에 새로운 물결을 던져주게 될 것이다. PC에 의존적이 아닌 임베디드 그 자체로서 주변기와 통신을 할 수 있게 됨으로써 임베디드 분야가 좀더 발전할 수 있는 가능성과 시장 확대로 이어지리라 기대된다.

4. UTMI+ 표준

HS로 동작하는 OTG의 개발을 가속화하기 위해서는, 다양한 형태의 OTG IP의 개발과 안정

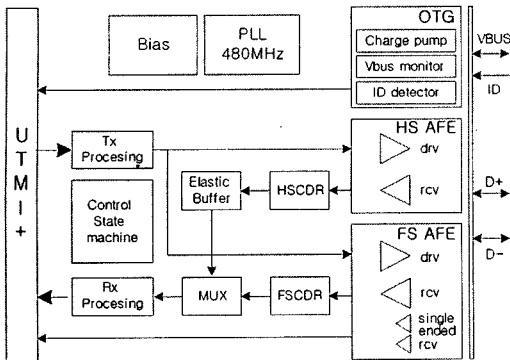


<그림 14> UTMI+ definition



<그림 15> UTMI+ levels

적인 공급이 필수적이다. USB2.0 시장 성장에 기여하였던 UTMI 표준의 역할과 마찬가지로, HS OTG core와 OTG PHY의 인터페이스에 대한 표준 개발의 요구로 인해, 필립스의 주도 아래 UTMI+ revision 1.0 표준이 2004년 2월 발표되었다. 기존의 UTMI 표준은 HS 디바이스만을 위한 표준으로 PC나 허브는 물론 OTG 표준을 지원하지 않기 때문에, 제한적인 호스트 기능을 수행하는 OTG를 지원하기 위해서는 <그림 14>에 보인 바와 같이 호스트 기능 및 OTG 기능 지원을 위한 인터페이스가 기존의 UTMI 표준에 추가적으로 필요하게 된다.



<그림 16> CI12295ug block diagram with UTMI+ interface

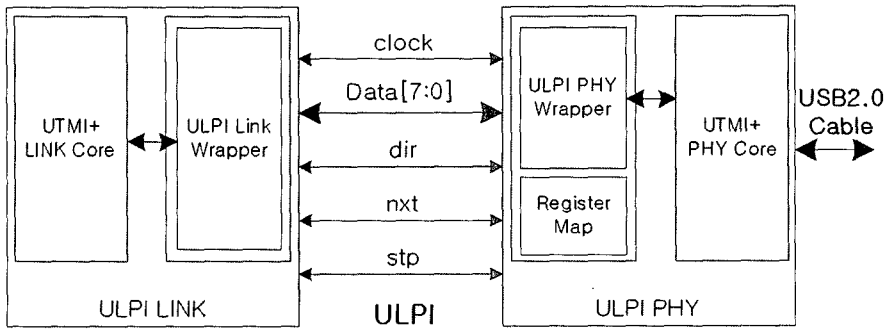
<그림 15>에 보인 바와 UTMI+는 계층 구조를 이루는데, 이러한 계층구조는 다양한 주변 장치들에 대해 가장 적합한 인터페이스 기능을 제공할 수 있도록 해준다. Level0는 기존의 UTMI 표준과 동일한 것으로 HS/FS로 동작하는 주변 장치만을 지원하며, level1은 HS/FS로 동작하는 USB OTG를 지원한다. Level2는 OTG에 직접 연결된 LS 디바이스와의 통신을 지원하며, full speed(12Mbps) hub를 통해 연결된 LS 디바이스와의 통신은 level3을 통해 가능하다. 이 때, 각 level은 하위 level과는 호환성을 유지하도록 구성되어 있다.

<그림 16>은 In-Silicon사에서 개발한 CI12295ug 모델의 블록 다이어그램이다. UMC0.18um 공정으로 설계하였으며 UTMI+ 표준 level3을 지원한다. OTG 기능 지원을 위해 Vbus용 'charge pump' 블록과 'Vbus monitor' 및 'ID detector' 블록이 추가 되었으며, level2에서 지원하는 LS 모드 장치와의 통신은 기존 UTMI AFE(analog front end)의 FS driver와 receiver가 담당한다.

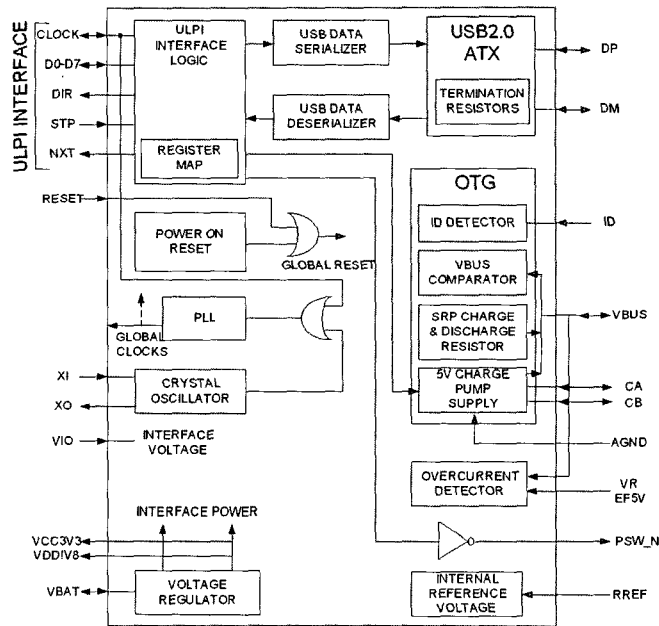
5. ULPI(UTMI+ Low Pin Interface)

8bit bi-directional 인터페이스를 사용하는 UTMI의 경우, PHY의 패키지는 48~56pin, 16bit bi-directional 인터페이스의 경우에는 56~64pin의 패키지가 일반적이며, full speed PHY IC의 경우는 16pin 내외의 패키지를 주로 사용한다. UTMI+ 표준의 경우에는 pin 수가 더욱 증가하여, 8bit 및 16bit 인터페이스의 경우 그 pin 수는 각각 64~72pin 및 72~80pin에 이른다. 이러한 많은 pin 수는 OTG PHY를 단일 칩으로 board에 실장 하는데 있어 비용 및 시스템 복잡도를 증가시키게 되므로, 현재 개발되고 있는 UTMI+ 호환용 PHY는 거의 macrocell 형태의 IP화에 편중되어 있는 실정이다.

그러나, 많은 전문가들은 OTG PHY의 단일 칩 구현이 다양한 OTG 시스템의 구현을 가능하게 만들 수 있을 것으로 전망하고 있다. 이에 따라, UTMI+ PHY IP를 그대로 사용하되, 상위 link layer로의 인터페이스 pin 수를 감소시켜 단일 칩 구현을 용이하게 만들기 위하여, 2004년 2월 ULPI (UTMI+ Low Pin Interface) revision 1.0이 발표 되었다. ULPI 표준에 따르면, <그림 17>에 보인 바와 같이 양방향 8bit 버스를 사용하고 제어 신호의 수를 3개로 줄임에 따라 전체 인터페이스 신호 선의 수를 12개로 감소시켰으며, 이로 인해 단일 칩의 패키지는 32핀 이하로 줄일 수 있게 되었다. 신호선의 획기적인 감소는 UTMI+ PHY에 대해 wrapper라는 인터페이스 블록을 추가함으로써 가능하였다. Wrapper는 flip-flop들을 포함할 경우, UTMI+ PHY의 제어 신호들인 TxValid, TxReady, RxActive, Rxvalid, LineStates 등의 신호에 시간 지연을 주게 되는데, 이럴 경우, USB2.0 표준에서 규정한 latency 표



<그림 17> ULPI system using wrappers around UTMI+



<그림 18> ISP1504 block diagram with ULPI interface

준 만족을 위하여 UTMI+ core의 지연시간 최적화가 추가적으로 필요하게 된다.

ULPI 표준이 적용된 대표적인 칩인 필립스사의 ISP1504의 블록 다이어그램을 <그림 18>에 보였다. UTMI+ level3을 지원하며 ULPI Link와

는 12bit으로 인터페이스 한다. 필립스 사의 또 다른 ULPI PHY 모델인 ISP1506의 경우는 양방향 4bit 데이터를 시스템 클럭의 상승 및 하강 에지에서 모두 샘플링하는 DDR(double data rate) 방식으로 구동함으로써 인터페이스 핀 수를 8bit

〈표 9〉 ISP150x family spec comparison

Host	ISP1504	ISP1505	ISP1506
charge pump	Yes	No	Yes
LINK I/O	1.65~3.6V	1.65~3.6V	1.65~1.96V
OTG Support	Full	SRP	Full
Link-PHY pins	12	12	8
Data bus	8bit	8bit	4bit DDR
Package	32pin	24pin	24pin

으로 감소시켰는데, 이때 단일 칩의 패키지는 24핀에 불과하다.

UTMI+ 인터페이스의 핀 수를 제한하려는 또 다른 노력의 일환으로, Cypress사에서는 최근 'Super High PHY' 인터페이스 방식을 발표하였다. 현재 세부 표준화 작업이 진행중인 Super High PHY 방식은 USB 이외에 기타 I/O 프로토콜과도 동작하도록 고려하고 있다고 한다.

6. USB2.0 PHY의 IP화 경향 요약

480Mbps로 동작하는 USB2.0 제품의 개발 시간을 단축하고 고속의 아날로그 회로 설계에 따른 위험부담을 최소화하기 위하여 등장한 UTMI 표준은, USB2.0 Link와의 일반적인 인터페이스 표준으로 받아들여져 USB2.0 시장 성장에 크게 기여하였다. USB2.0 시장의 빠른 성장을 이끄는 데 기여했던 UTMI의 역할과 마찬가지로, 필립스 사에 의해 제안된 UTMI+ 표준은 HS OTG를 지원하는 PHY와 Link의 인터페이스 표준으로 자리잡을 것이 확실하다. UTMI+와 호환되는 PHY의 IP화는 SoC 설계를 통한 제품의 ASIC 구현을 보다 쉽게 할 것으로 기대 된다. 더불어, UTMI+ 표준을 만족하는 단일 칩의 구

현은 제품개발의 선택 폭을 더욱 넓혀 주리라 기대 된다. 필립스 사의 'ULPI' 표준과 사이프레스 (Cypress) 사의 'Super High PHY' 표준은 UTMI+ 표준의 단일 칩 구현에 따른 pin 수의 감소를 위해 서로 결합 또는 공존함으로써 OTG 시장 성장에 기여하게 될 것으로 보인다.

V. 결론

본 논문에서는, PC의 주변기기 인터페이스로 널리 사용되고 있는 USB 시스템, 특히 USB2.0 PHY와 관련한 다양한 표준들의 개발 동향 및 국내외에서 이루어지고 있는 제품에의 기술 적용 방향에 대해 살펴 보았다. USB2.0 및 OTG를 통한 인터페이스의 통합화는 대부분의 PC 주변기기는 물론 휴대폰, PDA, mp3 player 등의 포터블 기기들의 공용 인터페이스로 그 기반을 넓혀가고 있다. 특히, PC를 중심으로 한 종래의 USB 인터페이스를 벗어나, 주변기기간의 일대일 통신을 가능하게 한 USB OTG 표준의 등장으로, 향후 USB 시장은 제 2의 도약기를 준비하고 있다. USB-IF(Implementers Forum) 와 ULPI working group 참여를 통해, 관련 기술을 선점하고 시장 진입을 준비하고 있는 외국의 경우와는 달리, 본

문에서 살펴본 바와 같이 국내 관련기술의 기반은 극히 취약한데, 특히 USB2.0 PHY 및 HS OTG 호환 PHY 설계 기술은 대부분 해외 라이선스에 의존하고 있어, 이 분야의 적극적인 투자와 연구 개발이 진행되어야 할 것으로 생각 된다.

참고문헌

- [1] <http://www.usb.org>
- [2] USB2.0 Transceiver Macrocell Interface specification, revision 1.05, March 29, 2001
- [3] Universal serial bus specification, revision 2.0, April 27, 2000
- [4] On-the-Go supplement to the USB2.0 specification, revision 1.0a, July 9, 2003
- [5] UTMI+ specification, revision 1.0, Feb., 2, 2004
- [6] ULPI specification, revision 1.0, Feb., 2, 2004
- [7] Don Anderson, "USB System Architecture(USB 2.0)", MINDSHARE, INC.

저자소개



남 장 진

1998년 경북대학교 전자전기 공학과 학사
 2000년 포항공과대학교 전자공학 석사
 2002년-현재 포항공과대학교 전자공학 박사과정
 주관심분야 CMOS 고속 입출력 회로 설계, USB2.0 PHY, 클럭데이터 복원회로(Burst-mode CDR), 저전력 I/O 인터페이스 설계(PWM), 클럭 생성 및 분배 회로 설계(PLL/DLL)

저자소개



박 상 훈

2000년 포항공과대학교 전자전기공학과 학사
 2002년 포항공과대학교 전자공학 석사
 2002년-현재 포항공과대학교 전자공학 박사과정
 주관심분야 고속, 저전력 회로설계, USB 2.0 PHY관련 Digital Oversampling CDR 회로설계, High Speed Analog to Digital Converter, 클럭 Distribution관련 회로



최 광 희

2001년 포항공과대학교 전자전기공학과 학사
 2001년-현재 포항공과대학교 전자공학과 통합과정
 주관심분야 serial link, USB 2.0 PHY



박 흥 준

1979년 서울대학교 전자전기공학과 학사
 1981년 한국과학기술원 전자전기공학과 석사
 1989년 University of California, Berkeley, 전자공학 박사
 1981년-1984년 한국전자통신연구소 연구원
 1989년-1991년 Intel 사(U.S.A), senior engineer
 1991년-현재 포항공과대학교 전자전기공학과 교수
 주관심분야 CMOS 고속 입출력 회로 설계, CMOS 아날로그 회로 설계, 신호 보존성 및 도선 모델링