

## 아날로그 필터 IC 설계 기술 동향

임진업, 최종호(서울시립대학교)

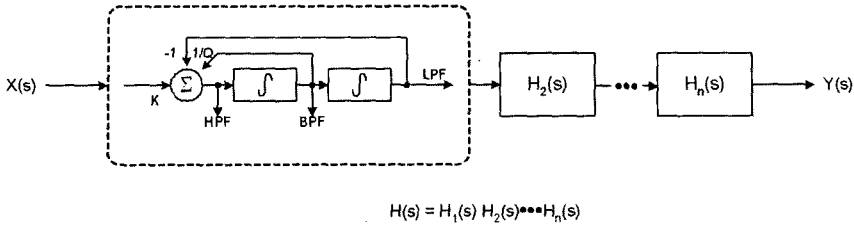
### 1. 서론

최근 데이터 통신 기술의 발달은 보다 향상된 성능의 하드웨어 시스템을 필요로 하게 되었고 VLSI 기술의 발달은 이를 뒷받침하고 있다. 또한, 휴대용 멀티미디어 기기 시장의 성장은 높은 성능 뿐 아니라 낮은 소비 전력에 대한 사양을 요구하게 되었다. 이러한 추세에 대응하기 위해 디지털 회로는 물론 아날로그 회로 설계에 있어서도 고성능 및 저전력의 제품의 많은 개발이 진행되고 있다. 경쟁력 있는 SoC (System-on-Chip) 제품을 위해서는 보다 많은 시스템 블록이 한 칩에 집적화되어야 하며 이는 궁극적으로 RF, 아날로그 블록, 디지털 블록을 모두 포함하는 방향으로 진행되고 있다. 아날로그/디지털 혼성-신호 집적회로 설계에 있어서 아날로그 필터는 통신 및 데이터 전송을 위한 시스템에 필수적인 요소로서, 아날로그 프런트-엔드 시스템의 성능을 결정짓는 중요한 역할을 수행하게 되었다<sup>1-2)</sup>.

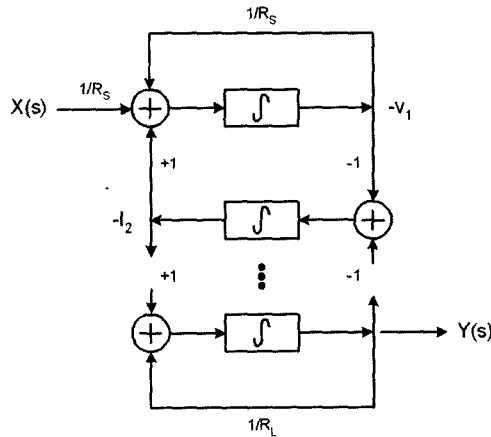
최근의 통신 및 데이터 전송 시스템에서 필터의 역할은 근접 채널 신호의 간섭을 억제하고, 불필요한 왜곡 신호의 출력을 방지하거나 잡음

을 제거하는 역할을 수행한다. 또한, 아날로그 신호와 디지털 신호 사이의 변환 작업 또는 디지털 펄스 신호 처리에 필요로 하는 적합한 형태로 파형을 등화하거나 변형시키는 등의 동작을 수행하게 된다. 이러한 여러 가지 필터의 기능을 수행하는 데 있어 아날로그 필터가 디지털 필터보다 널리 사용되는 이유는 처리할 수 있는 주파수 대역폭이 넓고, 저전력 회로 설계가 가능하며, 하드웨어적으로 작은 면적을 차지하기 때문이며, 무엇보다도 아날로그 신호 영역에서 필터링을 수행하는 경우 아날로그 프런트-엔드 시스템의 사양을 완화시킬 수 있는 장점이 있기 때문이다<sup>3-4)</sup>.

이러한 특성을 갖는 아날로그 필터는 xDSL (x Digital Subscriber Line) 응용이나 WCDMA (Wideband Code Division Multiple Access)와 같은 유/무선 데이터 통신 송수신기, HDD (Hard Disk Drive) 및 ODD (Optical Disk Drive)의 읽기 채널과 같은 고속, 대용량 데이터 전송 및 저장 장치 등의 응용 시스템에 적용되고 있다. 본 고에서는 이러한 시스템에 사용되는 아날로그 필터의 구조와 구현 방법 및 각각의 설계 이슈, 특성을 알아보기로 한다.



(a) Biquad 블럭을 이용한 방법



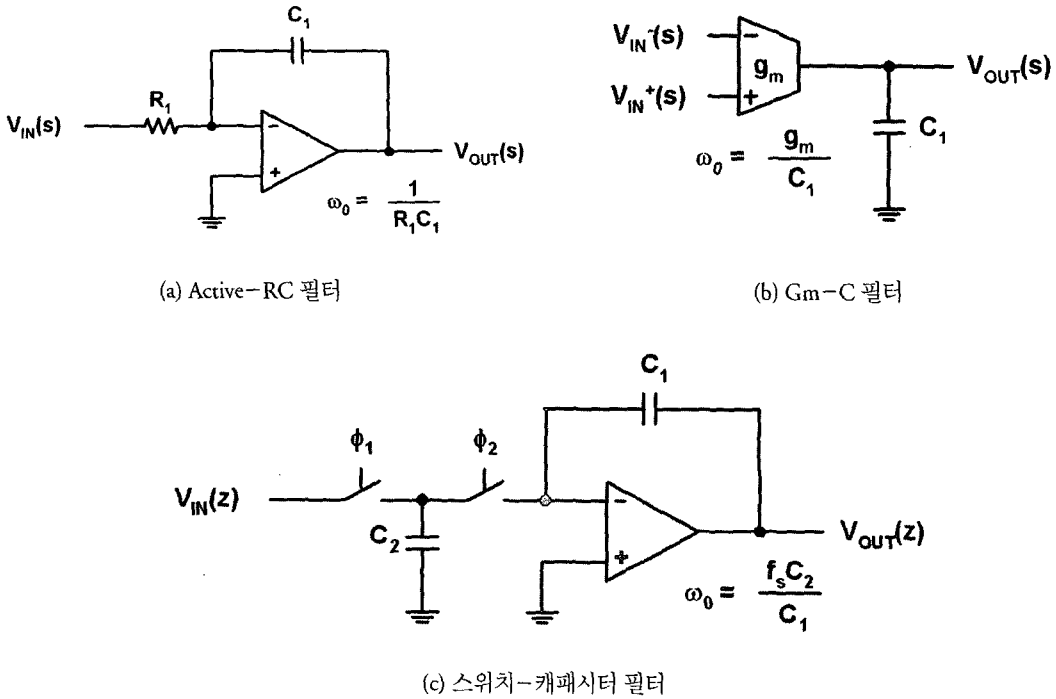
(b) RLC 필터를 이용한 방법

〈그림 1〉 고차의 필터를 구현하는 방법

## II. 아날로그 필터의 구조

필터의 성능을 나타내는 사양으로는 필터의 크기 특성, 위상 특성, 동작 형태, 그리고 반응 형태로 나누어 구분지을 수 있다. 주파수 크기 특성으로는 passband 주파수, stopband 주파수, 그리고 passband ripple, stopband 감쇠 (attenuation) 등이 있으며, 위상 특성으로는 group delay variation으로 원하는 주파수 대역까지 얼마나 선형적인 주파수 위상 특성을 나타내는지 표현한다.

필터의 주파수 특성 사양을 만족하기 위하여 아날로그 필터는 2차 이상의 고차의 전달함수를 구현해야 한다. 일반적으로 높은 차수의 필터를 구현하는 데에는 두 가지의 방법이 있는데 그 중 하나는 <그림 1(a)>와 같이 2차의 특성을 갖는 biquad 블럭을 연속적으로 연결하여 구성하는 방법이고, 다른 하나는 <그림 1(b)>와 같이 RLC 프로토타입 필터로부터 적절한 변환을 통하여 높은 차수의 필터를 구현하는 방법이다. 전자의 경우 필터의 전체 전달 함수를 각 biquad 블럭의



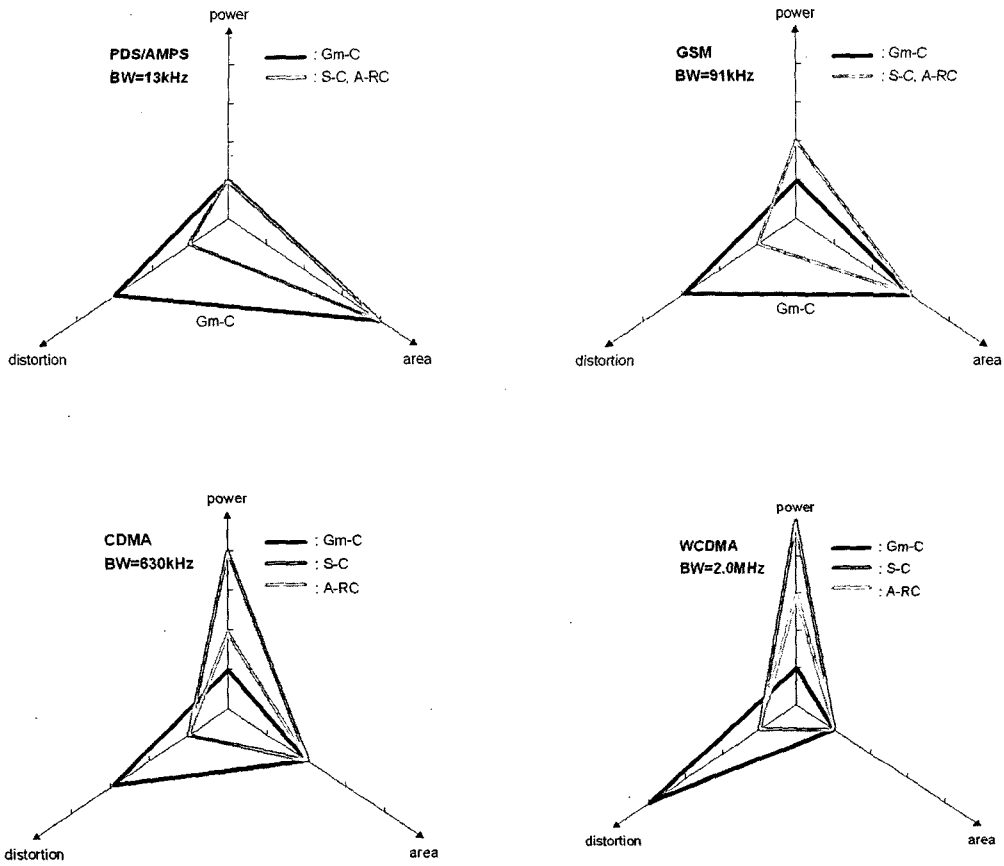
<그림 2> 여러 가지 구조의 아날로그 필터의 적분기

전달 함수로 나눌 수 있으며 각 biquad 블럭의 경우 2차의 전달 함수를 갖기 때문에 주파수 특성 분석 및 제어가 용이한 장점이 있다. 한편 RLC 프로토타입 필터를 이용하는 방법은 이미 정립된 구조를 사용하기 때문에 필터 동작의 안정성 및 구성 소자값의 변화에 덜 민감한 필터의 동작을 얻을 수 있는 장점이 있다.

<그림 1>에서 볼 수 있는 바와 같이 아날로그 필터를 구성하는 가장 기본적인 블럭은 전달함수의 폴을 구현하는 적분기이며 본 논문에서는 이를 구현하는 다양한 방법에 따라 아날로그 필터를 구분하고 각각의 특성에 대하여 살펴보고자 한다. 고차의 필터를 구현하는 아날로그 필터는 <그림 2>과 같이 세 가지 구조의 적분기의 형태

로 구현될 수 있다. 첫번째로 연산 증폭기, 입력 저항, 부캐환 캐패시터로 구성된 Active-RC 필터 (그림 2(a)), 두번째로 입력 전압에 대하여 출력 신호를 전류로 내보내는 트랜스컨덕턴스 증폭기 (transconductance amplifier)와 캐패시터로 이루어진 Gm-C 필터 (그림 2(b)), 마지막으로 스위치와 캐패시터 그리고 연산 증폭기로 구성되는 스위치-캐패시터 필터 (그림 2(c))가 있다.

연속 시간 신호 처리를 하는 Active-RC 필터와 Gm-C 필터는 필터의 사양을 결정짓는 계수가 저항과 캐패시터의 값, 또는 Gm과 캐패시터의 비로 나타난다. 집적회로 상에서 구현할 수 있는 능동 및 수동 소자의 특성은 공정 변화, 온도 변화, 전원 전압의 변화 및 사용 시간등 제작



〈그림 3〉 여러 가지 통신 표준에 따른 각 아날로그 필터의 성능 비교

및 동작 환경에 따라 그 값이 변하기 때문에 이러한 필터의 경우 주파수 특성을 정확하게 유지할 수 없는 어려움이 있으며 이를 해결하기 위하여는 필터 뿐 아니라 주파수 특성 변화를 보정할 수 있는 회로가 함께 갖추어져야 한다.

이와 달리 스위치-캐패시터 필터의 경우 필터의 계수는 캐패시터의 비로 표현되기 때문에 집적회로로 구현하는 경우 정합 특성을 맞춘다면 매우 정확한 값으로 구현이 가능하다. 그러

나, 스위치-캐패시터 필터는 이산-시간 영역에서 신호를 처리하기 때문에 입력단에 샘플링 동작에 의한 앨리어싱(aliasing)을 방지하기 위한 앨리어싱 방지 필터(anti-aliasing filter)를 갖추어야 하며, 출력의 고주파 성분을 제거하기 위한 스무딩 필터(smoothing filter)가 필요한 경우가 많기 때문에 추가의 연속-시간 영역 필터를 포함해야 한다.

위에서 살펴 본 세가지 방식의 아날로그 필터

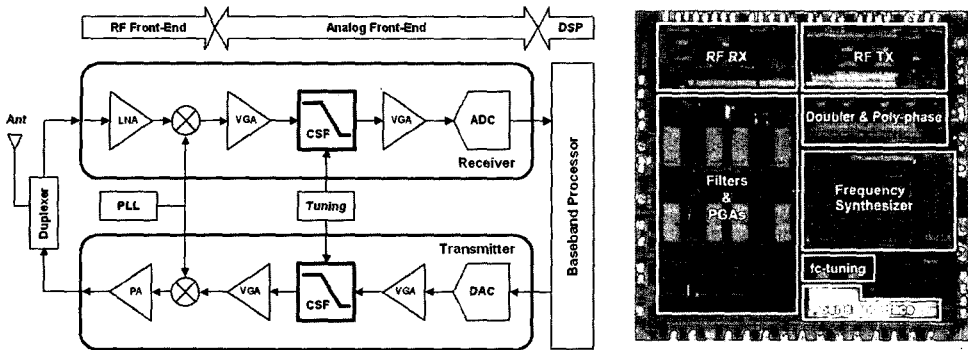
에 있어 각각의 특성 및 그에 따른 사양이 매우 상이하게 나타나기 때문에 필터를 적용하고자 하는 시스템에서 요구하는 사양에 따라 적합한 구조 및 방식을 선택하여야 한다. Active-RC 필터는 연산 증폭기를 부궤환의 닫힌 루프에서 사용하기 때문에 높은 선형성을 얻을 수 있는 반면 높은 주파수 대역을 처리하기 위하여 고성능의 연산 증폭기를 필요로 한다. 또한 출력단의 저항에 의해 연산 증폭기의 성능이 낮아지는 경우가 발생하므로 연산 증폭기의 설계에 있어 특별한 주의가 요구된다. Gm-C 필터 경우는 적분기 형태가 열린 루프 구조로 구성되어 있으므로 높은 주파수를 처리하거나 낮은 소비 전력을 요구하는 필터 구현에 적합한 반면, 신호의 왜곡을 낮출 수 있는 회로 설계가 매우 어려운 단점이 있다. 스위치-캐패시터 필터는 Active-RC 필터와 마찬가지로 연산 증폭기를 부궤환 회로에 사용하기 때문에 높은 선형성을 얻을 수 있으며, 또한 연산 증폭기의 부하 소자로 캐패시터만을 사용하기 때문에 CMOS 연산 증폭기의 경우에 적합한 장점이 있다. 반면에 정확한 주파수 특성을 얻기 위해서는 처리하는 주파수 대역 보다 매우 높은 주파수의 클럭을 요구하며 이로 인해 높은 샘플링 속도에서 신호를 처리할 수 있는 연산 증폭기의 설계를 위하여 많은 양의 전력 소모를 피할 수 없다. <그림 3>에는 여러 가지 통신 표준에 따라 필터의 신호 대역폭이 증가하는 경우에 있어 여러 방식으로 구현한 각각의 아날로그 필터의 전력 소모, 선형성, 그리고 면적을 비교한 그래프를 나타내었다. 그림에서 볼 수 있는 바와 같이 어느 방식으로 필터를 구현하더라도 동시에 다양한 사양을 만족하는 최적의 해결책을 찾을 수 없기에 회로 설계에 있어 많은 trade-off 작업을 수행해야 하며 시스템의 사양에 따라 여

러 방식을 혼합하여 사용할 수 밖에 없다.

### III. 아날로그 필터의 설계 및 구현

#### 1. Active-RC 필터

<그림 3>에서 볼 수 있는 바와 같이 무선 통신 송수신기의 응용에 있어 주파수 대역폭이 증가함에 따라 Active-RC 필터의 경우 여러 요구 사양에 있어 trade-off 된 특성을 얻을 수 있으므로 최근에 이를 집적회로 상에서 효율적으로 구현하는 많은 연구가 이루어지고 있다<sup>15-16</sup>. 개별 전자 소자를 사용하여 Active-RC 필터를 구현하였던 과거의 방식과 달리 집적회로로 구현하는 경우에는 높은 주파수 대역을 처리하기 위하여 연산 증폭기의 단위 이득 주파수가 충분히 커야 하며 또한 주파수 특성 변화를 보정하거나 주파수의 대역폭을 프로그래밍하기 위하여는 저항과 캐패시터의 값을 적절히 조절할 필요가 있다. 높은 입력 주파수를 처리하기 위해서는 고성능의 연산 증폭기를 필요로 하며, 일반적으로 처리하고자 하는 주파수 대역보다 매우 큰 단위 이득 주파수 특성을 갖는 연산 증폭기를 사용함으로써 그 영향을 최소화하는 방향으로 설계를 진행하거나 또는 연산 증폭기의 현실적인 요소들을 포함하여 필터의 전달함수를 수정하여 보정하는 방법으로 진행한다. 특히 CMOS 공정에서 연산 증폭기를 설계하는 경우 출력 단의 저항 소자에 의해 연산 증폭기의 사양이 변화는 어려움이 있으므로 출력단의 버퍼링 등과 같은 고려 사항들을 포함해야 한다. 높은 주파수 대역의 Active-RC 필터의 시상수는 작은 값을 가져야 하며 저항, 캐패시터의 값을 구현하기 위해 상대적으로 작은 값의 저항과 큰 값의 캐패시터를 선택한다



(그림 4) 직접 변환 방식의 무선통신 송수신기의 구조와 구현된 칩의 사진

면 연산 증폭기의 버퍼링에 대한 부담이 커져 많은 양의 전력 소모를 피할 수 없고, 반대로 큰 값의 저항과 작은 값의 캐패시터를 선택하면 저항(4kTR)과 캐패시터(4kT/C)의 잡음의 크기가 커져 필터의 잡음 특성이 저하되고 기생 캐패시터에 민감한 주파수 특성을 나타낸다. 따라서, 적용되는 시스템에서 요구하는 사양에 따라 적절한 값의 저항과 캐패시터를 선택되어야 한다.

Active-RC 필터로 2차의 특성을 갖는 biquad 블럭을 구성할 때 biquad 블럭의 단위 이득 주파수는 저항과 캐패시터의 곱에 반비례하기 때문에 공정, 온도 및 전원 전압의 변화 등에 따라 큰 변화가 일어날 수 있다. 따라서, 이러한 외부 환경의 변화에도 정확한 값을 유지할 수 있도록 칩 내의 보정 회로가 반드시 필요하다. 2차 전달 함수의 Q 값은 저항의 비와 캐패시터의 비로 표현되기 때문에 낮은 Q 값을 필요로 하는 시스템에서는 신중한 설계가 이루어진다면 별도의 보정 회로없이도 비교적 정확한 값을 구현할 수 있다. RC 시상수의 역수로 구현하는 주파수 특성의 경우 각 소자 값의 변화에 따라 큰 변화를 나타내기 때문에 주파수 보정 회로는 필수적이다. 주파수 보정을 위해서는 저항이나 캐패시터 값을 전

기적으로 변화시킬 수 있어야 하며 작은 범위 내에서 주파수를 변경시키는 경우, 기본 캐패시터에 추가로 작은 값을 갖는 캐패시터 어레이를 사용하고 있다<sup>6)</sup>. 주파수 보정의 경우, 일정한 시간 이후의 Active-RC 적분기의 출력 값을 예측할 수 있으므로 이를 기준 전압과 비교하여 시상수의 변화를 감지하고, 이러한 정보를 이용하여 필터의 주파수 특성이 변화하는 것을 방지하는 방식을 사용한다<sup>7)</sup>.

<그림 4>는 직접 변환 방식의 무선통신 시스템의 구조와 구현된 칩의 사진을 나타낸다. 수신기에서의 필터는 원하는 채널의 신호만을 선택하는 역할을 하며, 송신기에서의 필터는 DAC와 VGA(Variable Gain Amplifier)에서 발생한 고주파수 성분을 제한하기 위한 블럭이다. 이와 같은 무선통신 시스템에서는 우수한 선형성과 저잡음 특성을 요구하기 때문에 다른 종류의 필터보다 그 성능이 우수한 active-RC 필터를 선호하는 추세이다. 최근 시스템 호환성의 이유로 BLUETOOTH, 802.11a/b/g, WCDMA(Wideband Code Division Multiple Access), 그리고 UMTS(Universal Mobile Telecommunications System)와 같은 여러 가지 표준에 적합한 다중모

드 무선통신 송수신기가 하나의 칩으로 집적화되고 있는 실정이다<sup>[8]</sup>. RF 프론트-엔드 같은 경우에는 매우 민감한 특성을 요구하기 때문에 각각의 표준에 적합한 회로를 병렬로 사용해야 하지만 아날로그 프론트-엔드의 경우 비교적 비슷한 주파수 대역을 처리하기 때문에 하나의 회로로 여러 가지 표준에 적합한 회로를 구현할 수 있다. Active-RC 필터의 경우 다양한 주파수 대역폭 응용을 위하여 시상수를 프로그래밍하여야 하는데 일반적으로 넓은 범위의 주파수를 처리하기 위하여 저항과 캐패시터를 어레이로 사용하여 디지털로 스위칭하는 방식을 선택하고 있다.

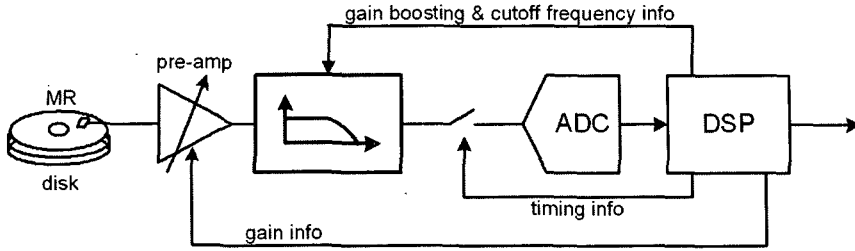
## 2. Gm-C 필터

Gm-C 필터의 경우 기본 구성 블록인 적분기를 구현하는 경우 트랜스컨덕턴스 증폭기를 열린 루프 형태로 사용하기 때문에 높은 주파수 신호를 처리하는데 있어 매우 유리한 장점이 있다. 그러나 트랜스컨덕턴스 증폭기의 선형적인 동작 범위가 제한되어 있어 다른 필터에 비해 낮은 선형성의 특성을 보인다. 따라서 Gm-C 필터의 설계에 있어 많은 연구가 트랜스컨덕턴스 증폭기의 선형성을 높이는데 중점을 두고 있다. 특히 전원 전압이 낮아지고 처리해야 하는 입력 신호의 주파수가 높아짐에 따라 트랜스컨덕턴스 증폭기의 현실적인 문제점들이 필터의 특성을 저하시키는 원인으로 현저히 부각되기 때문에 이를 해결하기 위한 연구가 활발히 진행되고 있다. 필터의 주파수 대역폭을 프로그래밍하거나 또는 보정해 주기 위하여 트랜스컨덕턴스 증폭기의 이득 값이나 캐패시터 값을 변경할 수 있으며 필터의 소비 전력, 하드웨어 면적 및 잡음 특성

등과 관련하여 최적의 값을 찾는 설계를 수행하여야 한다<sup>[9]</sup>.

Gm-C 필터의 비이상적인 특성으로는 유한한 출력 저항으로 인한 문제가 발생할 수 있으며 이로 인해 DC에서 적분기의 전압 이득이 감소하여 낮은 주파수에서 큰 감쇠가 필요한 bandpass 필터나 highpass 필터에 있어 문제가 발생할 수 있다. 또한 DC가 아닌 곳에서 발생하는 적분기의 폴 주파수로 인해 위상 값이 변하게 되며 이로 인해 필터 전체의 Q 값이 감소하게 되어 필터의 주파수 특성이 원하는 사양보다 완만하게 나타나는 문제가 발생한다. 이러한 문제를 해결하기 위하여 트랜스컨덕턴스 증폭기의 출력단에 cascode 회로를 사용하거나, 출력 저항을 보정하는 추가의 회로를 포함하기도 한다. 또한 트랜스컨덕턴스 증폭기의 출력단을 연산 증폭기의 입력단에 연결하는 Gm-Opamp-C 구조를 사용하여 출력 저항에 대한 사양을 완화시키기도 한다<sup>[10]</sup>.

<그림 5>와 같은 HDD 읽기 채널의 경우, 아날로그 필터는 아날로그 신호를 디지털 신호로 변환하기 전에 신호를 원하는 파형에 맞게 등화시키는 역할을 수행하기 위하여 사용한다<sup>[11]</sup>. 최근의 고속, 대용량 HDD 읽기 채널의 경우 사용하는 필터의 주파수 대역이 수 백 MHz 이상이 되며 이를 구현하기 위해 Gm-C 필터를 사용한다. 이러한 높은 주파수에서는 트랜스컨덕턴스 증폭기에서 발생하는 기생의 폴 (제로) 주파수에 의해 적분기의 위상 특성이 변하게 되며 이로 인해 필터 전체의 Q 값이 증가(감소)하게 되고 필터의 동작은 불안정해지거나 또는 반대로 완만한 주파수 크기 특성을 갖는 경향이 나타날 수 있다. 이러한 기생 폴 (제로) 주파수의 영향을 무시하기 위해서는 매우 큰 값을 가져야 하지만 이



〈그림 5〉 HDD 읽기 채널의 블럭 다이어그램

는 현실적으로 불가능 하기 때문에 트랜스컨덕턴스 설계에 있어 추가의 제로나 폴 주파수를 발생시키는 회로를 포함하여 기생 소자로 인해 발생한 주파수 특성 변화를 보정하기 위한 회로 설계를 포함해야 한다<sup>[12]</sup>.

Gm-C 필터의 단위 이득 주파수는 Gm/C에 의해 결정되기 때문에 Active-RC 필터와 마찬가지로 공정 변화와 온도 변화, 사용 시간의 변화에 관계없이 정확한 값이 구현되도록 보정 회로가 반드시 필요하며 이를 위한 다양한 연구가 진행되고 있다. 일반적으로 Gm-C 필터에서 필터의 특성을 보정하는 방법은 주파수를 보정하기 위한 PLL(Phase Locked Loop)과 Q 값을 보정하는 MLL(Magnitude Locked Loop) 회로를 사용한다. PLL의 경우 VCO(Voltage Controlled Oscillator)를 필터와 동일한 증폭기를 사용하여 설계하면 필터의 주파수 변화가 VCO에 등가적으로 반영되며 이를 PLL에서 보정하게 되면 그 출력 값을 사용하여 필터의 주파수 변화를 감소시킬 수 있다. MLL의 경우도 마찬가지로 필터의 Q 값이 특정 주파수에서는 필터 출력 신호의 크기와 관련이 있기 때문에 MLL의 정보를 필터의 Q 값 변화를 보정하는데 사용할 수 있다.

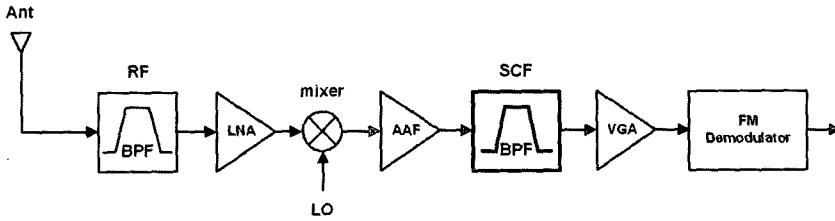
저전력 회로로서의 Gm-C 필터의 응용 분야

로는 배터리를 전원 전압으로 사용하는 리모콘과 같은 휴대용 가전 제품이나 무선 통신 송수신기 등이 있다. 특히, 음성 신호와 같은 저주파수 대역의 신호 처리를 하는 보청기의 응용에서 weak inversion에서 동작하는 트랜스컨덕턴스 증폭기를 사용하여 수십uW의 전력 소모만을 사용하는 회로가 개발되고 있다<sup>[13]</sup>.

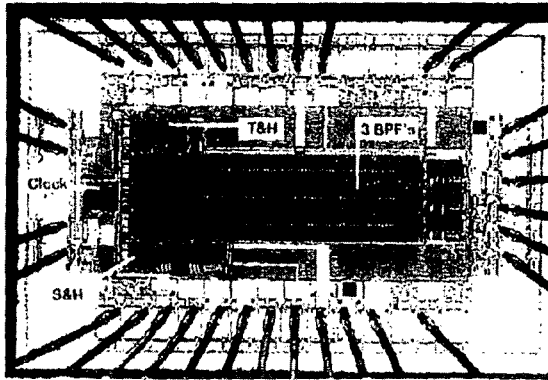
### 3. 스위치-캐패시터 필터

스위치-캐패시터 필터는 이산-시간 영역에서 신호를 처리하는 필터로서 샘플링된 데이터를 이용하여 필터링 동작을 수행한다. 두 노드에 연결된 캐패시터에 주기적으로 충전/방전 동작을 수행하여 전하량을 변경시킴으로써 두 노드 사이의 등가적인 전류 흐름, 즉 저항을 만들 수 있게 된다. 이 경우 필터의 동작 특성을 좌우하는 계수는 캐패시터의 비로 결정되기 때문에 집적회로 상에서 매우 높은 정확도를 유지할 수 있다. 이와 함께 CMOS 공정에 있어 단일 칩으로의 용이한 집적화로 인하여 매우 다양한 응용 분야에 있어 스위치-캐패시터 필터가 널리 사용되어 왔다<sup>[14]</sup>. 또한 스위치-캐패시터 필터의 설계 기술은 필터 구현 뿐 아니라 데이터 변환기나





(a)



(b)

〈그림 6〉 라디오 FM 수신기의 블록 다이어그램과 스위치-캐패시터 필터의 칩 사진

펄스 생성 회로 및 오버샘플링 모듈레이터 등 많은 분야에 적용되고 있다.

이산-시간의 필터를 위한 전달 함수를 구하기 위하여  $s-z$  주파수 변환을 수행해야 하며 보다 정확한 주파수 특성을 얻기 위하여는 스위치-캐패시터 필터의 샘플링 주파수가 처리하고자 하는 입력 신호의 주파수 대역보다 최소 수 배 이상 커야 한다. 따라서 높은 주파수 대역을 처리하기 위하여는 매우 빠른 클럭에서 동작하는 연산 증폭기가 필요하게 되며 이를 구현하기 위해서는 많은 소비 전력을 사용할 수 밖에 없다. 높은 샘플링 주파수에서 동작이 가능한 스위

치-캐패시터 연산 증폭기 설계를 위해 DC 이득, 단위 이득 주파수, 슬루율과 같이 연산 증폭기의 소신호, 대신호 특성을 좌우하는 사양들을 향상시키는 방법들이 개발되고 있다<sup>15)</sup>. 이러한 노력으로 인해 5MHz 이상의 넓은 통과 주파수 대역을 처리하는 무선 통신 송수신기에 적합한 스위치-캐패시터 필터가 구현되고 있다<sup>16)</sup>. 또한, 주파수 특성의 조절이 캐패시터 값의 변경이나 샘플링 주파수의 변경으로 비교적 쉽게 구현될 수 있기 때문에 여러 가지 표준에 호환이 가능한 다중 모드 필터의 제작이 가능하다.

<그림 7>에는 heterodyne 방식의 라디오 FM

수신기의 블럭 다이어그램과 이를 위한 스위치-캐패시터 필터의 칩 사진이 보인다<sup>17)</sup>. 여기에서 사용된 필터는 IF(Intermediate Frequency) 대역을 처리하는 bandpass 필터로서 10.7MHz의 중심 주파수, 194kHz의 bandwidth, 55의 높은 Q 값의 특성을 갖는다. 이처럼 IF 신호 처리를 위한 매우 높은 Q 값을 갖는 필터는 외부의 SAW(Surface Acoustic Wave) 필터가 담당하였지만 집적회로 기술의 발달로 스위치-캐패시터 필터로 구현할 수 있게 되어 수신기가 하나의 칩에 집적될 수 있게 되었다. 게다가 이 필터는 입력 캐패시터나 부캐환 캐패시터 어레이를 병렬로 연결하여 스위칭함으로써 비교적 쉽게 이득 조절할 수 있다.

스위치-캐패시터 필터의 경우 매우 낮은 소비 전력을 갖거나 또는 매우 낮은 전원 전압이 필요한 시스템에도 적용이 되었다. 특히 전원 전압이 낮아지는 경우 트랜스미션 게이트를 사용하는 CMOS 스위치의 동작이 어렵기 때문에 이를 등가적으로 해결하기 위한 연구가 이루어졌으며, 이에는 스위치를 구동하는 클럭의 구동 전압을 boosting 회로를 사용하여 높이거나 연산 증폭기에 스위칭 동작을 포함시켜 해결하는 방법들이 있다.

### III. 결론

본 고에서는 아날로그/디지털 혼성-신호 시스템에 적용되고 있는 아날로그 필터의 구조와 구현 방식 및 설계시 유의 사항 그리고 최근 적용되고 있는 사례에 대해 알아보았다. 연속 시간 필터가 보다 정확한 주파수 대역과 Q 값을 구현하기 위해서는 칩 내의 고성능 보정회로와 저전력 회로의 연구가 이루어져야 하며, 이산 시간

필터인 스위치-캐패시터 필터의 경우 높은 주파수 신호 처리를 위해서는 개선된 특성을 갖는 연산 증폭기 및 새로운 필터 구조의 연구가 이루어져야 할 것이다.

### 참고문헌

- [1] Waleed Khalil et al, "A highly integrated analog front-end for 3G," IEEE Jour. Solid-State Circuits, vol. 38, no. 5, pp. 774-780, May 2003.
- [2] C. Wong, "A 3-V GSM baseband transmitter," IEEE Jour. Solid-State Circuits, vol. 34, no. 5, pp. 725-730, May 1999.
- [3] B. C. Rothenberg et al, "A 20-Msample/s switched-capacitor finite-impulse-reponse filter using a transposed structure," IEEE Jour. Solid-State Circuits, vol. 30, no. 12, pp. 1350-1356, Dec. 1995.
- [4] P. P. Siniscalchi et al, "A CMOS ADSL codec for central office applications," IEEE Jour. Solid-State Circuits, vol. 36, no. 3, pp. 356-365, Mar. 2001.
- [5] T. Hollman et al, "A 2.7-V CMOS dual-mode baseband filter for PDC and WCDMA," IEEE Jour. Solid-State Circuits, vol. 36, no. 7, pp. 1148-1153, July 2001.
- [6] A. M. Durham, J. B. Hughes, and W. Redman-White, "Circuit architectures for high linearity monolithic continuous-time filtering," IEEE Trans. Circuits and Systems, II, vol. 39, no. 9, pp. 651-657, Sep. 1992.
- [7] J. K. Pyykonen, "A low distortion wideband active-RC filter for a multicarrier base station transmitter," Proc. IEEE Circuits and Systems, pp. 1-244-1.247, Sydney, Australia, May 2001.
- [8] Y. J. Jung et al, "A 2.4-GHz 0.25um CMOS dual-mode direct-conversion transceiver for Bluetooth and 802.11b," IEEE Jour. Solid-State Circuits, vol. 39, pp. 1185-1190, July 2004.

- [9] S. Pavan, Y. P. Tsividis, K. Nagaraj, "Widely programmable high-frequency continuous-time filters in digital CMOS technology," IEEE Jour. Solid-State Circuits, vol. 35, no. 4, pp. 503-511, Apr. 2000.
- [10] V. Gopinathan et al, "A 2.5V 30MHz-100MHz, 7th-order, equiripple group-delay continuous-time filter and variable-gain amplifier implemented in 0.25um CMOS," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, Feb. 1999, pp. 394-395.
- [11] H. Thapar et al, "Hard disk drive read channels: Technology and Trends," IEEE Custom Integrated Circuits Conf., pp. 309-316, May 1999.
- [12] K. D. Patrick, D. A. Brewster, and A. A. Abidi, "A 160-MHz analog front-end IC for EPR-IV magnetic storage read channels," IEEE Jour. Solid-State Circuits, vol. 31, no. 11, pp. 1803-1816, Nov. 1996.
- [13] C. C. Hung et al, "Low-voltage, micropower weak-inversion CMOS Gm-C filter," Proc. IEEE 3rd Electronics, Circuits and Systems, pp. 1178-1181, Rodos, Greece, Oct. 1996.
- [14] Marzia Annovazzi et al, "A low-power 98-dB multibit audio DAC in a standard 3.3-V 0.35-um CMOS technology," IEEE Jour. Solid-State Circuits, vol. 37, no. 7, pp. 825-834, July 2002.
- [15] S.H. Lim et al, "A channel-selection switched capacitor filter with slew-rate enhancement operational amplifier," Proc. IEEE 47th Midwest Symp. Circuits and Systems, pp. I-117-I-120, Hiroshima, Japan, July 2004.
- [16] Q. Aloisi et al, "Exploiting the high frequency performance of low-voltage low-power SC filters," IEEE Trans. Circuits and Syst. -II, vol. 51, no. 2, pp. 77-84, Feb. 2004.
- [17] K. V. Hartingsveldt et al, "A 10.7MHz CMOS SC radio IF filter with variable gain and a Q of 55," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 152-153, Feb. 2000.

## 저자소개



임진엽

1999년 서울시립대학교 반도체공학(학사)  
 2001년 서울시립대학교 전자전기공학(석사)  
 2001년-2002년 GCT semiconductor  
 2003년 서울시립대학교 전자전기컴퓨터공학(박사과정)  
 주관심분야 고성능 아날로그 회로 설계



최중호

1987년 서울대학교 전자공학(학사)  
 1989년 서울대학교 전자공학(석사)  
 1993년 Univ. of Southern California 전기공학(박사)  
 1993년-1996년 IBM T. J. Watson Research Center 연구원  
 1996년-현재 서울시립대학교 조교수, 부교수  
 주관심분야 고성능 아날로그 회로 설계