

델타-시그마 모듈레이터 (Delta-Sigma Modulator) 설계 기술

한건희(연세대학교 전기·전자공학과)

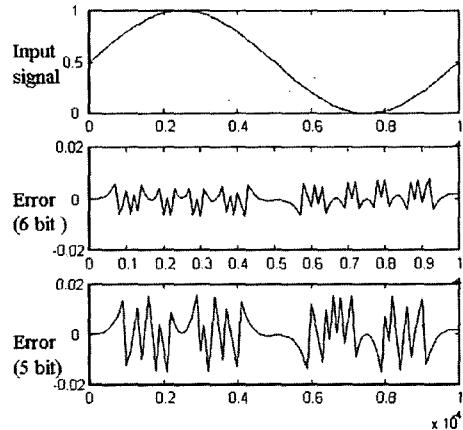
I. 양자화 잡음

아날로그 신호를 디지털 신호로 변환할 때 디지털 신호는 유한한 수의 구간으로 나누어 표현하게 되므로 실제 아날로그 값과 디지털로 변환된 값 사이에는 오차가 존재한다¹⁾. 이러한 오차를 양자화 오차(quantization error)라 하며 선형적으로 변화하는 입력신호에 대하여 일정한 패턴을 갖게 된다. 그림 1과 같이 입력 신호가 사인파인 경우 양자화 오차는 잡음과 유사한 형태를 띄게 된다. 이러한 잡음과 같은 형태의 양자화 오차를 양자화 잡음(quantization noise)이라 한다. 양자화 잡음은 양자화기의 해상도가 높을수록 작은 값을 갖게 되며 사인파 신호와 양자화 잡음의 비율, 즉 SNR을 구할 수 있으며 사인파 크기가 S_{max} 이며 N bit 양자화기의 경우 식 (1)과 같이 주어진다.

$$SNR[dB] = S_{max} [dB] + 6.02N + 1.76[dB] \quad (1)$$

II. 피드백 시스템

피드백은 매우 다양한 응용회로에 사용된다.

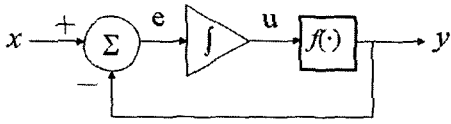


〈그림 1〉 사인파 입력에 대한 양자화 오차

기본적으로 피드백 시스템은 그림 2와 같이 임의의 시스템 $y=f(u)$ 의 출력(y)과 기대 값(x)의 차이를 에러(e)로 정의하고, 이러한 에러를 적분하여 $f(\cdot)$ 통하여 출력이 결정되도록 하는 루프로 구성되며 다음과 같은 식으로 표현된다.

$$\begin{cases} y = f(\int e dt) \\ e = x - y \end{cases} \quad (2)$$

식 (2)는 식 (3)과 같은 미분 방정식으로 표현될 수 있다.

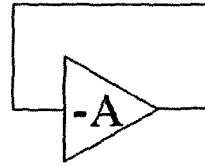


〈그림 2〉 피드백 시스템

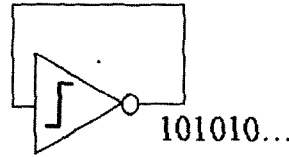
$$\frac{dy}{dt} = f'e = f' \cdot (x - y) \quad (3)$$

이 때 $f' > 0$ 인 경우, $dy/dt=0$ 인 평형 상태 (equilibrium)는 $x-y=0$ 인 경우, 즉 에러가 0인 경우에 형성된다. 그러므로 피드백 시스템은 정의된 에러가 최소가 되도록 시스템의 f' 입력 u 가 결정되도록 동작한다. 그러나 $dy/dt=0$ 인 상태는 평형상태로 반드시 안정된 점을 의미하지는 않는다. 예를 들어, 산의 정상과 골짜기에 각각 구슬을 올려놓는 경우 정상과 골짜기의 경사에 해당하는 미분 값은 두 경우 모두 0이지만 정상에 놓인 구슬의 경우 초기 움직임 없이 정확하게 정상에 놓이는 경우를 제외하면 항상 골짜기로 굴러가게 된다. 이와 같이 시스템의 상태 미분 방정식에서 $dy/dt=0$ 인 점을 fixed point라 하며 이러한 fixed point 주변에서의 미분 값의 방향 (gradient)이 fixed point를 향하는 경우 시스템은 안정(stable)하며 이와 반대로 fixed point로부터 멀어지는 경우 시스템은 불안정(unstable)하다.

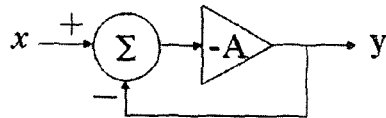
이와 같은 피드백 시스템은 출력이 아날로그인 경우와 논리회로인 경우 서로 다른 양상을 나타낸다. 그림 3(a)와 같이 아날로그 증폭기에 음의 피드백을 가한 경우 증폭기 회로에서의 폴 (pole)이 그림 2의 적분기에 상응하며 출력이 안정된 값으로 수렴(converge)하게 된다. 그러나 그림 3(b)와 같이 논리회로에 음의 피드백을 가한 경우에는 중간 값이 존재하지 않으므로 논리 값



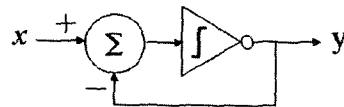
(a) 아날로그 회로의 음의 피드백



(b) 논리회로의 음의 피드백



(c) 입력이 추가된 아날로그 피드백

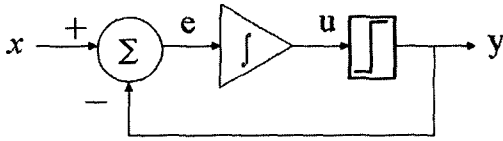


(d) 입력이 추가된 논리회로 피드백

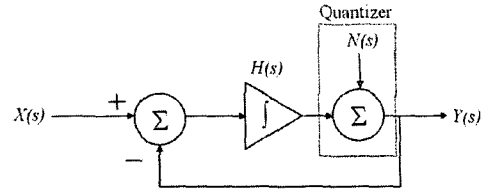
〈그림 3〉 아날로그 회로와 논리회로에서의 음의 피드백

'1'과 '0'을 반복하며 발진하게 되며 발진주파수는 회로의 시상수에 의하여 결정된다.

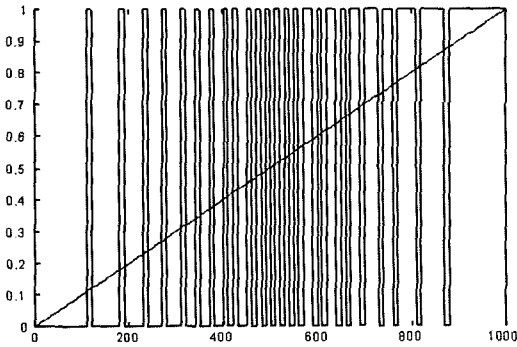
이와 같은 피드백 회로에 그림 3(c)와 (d)와 같이 입력을 추가하여 피드백을 구성하는 경우 아날로그 출력은 입력과 같은 값, $y=x$ 로 수렴하나 논리회로의 경우 '1'과 '0'을 반복하는 발진이



〈그림 4〉 델타-시그마 모듈레이터 기본 구조



〈그림 6〉 델타-시그마 모듈레이터 선형 모델



〈그림 5〉 아날로그 입력에 따른 델타-시그마 모듈레이터 출력

일어나며 이때 출력 펄스의 평균 값이 입력 값(x)과 같도록 발진하게 된다.

III. 델타-시그마 모듈레이터의 동작원리

델타-시그마 모듈레이터는 아날로그 입력을 디지털 펄스로 변환하며 이때 디지털 펄스의 평균 값이 아날로그 입력 값의 평균 값과 같도록 펄스를 발생시키는 일종의 제어형 발진회로로 PCM(Pulse Coded Modulation)에 상응하는 회로로 기본구조는 그림 4와 같이 뺄셈기, 적분기 및 1-bit 양자화기로 구성된다^[2].

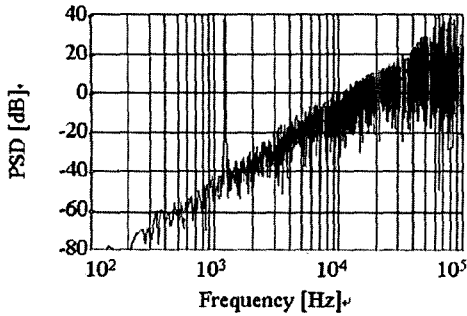
이 때 뺄셈기는 아날로그 입력(x)과 디지털 출력(y)의 차이, 즉 양자화 잡음을 구하여 에러로 정의하고 이를 적분하여 그림 2의 $f(\cdot)$ 에 해당

하는 양자화기 입력으로 사용하여 에러가 최소화 되도록 양자화기 입력(u)을 결정하는 구조이다. 입력 신호에 따라 출력 펄스는 그림 5와 같이 입력이 높을수록 출력이 'high'가 되는 빈도가 높아지며 입력이 낮을수록 출력이 'low'가 되는 빈도가 높아진다. 입력이 중간값인 경우에는 'high'와 'low'의 빈도가 같아 그 평균 값은 0이 된다.

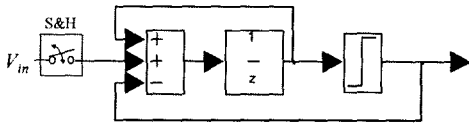
델타-시그마 모듈레이터는 유한한 해상도를 갖는 양자화기의 양자화 잡음을 최소화하기 위하여 양자화기 입력 값을 보정하는 회로로 생각할 수 있다. 양자화기를 그림 6과 같이 양자화 잡음이 더해지는 블록으로 생각할 수 있으며 이러한 모델을 이용하여 선형 시스템 해석 방법을 적용하여 전달 함수를 식 (4)와 같이 구할 수 있다.

$$Y(s) = \frac{1}{1+s} X(s) + \frac{s}{1+s} N(s) \quad (4)$$

이러한 전달 함수는 신호에 대하여는 low-pass 필터링을 양자화 잡음에 대하여는 high-pass 필터링을 수행한다. 그러므로 디지털 출력의 스펙트럼은 그림 7과 같이 양자화 잡음 중 저주파 성분은 필터링되어 줄어드는 반면 고주파 성분은 증가하게 된다. 이러한 현상을 noise shaping이라 하며 고주파 성분의 잡음을 모듈레이터 이후에 decimation filter라 불리는 디지털



〈그림 7〉 Low-pass 델타-시그마 모듈레이터 출력 스펙트럼



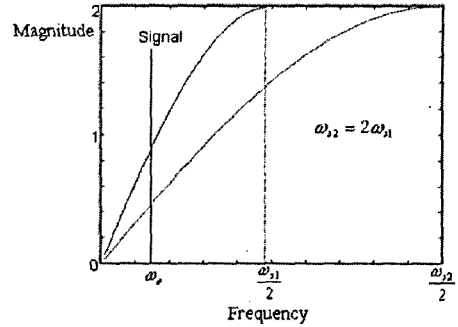
〈그림 8〉 이산시간 1차 델타-시그마 모듈레이터

필터를 이용하여 제거한다. 이러한 특성 때문에 델타-시그마 모듈레이터는 낮은 주파수의 신호에 대하여 Nyquist ADC로는 얻을 수 없는 높은 해상도의 AD 변환을 구현할 수 있다.

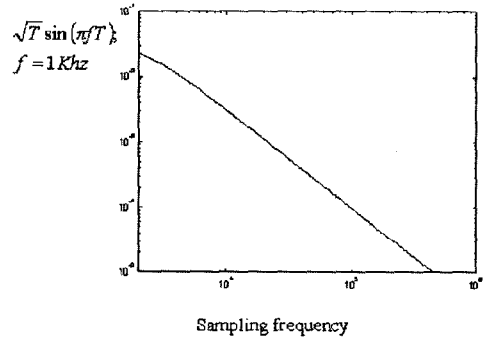
델타-시그마 모듈레이터를 그림 8과 같은 이산시간 회로(discrete-time circuit)로 구현하는 경우 전달함수는 식 (5)와 같이 구해진다.

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})N(z) \quad (5)$$

이 때 샘플링 주파수에 따라 양자화 잡음 전달 함수가 그림 9(a)와 같이 구하여지며 신호의 대역폭에 비하여 샘플링 주파수가 높을수록 신호 대역에서의 잡음이 낮아지게 된다. 그러므로 고 해상도의 AD변환 구현을 위하여 델타-시그마 모듈레이터는 신호 대역폭보다 매우 높은 주파



(a) 샘플링 주파수에 따른 잡음 크기



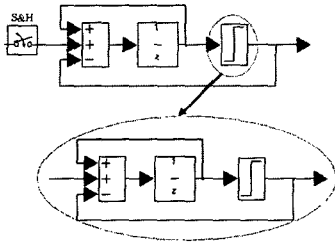
(b) OSR에 따른 잡음 크기

〈그림 9〉 잡음 전달 함수

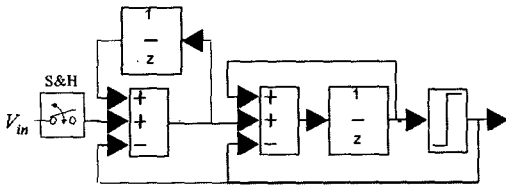
수로 샘플링하며 이러한 신호 대역폭과 샘플링 주파수의 비율을 over-sampling ratio(OSR)라 하며, 델타-시그마 모듈레이터를 이용한 ADC를 over-sampling ADC라 부르기도 한다. 그림 9(b)는 OSR에 따른 신호 대역내의 잡음의 크기를 보여 주고 있다.

IV. 고차 델타-시그마 모듈레이터

III장에서 설명하였듯이 델타-시그마 모듈레이터는 양자화 잡음을 shaping하는 구조이며 III



(a) 양자화기를 1차 구조로 재 적용 예



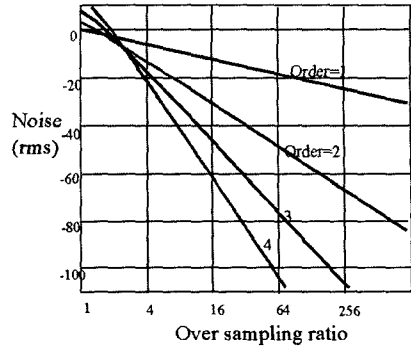
(b) 실제 구현된 2차 구조

<그림 10> 2차 델타-시그마 모듈레이터

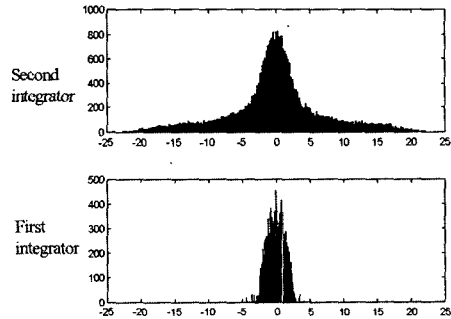
장에서와 같이 구현된 모듈레이터 또한 유한한 양자화 잡음을 갖게 된다. 이와 같은 양자화 잡음을 다시 한번 shaping하기 위하여 델타-시그마 모듈레이터 자체를 양자화기로 간주하여 그림 10과 같이 델타-시그마 모듈레이터 바깥 쪽에서 입력 신호와 출력 신호의 차, 즉 양자화 잡음을 구하여 피드백 시킴으로써 전체 양자화 잡음을 더욱 줄일 수 있다. 이와 같은 구조의 모듈레이터를 2차 델타-시그마 모듈레이터라 한다.

이와 같은 방법으로 차수를 높여감에 따라 더욱 높은 SNR을 얻을 수 있으며 그림 11은 OSR과 차수에 따른 noise power를 보여주고 있다.

그러나 차수가 높아질수록 각 적분기의 신호 범위가 넓어 주어진 전원 전압 범위 내에서는 구현이 불가능하게 된다. 예를 들어 2차 델타-시



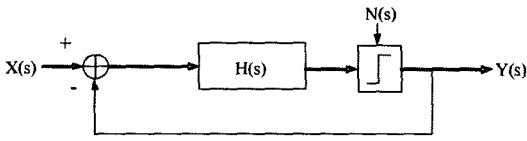
<그림 11> 차수와 OSR에 따른 noise power 비교



<그림 12> 적분기 출력 히스토그램 (양자화기 출력: ±1인 경우)

그마 모듈레이터의 경우 각 적분기의 출력 히스토그램은 그림 12와 같이 매우 넓은 범위에 분포하게 되므로 적분기 전후에서 적절한 scaling을 통하여 적분기의 신호범위가 전원전압 범위 내에 놓이도록 설계하여야 한다.

고차 델타-시그마 모듈레이터의 일반적인 형태는 그림 13과 같이 전달함수 $H(s)$ 를 갖는 필터를 구현하여 noise shaping을 하는 방법이며 $H(s)$ 는 안정성, 대역폭등을 고려하여 설계된다^[3]. 이때 델타-시그마 모듈레이터의 출력은 식 (6)과 같이 구하여진다.



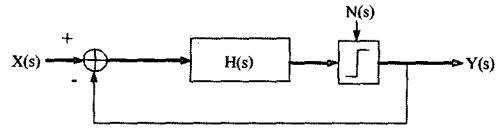
〈그림 13〉 고차 델타-시그마 모듈레이터

$$Y(s) = \frac{H(s)}{1+H(s)}X(s) + \frac{1}{1+H(s)}N(s) \quad (6)$$

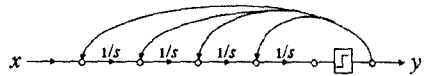
그러므로 델타-시그마 모듈레이터 설계는 아날로그 필터 설계와 크게 다르지 않으며 고차 모듈레이터는 그림 14(a)와 같은 단일 루프를 기본 형태로 설계된다. 그러나 이러한 단일 루프 구조는 안정성을 확보하기 어려우므로 이러한 루프에 그림 14(b)~(e)와 같이 forward path 또는 backward path를 추가하거나 그림 14(f)~(g)와 같이 이들의 조합을 사용할 수 있다. 그림 14(h)와 같이 local 루프를 추가하여 원하는 shaping filter의 전달 함수를 갖도록 설계하기도 한다. 이때 각 path의 이득과 구조는 모듈레이터의 안정성, 각 적분기의 신호 범위, 양자화 잡음과 신호에 대한 주파수 특성 등을 고려하여 결정한다.

고차 모듈레이터 구현 시 차수가 높아질수록 안정성을 확보하기 어렵고 과도한 scaling에 의하여 capacitor 비율이 커지는 등의 문제점이 있어 4차 이상의 구조는 구현에 어려움이 있다. 이러한 문제점을 피하기 위하여 그림 15와 같은 cascaded 구조를 사용할 수 있다^[4].

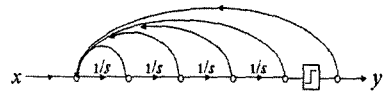
델타-시그마 모듈레이터의 동작원리가 양자화기의 양자화 잡음을 shaping하여 입력과 출력의 차를 최소화하기 위한 양자화기 입력을 결정하며 noise shaping filter의 차수가 낮을수록 최적한 양자화기 입력을 얻을 수 없어 양자화기 입력



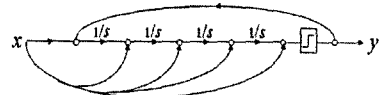
(a)



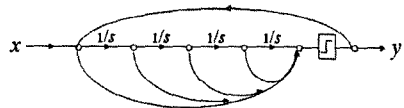
(b)



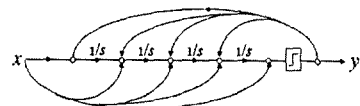
(c)



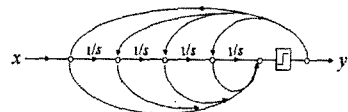
(d)



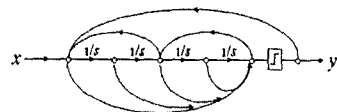
(e)



(f)

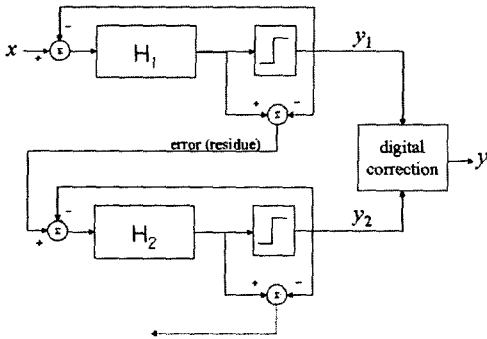


(g)



(h)

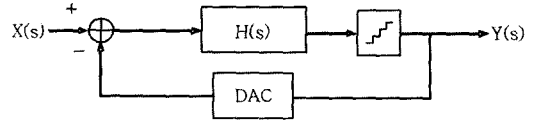
〈그림 14〉 다양한 루프 구조 형태



〈그림 15〉 Cascaded 델타-시그마 모듈레이터

과 출력의 차이는 모듈레이터의 에러로 남아있게 된다. 그러므로 양자화기 입력과 출력의 차이를 또 하나의 델타-시그마 모듈레이터를 이용하여 디지털로 변환시켜 원래의 모듈레이터 출력 y_1 과 양자화기의 오차를 디지털로 변환한 출력 y_2 를 이용하여 디지털 영역에서 보정하여 최종 출력 y 를 얻는 방법을 cascaded 구조 또는 MASH 구조라 한다. 이러한 cascaded 구조는 몇 단의 cascade를 사용하였는지 각 단은 몇 차의 모듈레이터를 사용하였는지를 나타내기 위하여 각 단의 차수를 차례로 나열하여 준다. 예를 들어 '2-1-1 cascade'는 첫 번째 루프에 2차 모듈레이터를 사용하고 첫 번째 루프의 양자화기 전후 차를 1차 모듈레이터를 사용하여 변환하고 이러한 두 번째 모듈레이터의 양자화기 전후 차를 다시 1차 모듈레이터를 사용하여 변환한 구조를 의미한다.

이러한 cascaded 구조는 안정성을 손쉽게 얻을 수 있다는 장점이 있으나 각 단 모듈레이터의 변환 이득이 이론 값과 달라 디지털 영역에서 각 단의 출력으로부터 최종 출력을 구해낼 때 오차가 발생하여 전체 해상도는 단수를 높이더라도



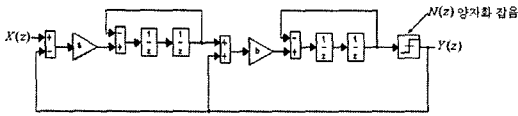
〈그림 16〉 멀티 bit 양자화기를 가진 델타-시그마 모듈레이터

어느 한계가 있으며 대략 3단 이상으로는 구성하지 않는 것이 일반적이며 첫 번째 단의 SNR이 전체 성능을 좌우하는 가장 중요한 요소이므로 일반적으로 첫 번째 단의 차수를 높게 설계한다.

델타-시그마 모듈레이터는 루프 이득이나 양자화기의 threshold와 같이 공정에 따라 변화하는 요소에 대하여 Nyquist ADC에 비하여 민감하지 않으나 양자화기의 출력의 크기 변화는 noise shaping이 되지 않아 SNR에 직접적으로 영향을 미치므로 일반적으로 1bit 양자화기를 사용한다. 그러나 모듈레이터의 차수 또는 cascade 단수를 높이더라도 어느 한계가 존재하므로 보다 높은 해상도를 얻기 위하여 양자화기의 해상도를 높이는 방법을 사용할 수 있다¹⁵⁾. 양자화기가 멀티 bit인 경우 그 출력을 아날로그 입력과 비교하기 위하여 그림 16과 같이 DA 변환기를 사용하며 이 때 DA 변환기의 비선형성에 의하여 모듈레이터 출력 스펙트럼에 일정한 패턴이 나타나게 되므로 이러한 현상을 최소화하기 위하여 DA 변환기의 단위소자를 랜덤하게 선택하여 변환시키는 dynamic element matching 기법을 사용하기도 한다¹⁶⁾.

V. 밴드-패스 델타-시그마 모듈레이터

지금까지 설명한 델타-시그마 모듈레이터는

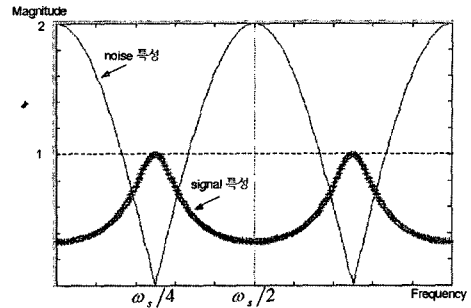


〈그림 17〉 밴드-패스 델타-시그마 모듈레이터 블록도

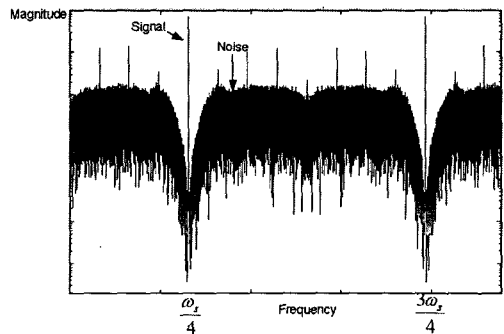
입력 신호가 음성과 같이 낮은 주파수를 갖는 신호를 디지털로 변환하기 위하여 양자화 잡음에 대하여는 high-pass 필터링을 신호에 대하여는 low-pass 필터링을 수행하는 noise shaping 필터를 사용하였다. 그러나 무선통신 시스템의 IF 단과 같이 신호 대역이 특정 주파수, f_c 를 중심으로 형성되는 경우 noise shaping 필터를 신호에 대하여는 밴드-패스 필터링을, 양자화 잡음에 대하여는 band-rejection 필터링을 수행하도록 설계함으로써 f_c 에 대하여 비교적 낮은 샘플링 주파수로 신호에 대하여는 높은 OSR을 확보하는 방법을 사용할 수 있으며 이러한 모듈레이터를 band-pass delta-sigma modulator(BPDSM)라 한다 [7]. BPDSM은 그림 17과 같이 $H(z)$ 가 $H(z) = -\frac{z^{-2}}{1+z^{-2}}$ 로 주어진 밴드-패스 필터인 경우 전달 함수는 식 (7)과 같이 구하여 진다.

$$Y(z) = \frac{H(z)}{1+H(z)}X(z) + \frac{1}{1+H(z)}N(z) \quad (7)$$

이 경우 신호와 양자화 잡음에 대한 주파수 응답이 그림 18(a)와 같이 주어지며 모듈레이터 출력 스펙트럼은 그림 18(b)와 같이 주어진다. Noise shaping 주파수 응답의 대칭성을 위하여 일반적으로 noise 전달 함수가 샘플링 주파수의 1/4에 해당하는 주파수에서 notch가 생기도록 그림 17과 같이 2개의 delay를 사용하는 것이 일



(a) 주파수 응답



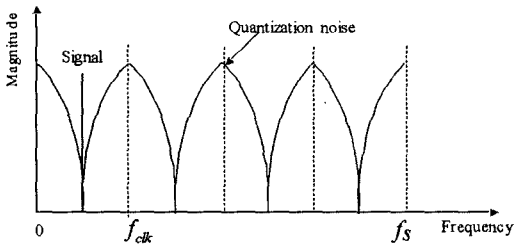
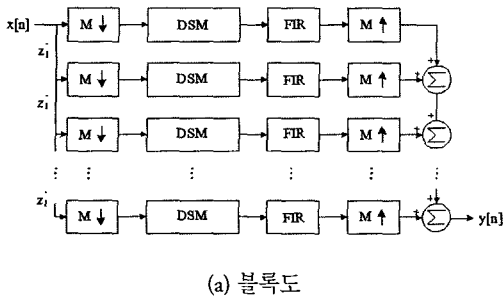
(b) 출력 스펙트럼

〈그림 18〉 밴드-패스 델타-시그마 모듈레이터

반적이다. BPDSM에서의 OSR은 신호의 중심 주파수와 샘플링 주파수의 비율이 아닌 신호 대역폭과 샘플링 주파수의 비율에 의하여 결정되므로 샘플링 주파수가 신호의 중심 주파수의 4배에 불과하더라도 신호 대역 주파수에 대해서는 높은 OSR을 갖게 된다.

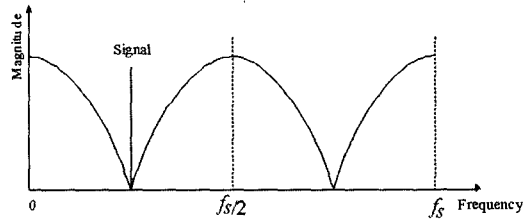
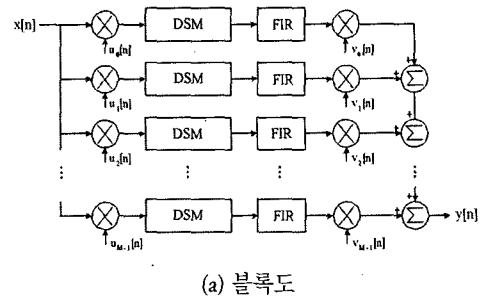
VI. 시분할 병렬 구조 (Time-Interleaved Parallel Architecture)

높은 샘플링 주파수를 실현하기 위해서 다수 개의 ADC를 병렬로 배열하고 입력 신호를 차례로 배분하여 출력을 각 ADC로부터 순차적으로



〈그림 19〉 Time-interleaved 병렬 구조를 이용한 델타-시그마 모듈레이터

읽어내는 병렬 구조는 회로의 동작 속도를 넘는 매우 고속의 AD 변환을 위하여 Nyquist ADC에서는 흔히 사용되는 구조로 이를 time-interleaved 병렬 구조라 한다. 그러나 델타-시그마 모듈레이터는 입력 신호의 각 샘플을 디지털로 변환하지 않고 출력의 평균이 입력의 평균을 쫓아가는 구조이므로 그림 19와 같이 N개의 델타-시그마 모듈레이터를 병렬로 배열하고 f_s 로 샘플링된 입력을 $1/N$ 의 주파수로 동작하는 모듈레이터에 배분하는 것은 각 델타-시그마 모듈레이터의 관점에서는 sub-sampling을 하는 것에 상응하며 이에 따른 지터 잡음의 영향이 매우 클 뿐만 아니라 입력 신호에 대역폭과 각 모듈레이터의 샘플링 주파수 f_s/N 의 비율에 의하



〈그림 20〉 Hardarmad 변환을 이용한 병렬 델타-시그마 모듈레이터

여 결정되며 그림 19(b)와 같은 출력 스펙트럼을 얻게 되어 높은 SNR을 구현하기 어렵다.

이러한 문제점을 해결하기 위하여 입출력에 그림 20(a)와 같은 회로를 추가하여 Hadarmad 변환을 수행함으로써 그림 20(b)와 같은 출력 스펙트럼을 얻어 높은 SNR을 구현할 수 있다. 하지만, 이와 같은 병렬 구조 역시 각 ADC 간에 mismatch에 의하여 출력의 신호 대역 내에 일정한 tone을 발생하는 문제점이 있으며 이를 보상하기 위하여 calibration 회로가 사용되기도 한다^{[8]~[9]}. 이러한 병렬구조에서 recursive 루프를 이용하여 calibration 회로 없이 각 ADC 간에 mismatch에 의한 영향을 제거할 수 있는 구조가 발표되었다.^[10]

참고 문헌

- [1] J. F. Blinn, "Quantization Error and Dithering," IEEE Computer Graphics and Applications, Vol. 14, pp. 78-82, July 1994.
- [2] S. R. Norsworthy, R. Schreier G. C. Temes et al., Delta-Sigma Data Converters Theory, Design and Simulation, IEEE Press, New York, pp. 1-41, 1991.
- [3] A. Ucar, "Improve Stability of High Order Sigma-Delta Modulators," Advanced A/D and D/A Conversion Techniques and their Applications, pp. 74-78, July 1999.
- [4] M. K. H. Chow, P. K. Chan and L. Siek, "Overloading in Multistage Sigma-Delta Modulators," AP-ASIC, pp. 242-245, Aug. 1999.
- [5] A. Rusu and H. Tenhunen, "A Multi-Bit Sigma-Delta Modulator for Wideband Applications," Proc. of Electronics, Circuits and Systems, Vol. 1, pp. 335-338, Sept. 2002.
- [6] R. Stubberud and J. W. Bruce, "An Analysis of Dynamic Element Matching Digital to Analog Converters," Proc. of the Midwest Symposium on Circuits and systems, Vol. 1, pp. 481-484, Aug. 1999.
- [7] F. Francesconi, V. Liberali and F. Maloberti, "A Band-Pass Sigma-Delta Modulator Architecture for Digital Radio," Proc. of the Midwest Symposium on Circuits and Systems, Vol. 2 pp. 885-888, Aug. 1995.
- [8] R. D. Batten, A. Eshraghi and T. S Fiez, "Calibration of Parallel Delta-Sigma ADCs," IEEE Trans. on Circuits and Systems II, Vol. 9, pp 390-399, June 2002.
- [9] V. Ferragina, A. Fornasari, U. Gatti, P. Malcovati and F. Maloberti, "Gain and Offset Mismatch Calibration in Multi-Path Sigma-Delta Modulators," proc. of International Symposium on Circuits and Systems, Vol. 1, pp. 953-956, May 2003.
- [10] M. Kwon, J. Lee and G. Han, "A Time-Interleaved Recursive Loop Band-Pass Delta-Sigma Modulator for a Digital IF CDMA receiver," IEEE Trans. on Circuits and Systems II (to be published).

저자소개



한건희

1990년 Yonsei University B. S.
 1997년 Texas A&M University Ph. D.
 1997년-1998년 Texas A&M Visiting Assistant Professor
 1998년-1999년 Texas A&M Visiting Research Scientist
 1998년-현재 Yonsei University Associate Professor
 주관심분야 CMOS Image Sensor, Analog/Mixed-signal VLSI Design