

# Data Converters (ADC, DAC) IC 설계 기술

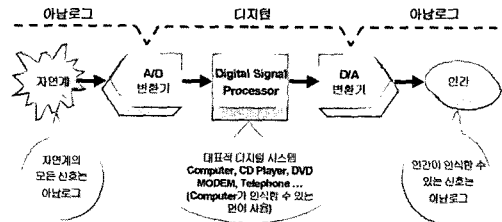
조영재(서강대학교), 임신일(서경대학교), 이승훈(서강대학교)

## 1. 데이터 변환기 설계 기술의 필요성

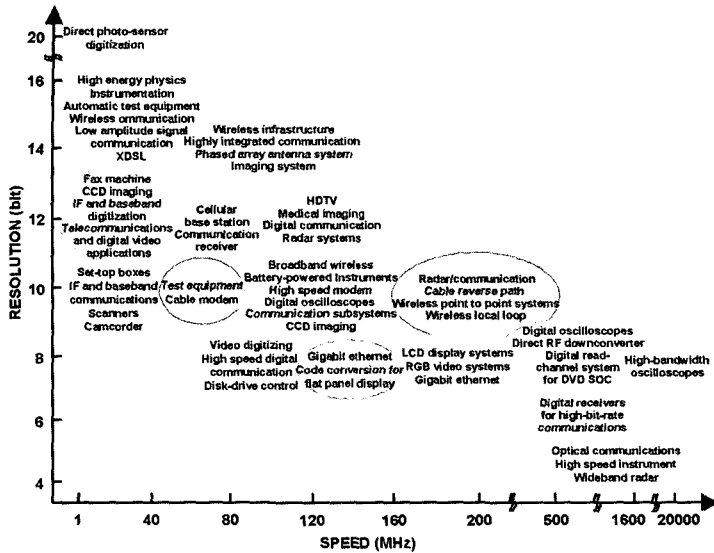
최근 고성능 전자 시스템의 설계 방식이 각종 응용에 적합한 신호처리의 속도, 전력, 단가 등 비용문제를 비롯하여 정확성, 양산 및 양산에 따르는 테스트, 제품의 신뢰성 문제로 거의 대부분의 신호를 디지털 영역에서 처리하는 방향으로 가는 추세에 있다. 그러나 그림 1과 같이 불행히도 인간이 듣고 보고 냄새 맡고 말하고 느끼는 자연계의 신호는 모두 아날로그 신호이기 때문에, 아무리 새로운 디지털 기술이 등장해도 인간과 연결이 되어 인간이 이해할 수가 없다면 그 기술은 별 의미가 없다. 따라서 컴퓨터가 적절히 처리할 수 있는 디지털 신호처리의 최초 단계 및 최종 단계에는, 아날로그 신호를 디지털 신호로, 디지털 신호를 아날로그 신호로 각각 바꾸어 주는 데이터 변환기는 반드시 필요하다.

우리가 통상 데이터 변환기라고 하면, 크게 두 가지 정도로 구분하여 이야기한다. 즉, 압력, 온도 등 각종 형태의 자연계의 아날로그 입력 신호를 전압이나 전류 등과 같은 전기 신호의 중간 단계를 거쳐, 이 아날로그 전기 신호들을 디지털 출력 비트로 변환해 주는 A/D 변환기 (Analog-

to-Digital Converter : ADC), 혹은 그 반대 방향으로 디지털 시스템에서 처리 완료된 디지털 입력 신호를 아날로그 출력 신호로 변환해 주는 D/A 변환기 (Digital-to-Analog Converter : DAC)를 통칭한다. 이러한 기능으로 인하여 종종 ADC를 인코더 (encoder), 그리고 DAC를 디코더 (decoder)라고도 부른다. 다양한 데이터 변환 응용 시스템에서 ADC 및 DAC 회로는 성능 향상을 위하여 여러 개의 아날로그 입력 채널을 하나의 고속 ADC로 처리하기 위하여 입력단 멀티플렉서 (Input Multiplexer)가 사용되기도 하며, 아날로그-디지털 변환 과정 동안 입력 신호의 변화로 인한 유한한 변환시간 (finite conversion time) 문제를 감소시키기 위하여 샘플-앤-홀드



〈그림 1〉 데이터 변환기 설계 기술의 필요성



〈그림 2〉 요구하는 해상도 및 처리속도에 따른 ADC 세부 응용 분야

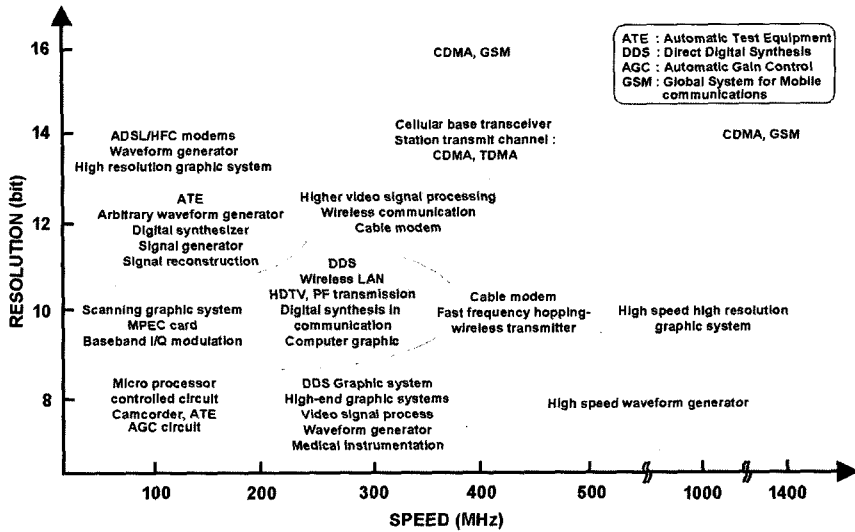
(Sample-and-Hold) 회로가 입력단 멀티플렉서의 다음 단계 사용되기도 한다.

한편, 또 다른 응용 분야에서 ADC 출력 및 DAC 입력 부분은 마이크로프로세서 등의 데이터 버스 (data bus)와 연결되므로 ADC의 경우에는 최종 디지털 출력단에, DAC의 경우에는 디지털 입력단에 데이터 래치를 첨가하여 연결되는 디지털 회로 블록과의 타이밍 등 인터페이스 문제를 해결할 수 있다.

## II. 데이터 변환기 응용 분야

ADC 및 DAC 등 데이터 변환기는 최근 수요가 점증하는 개인 휴대용 통신 기기를 비롯해서 이동통신 단말기, 광대역 모뎀 등과 같은 통신 분야, HDTV, 디지털 캠코더, Set-Top Box, DVD, LCD 모니터, 컬러 스캐너와 같은 음성 및

영상 신호처리 분야, MRI (Magnetic Resonance Imaging), CT (Computed Tomography), 보청기 등의 의료기기 분야, 음성인식, 비디오 그래픽 제어기 센서 등의 컴퓨터 분야 등 제반 집적 시스템 산업 전반에 다양하게 사용되고 있다. 이런 전자 시스템에 사용되는 ADC 및 DAC의 사양과 구조는 그 다양한 응용 분야에 따라 결정되며, 특히, 최근에 공정 기술의 급격한 발전과 더불어, 산업용, 의료용, 군사용 전자 제품들의 성능이 크게 향상됨에 따라, 고속 및 고해상도를 요구하면서 동시에 낮은 전력을 소모하며 생산 단가도 낮은 ADC에 대한 요구가 급속히 증가하고 있다. 이런 수요에 부응하기 위해 대략 1990 년도를 기점으로 그 이전에 주로 사용하던 바이폴라 공정도 CMOS 공정으로 대체되기 시작하여, 현재는 공정에 따라 구현할 수 있는 속도의 한계 등 CMOS 공정으로 해결할 수 없는 극소수



〈그림 3〉 요구하는 해상도 및 처리속도에 따른 DAC 세부 응용 분야

분야를 제외하고, 대략 90% 이상의 시스템에 사용되는 데이터 변환기는 CMOS 공정을 사용하는 것이 주요 추세가 되고 있다.

이런 데이터 변환기는 그 응용분야에 따라 다양한 해상도와 처리 속도를 필요로 하며, 필요한 해상도 및 처리속도에 따른 좀 더 구체적인 ADC 및 DAC의 세부 응용 분야는 그림 2 및 그림 3에 각각 나타나 있다. 신호처리 속도가 빨라지고 동시에 해상도가 높아지는 시스템의 가격은 선형적이 아닌 지수 함수적으로 증가하는 경향이 있으며, 그에 따른 데이터 변환기 자체의 가격도 급격히 증가하여 부가가치가 대단히 높아지게 되며, 최근에는 시스템 응용에 따라서는 높은 사양을 구현할 수 없을 경우 부르는 것이 가격이 되는 경우도 적지 않게 발생하고 있다.

### III. 데이터 변환기 사양 및 구조

#### 1. 데이터 변환기 사양

ADC 및 DAC의 성능 및 사양을 나타내는 주요 용어를 정리해보면 다음과 같다.

- Differential non-linearity (DNL) : 입력 축에서 연속하는 두 코드 사이의 차이는 에러가 없는 경우, 정확하게 두 코드간의 차이는 1 LSB 이나, 실제 이 값보다 크거나 작아질 수 있는데 이들 변화량이 각각의 코드의 DNL 에러를 나타낸다. 이 DNL 에러는 영상 신호의 경우, 그 정확도 에러만큼이나 인접 신호간의 구별이 어렵다는 개념과 유사하다.
- Integral non-linearity (INL) : 실제 입출력 특성 곡선에서 각 시작점과 끝점을 연결한 직

선에서 각 코드의 실제 특성 곡선과의 차이를 뜻한다. 이 INL 에러는 영상 신호의 경우, 가까이 있는 영상이 아닌 좀 떨어진 영상의 왜곡 현상 등과 유사한 개념으로 볼 수 있다.

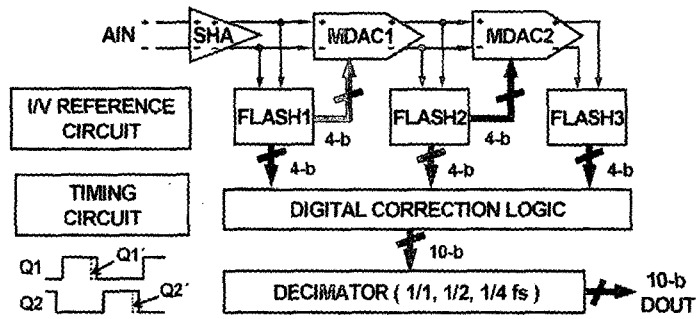
- 오프셋 오차 (Offset error) : 변환기의 특성 곡선이 아날로그 입력 축과 만나는 점에서부터 원점까지의 거리를 뜻한다. 즉 항상 이 오프셋에 해당되는 코드만큼 전체 코드에 일정한 차이가 있게 된다. 실제 이 오프셋 오차는 신호의 선형성과 큰 관계가 없기 때문에 그렇게 결정적인 사양은 아니다.
- 이득 오차 (Gain error) : 변환기 특성 곡선의 기울기가 에러가 없을 때의 값인 1과 비교했을 때의 차이 값을 뜻한다. 이 사양 역시 신호의 선형성과 직접적인 관계가 없기 때문에 전체 코드가 선형적이기만 하면, 이 이득 오차는 많은 시스템에서 결정적인 사양은 아니다.
- Full scale : 변환기가 받아들여서 처리할 수 있는 아날로그 입력 신호 크기의 최대값과 최소값의 차이에 해당한다. 통상 소비자형 가전제품 등에 사용되는 신호의 full scale은 보통 1 Vpp 혹은 2 Vpp 정도의 수준이다.
- 해상도 (Resolution) : 출력 디지털 코드에 대응하는 서로 다른 입력 수준의 수로서, 예를 들면, N 비트 해상도의 변환기라면  $2^N$  개의 서로 다른 아날로그 수준을 갖는다. 데이터 변환기에서는 일반적으로 입력 및 출력 디지털 코드의 비트 수를 의미한다.
- 정확도 (Accuracy) : 변환기의 절대적 정확도 (absolute accuracy)는 예상되는 전달함수 특성과 실제 특성간의 차이를 의미하고, 오프셋 오차, 이득 오차 등을 포함한다. 다음으로

이들 오프셋 오차, 이득 오차 등을 제거한 이후의 상대적 정확도 (relative accuracy)를 정의할 수 있는데, 예를 들면 12 비트의 상대적 정확도는 변환기의 에러가 입력 full scale 값을  $2^{12}$ 으로 나눈 값보다 작다는 것을 의미한다. 이 정확도는 해상도와 구분된다. 즉, 어떤 데이터 변환기가 주어진 해상도를 갖도록 설계한다고 해서 그만큼 정확한 것은 아닐 수 있으나, 상용화된 ADC 및 DAC는 거의 동일한 개념으로 사용된다.

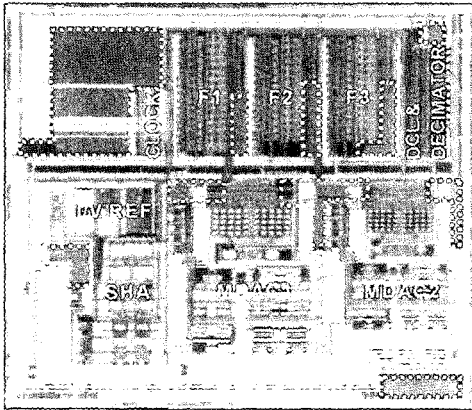
- 단조도 (Monotonicity) : 변환기의 전달 특성에서 볼 때, 입력이 증가하는 경우 출력 또한 증가하는 성질을 뜻한다. 즉, 입력이 증가하는 반면 출력이 감소하는 경우는 monotonic 하지 않으며 유효한 비트를 가진 ADC 및 DAC로서의 가치를 상실한다.
- 안정도 (Stability) : 변환기의 성능은 동작중의 전원 전압, 온도 등의 변화에 따라 변화되는데, 이러한 전체적 성능이 선형성 (linearity)과 단조도 등을 만족시키는 상태를 뜻한다. 이 부분은 상용화하려면 반드시 해결이 되어야 하는 중요한 문제이다<sup>14)</sup>.

## 2. ADC 구조

낮은 주파수 대역의 신호를 처리하기 위해서는 적분형 (Integrating-Type), 경사형 (Slope-Type), 전하 평형 (Charge-Balancing), 축차근사형 (Successive Approximation Type), R&C 및 C&R Type 등 다양한 구조를 사용할 수 있으며, 고속의 주파수 대역을 가지는 신호를 처리해야 하는 ADC 구조로는 플래쉬 (Flash), 2단 (Two-Step), 폴딩 (Folding), 파이프라인 (Pipeline), 타임-인터리브드 (Time-Interleaved), 인터폴레이팅



〈그림 4〉 전형적인 파이프라인 ADC 구조



〈그림 5〉 ISSCC2003에서 발표한 10비트 150MS/s 저전력 CMOS ADC 시제품 칩 (서강대-삼성전자 제공)

(Interpolating) 구조 등이 있다. 또한, 작은 면적으로 효율적인 신호처리를 요구하는 응용에서는 알고리즘 (Algorithmic) 구조를 주로 사용하며, 고성능 음향 시스템 등 낮은 주파수 대역의 신호를 처리하면서 14 비트 이상의 고해상도를 요구하는 곳에는 시그마 델타 방식 (Sigma-Delta)의 구조를 주로 사용한다. 한편, 최근의 일부 RF 통신 시스템에서는 밴드-패스 (Band-Pass) 시그마 델타 방식의 구조도 선보이고 있는데, 이

것은 설계가 복잡하고 칩 면적이 비교적 큰 경향이 있지만 고속과 고해상도의 특성을 동시에 얻을 수 있는 구조로 보인다<sup>[45]</sup>.

그림 4는 최근 3-4 년간 고속의 영상 신호 및 데이터 신호 처리를 위해, 수십에서 수백 MHz의 클럭을 사용하면서 10 비트 이상의 해상도를 얻기 위해 주로 사용해 온, 전형적인 고속 파이프라인 ADC 구조를 나타내며, 그림 5는 이 그림 4의 파이프라인 구조의 ADC를 0.18 um CMOS 공정으로 서강대 및 삼성전자가 협력하여 구현하여 그 성능을 ISSCC 2003에서 발표한 시제품 칩 사진을 보여주며, 점선 (□) 부분은 decoupling MOS 커패시터를 집적한 것이다<sup>[46]</sup>.

한편, 주어진 공정에서 공정이 제공할 수 있는 능력 이상의 더 높은 해상도를 얻기 위해 사용하기 시작한 보정 (calibration) 기법을 적용한 ADC 구조로는, SAR (Successive Approximation Register) Type, Ratio-Independent Type, Reference Recycling Type, 아날로그 Capacitor Error-Averaged 구조 등을 들 수 있다. 이 보정 기법을 적용한 ADC 칩은 최근 4-5년간 집중적으로 발표되고 있으며, 주요 연구 분야로 각광을 받고 있는 관계로 간단히 소개한다.

보정 기법은 크게 아날로그 영역의 보정 기법과 디지털 영역의 보정 기법으로 나누어지며, 아날로그 영역에서의 보정 기법은 커패시터의 부정합이나 연산 증폭기의 유한한 전압 이득으로 인한 오차 성분을 추가적인 타이밍과 회로를 이용하여 아날로그 영역에서 제거하는 기법으로 다른 블록의 회로의 잡음 등의 영향을 많이 받게 되는 단점이 있다. 한편, 디지털 영역의 보정 기법은 보정 기간에 오차 성분을 미리 측정하여 메모리에 저장한 후 정상 변환시 디지털 출력에서 저장된 오차 성분을 디지털 영역에서 제거하는 최신 기법이다. 디지털 영역의 보정 기법은 기존의 ADC 구조를 그대로 유지하면서 보정을 위한 디지털 제어 회로만 추가하여 높은 해상도의 출력을 얻을 수 있고, 상대적으로 높은 속도에서 동작이 가능한 디지털 영역에서 오차를 제거할 수 있으므로 추가적인 아날로그 회로가 필요하지 않아 빠른 동작 속도를 얻을 수 있는 장점이 있어서, 공정의 한계를 뛰어넘는 해상도를 구현하는 기법으로 최근 ISSCC 등 주요 학회의 데이터 변환기는 이런 보정 기법을 언급하지 않고는 논문을 발표하기도 어려울 정도이다<sup>[6]</sup>.

### 3. DAC 구조

기존에 사용되어 오던 DAC 구조로는 디코더를 사용한 DAC, 저항열 타입 (Resistor String Type), 폴디드 저항열 타입 (Folded Resistor String Type), 다단 저항열 타입 (Multiple Resistor String Type), 2진 가중치 배열 (Binary Weighted Array), 단위 전류셀 매트릭스 (Unit Current Cell Matrix) 등이 있으며, 최근에는 이런 방식의 혼합형 및 저항 배열과 커패시터 배열을 이용한 저항-커패시터열 타입 (Resistor-Capacitor Array

Type) DAC, 커패시터 배열과 저항 배열을 이용한 커패시터-저항열 타입 (Capacitor-Resistor Array Type) DAC, 온도계 코드 기법을 이용한 DAC 및 분할 방식을 이용한 세그먼트 타입 (Segmented Type) DAC 등도 많이 사용하고 있다. 각각의 장점 및 단점은 많은 참고문헌에 잘 나타나 있다<sup>[8]</sup>.

전형적인 DAC 응용의 예를 들면, 고성능 VDSL (Very high-speed Digital Subscriber Line), WLAN (Wireless Local Area Network), Cellular Base Station 및 GSM (Global System for Mobile communications) 등에는 칩 내부에 고속 고해상도의 DAC가 필수적으로 요구되고 있다. 최근 발표되고 있는 이러한 응용에 사용되는 고속 고해상도 CMOS DAC의 대부분은 2진 가중치 배열 구조와 단위 전류셀 매트릭스 구조의 장점을 적절히 혼합한 분할 방식을 이용한 DAC 구조이다. 이러한 구조는 동작 속도 및 선형성에서 장점을 갖지만 공정 변수의 변화, 전류원의 부정합 및 고속 동작시 출력단에 발생하는 글리치 (glitch) 등에 의해 DAC의 동작성능이 저하될 수 있다. 이러한 성능저하를 막기 위하여 여러 가지 보정 기법, 디글리치 (degitch) 회로, 경사 오차 (graded error) 와 대칭 오차 (symmetrical error) 를 줄이기 위한 레이아웃 기법 등을 사용한다. 또한 이러한 전류 모드 DAC에서 높은 SFDR (Spurious Free Dynamic Range) 를 얻기 위해서는 출력단 저항을 크게 하는 것도 주요 설계 이슈 중 하나이다<sup>[9-10]</sup>.

### 4. 데이터 변환기 측정 및 성능 평가

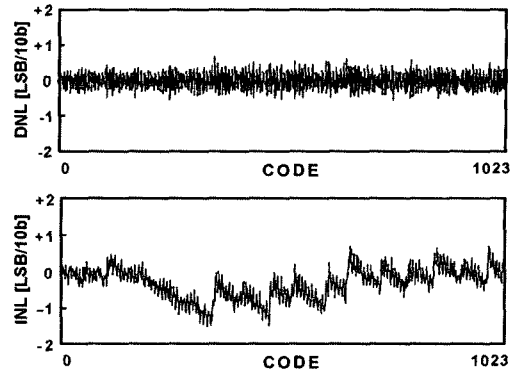
데이터 변환기와 같이 아날로그 회로와 디지털 회로가 공존하는 혼성 모드 (mixed-mode) 회

로의 측정에는 많은 주의와 기술이 요구된다. 소자들의 기생 (parasitic) 성분이나 원치 않는 신호들 사이의 간섭, 그리고 높은 주파수의 샘플링 (sampling) 클록이나 디지털 신호에 의한 접지면의 떨림 현상 등이 ADC의 출력에 영향을 줄 수 있다. 데이터 변환기 성능 측정은 크게 두 가지 측정적 특성 및 동적 특성 측정으로 나누어지는데, 정적 특성 측정은 DNL, INL, 이득 오차, 그리고 오프셋 오차 등이 있으며, 이와 같은 정적 특성은 소자의 부정합 등에 의한 변환기의 선형성 오차를 나타낸다.

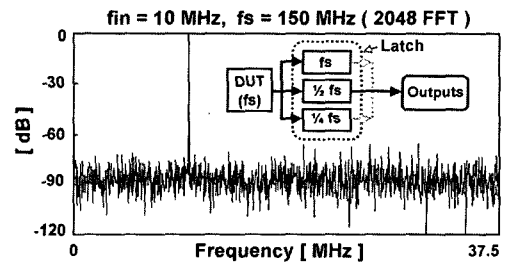
한편, SNR (Signal-to-Noise Ratio), THD (Total Harmonic Distortion), SNDR (Signal-to-Noise-and-Distortion Ratio) 및 SFDR 등의 동적 특성은 정착 시간 (settling time), 클럭 지터 (clock jitter), 글리치 에너지, 그리고 여러 가지 잡음 성분 등이 고려된 변환기의 성능을 나타낸다. 이 중, SNR은 출력 신호에서 신호의 전력과 전체 잡음 성분 전력의 비율로서 이와 같은 SNR은 변환기의 정밀도에 따라 달라지는데, 이론적으로 양자화에 의한 오차 성분만을 고려할 경우, N 비트의 정밀도를 갖는 변환기의 SNR은 식 (1)과 같다.

$$SNR = 6.02 N + 1.76 \text{ (dB)} \quad (1)$$

그리고 THD는 전체 하모닉 (harmonic) 성분의 합이며, SNDR은 신호의 전력과 하모닉 성분을 포함한 전체 잡음 성분 전력의 비율을 의미한다. 실제 측정된 SNDR로부터 ENOB(Effective Number Of Bit)가 자동적으로 계산되며, SFDR은 신호의 전력과 가장 큰 값을 갖는 하모닉 전력과의 비율을 나타낸다. 그림6 및 그림7은 그림5에서 보여준 ADC의 전형적인 DNL, INL 및 SNDR 측정결과를 보여준다<sup>[6]</sup>.



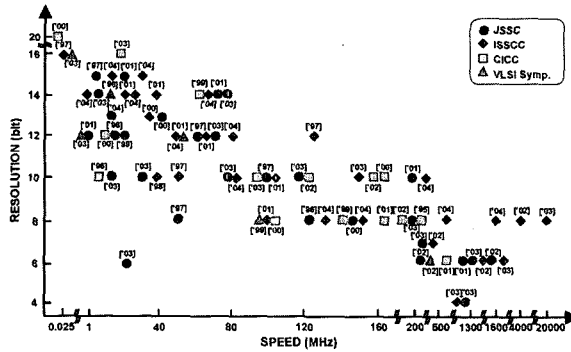
〈그림 6〉 전형적인 DNL 및 INL 결과



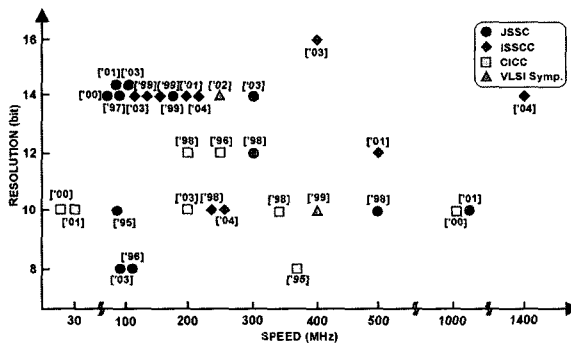
〈그림 7〉 전형적인 FFT 분석 및 SNDR 측정 결과

#### IV. 국외 및 국내 데이터 변환기 최근 기술 동향

국내 및 국외 ADC 및 DAC 회로의 최근 10년 정도의 기술 동향을 IEEE 주요 학회논문 및 저널논문을 중심으로 살펴보면, 그림 8 및 그림 9와 같이 요약할 수 있다. 그림 8에서 보는 바와 같이 ADC의 경우, 동일한 해상도에서 처리속도가 점점 빨라지는 방향으로 가고 있으며, 동일한 처리속도 구간에서는 해상도가 점점 높아지고 있으며, 예를 들면, 6 비트 해상도 수준에서는 이



〈그림 8〉 최근 10년 정도의 국내 외 ADC 기술 개발 동향



〈그림 9〉 최근 10년 정도의 국내 외 DAC 기술 개발 동향

미 Gbit/s 의 속도를 훌쩍 넘어서고 있다.

최근의 데이터 변환기 기술 개발 추세를 살펴 보면, 필요한 시스템 응용에서 해상도, 신호처리 속도, 사용 전력 및 칩 면적 등을 최적화하기 위해, 음성 신호처리를 위한 구조로는 시그마 델타 방식을 많이 사용하고, 영상 신호 및 고속 데이터 신호를 처리하기 위한 구조로는 파이프라인 구조를 많이 사용하는 방향으로 가고 있는 추세이다. 특히, 최근 미세 CMOS 공정 가공 기술 및 정보

통신 분야의 기술발전과 더불어, 높은 해상도를 요구하는 시스템이 급격히 증가하여 전자 보정 기술을 적용한 구조의 사용도 점증하고 있다.

또 하나의 주요 데이터 변환기 기술 개발 추세로는, 동일한 속도 및 해상도를 가질 경우에는, 전력소모가 적으면서 작은 칩 면적을 차지하는 방향인데, 이는 최근 공정이 0.18  $\mu\text{m}$ , 0.13  $\mu\text{m}$  공정을 거쳐, 0.09  $\mu\text{m}$  즉, 나노 공정으로 접어들면서, 아날로그 및 디지털 회로 등 여러 가지 다



양한 혼합 모드 기능들이 하나의 칩 속으로 집적되는 소위 System-on-a-Chip (SoC) 시대로 들어가면서 개별 부품으로서의 ADC 및 DAC는 그 가치가 조금씩 줄어들면서, 큰 시스템 속의 하나의 핵심블록 혹은 IP (Intellectual Property)로서의 데이터 변환기가 피할 수 없는 추세로 점차 자리를 잡아 가고 있다.

## V. 데이터 변환기 향후 기술 개발의 발전 방향

데이터 변환기의 향후 기술 개발 발전 방향을 간단히 언급하기는 어려우나, 큰 방향은 다음과 같이 가늠해 볼 수는 있다. 기존의 보드 수준의 시스템 설계와 같이, 각각의 사양에 맞는 부품을 개별적으로 각종 회사로부터 구입해서 보드 수준에서 시스템을 설계하는 것은 성능 저하와 함께 가격 경쟁력이 떨어지게 되며, 어떤 시스템은 필요한 사양을 가진 데이터 변환기 부품이 없거나 있다고 해도 그 부품을 외부에서 연결할 경우 수백 MS/s 이상의 동작속도에서는 아예 잡음 및 기타 문제들로 동작을 하지 않는 등 필요 시스템 설계조차 불가능할 수도 있다. 즉, 이제는 핵심 IP로서의 데이터 변환기의 가치가 커지고 있으며, 이 핵심 데이터 변환기 IP의 확보 전략 없이는 더 이상 최고의 시스템 및 회로를 개발하기가 어렵게 될 것이다.

향후 사용하는 공정은 가격 경쟁력을 위해서 최근에 주로 사용 중인 CMOS 공정을 지속적으로 사용하는 방향으로 갈 것이며, 특히 RF front-end 회로 - ADC - 베이스 밴드 신호처리 회로 - 메모리 등 기타 주요 회로들을 하나의 칩 속으로 집적하는 SoC 로 시스템 개발 방향이 정리되면서, 이 IP 개발 및 적용은 시스템의 성능, 가격 등

생명을 좌우할 정도에 이르고 있는 양상이다. 이 경우, 고속의 아날로그 신호, 기저 신호대역에서의 아날로그 신호, 고속의 디지털 신호가 하나의 칩 속에 집적되면서, 기존에는 볼 수 없는 각종 형태의 신호 간섭 및 혼선 등으로 인한 문제가 크게 발생할 것이며, 이를 줄이기 위한 각종 회로 및 시스템 설계 기술을 절대적으로 필요로 할 것이다.

데이터 변환기 구조를 살펴보면, ADC의 경우, 음성신호 대역을 처리하는 시스템에서는 약간의 축차 근사형 방식과 함께 현재처럼 시그마 델타 구조 방식이 주로 사용될 것이며, 영상신호 및 고속 데이터 신호처리를 위해서는 대부분 파이프라인 구조를 사용하되, 공정의 한계를 넘어서는 해상도를 구현하기 위해서 보정 기법을 이용하여 해상도를 높이는 방향으로 갈 것으로 본다. 실제로, 최근 4-5년간 ISSCC 등 주요 국제 학회에서 집중적으로 선을 보이고 있는 ADC 칩들에는 보정 기법이 적용되는 경우가 많다. 추후에는 이 보정 기법을 적용하는데 있어서 복잡하지 않으면서도, 높은 해상도를 얻을 수 있고, 또 전력이나 면적소모도 많지 않은 설계 기법을 창안하는 것이 주요 이슈가 될 것이다. 한편, DAC의 경우, 그 구조가 ADC 만큼 복잡하지는 않으나 면적 및 해상도가 주요 이슈가 될 것이며, 전력소모는 출력에 사용되는 출력 저항의 크기와 출력신호의 범위에 따라 거의 결정이 되는 경향이 있어서 크게 강조되지는 않을 것이나, 각종 시스템에 요구되는 높은 해상도를 높이기 위해서 소자들의 부정합을 줄이기 위한 각종 형태의 레이아웃 기법이 계속 제안될 것이며, 특히 동적인 (dynamic) 성능 향상을 위해서는 전류원 출력단의 저항을 키우는 이슈와 사용하는 CMOS 소자의 성능을 최대한으로 활용하는 전류원

및 관련된 구동회로의 설계가 계속해서 주요 이슈가 될 것이다.

데이터 변환기의 종류가 ADC이건 DAC이건 관계없이 공통적으로 고려해야할 점들 중의 하나는, 신호처리 속도 및 요구하는 해상도가 급격히 높아짐에 따라, 이제 데이터 변환기 시제품이 있다고 해도 실질적인 성능을 평가할 수 있는 측정 및 성능평가 시스템의 필요성은 거의 데이터 변환기 개발 자체보다도 더 중요한 일로 간주될 수 있다. 예를 들면, 16 비트 정도의 해상도를 가지면서 수백 MS/s 이상의 처리속도를 가진 ADC가 있다고 해도 (현재는 없음) 그 수준의 신호를 발생시켜주는 신호 발생기와 클럭 발생기를 찾기도 어렵거나와 가격도 대당 수억원대를 호가할 정도이니 데이터 변환기 하나 설계 및 측정을 하기 위해 주변 기기를 준비하는데 드는 비용이 더 크게 될 것이나, 더 문제가 될 수 있는 부분은 이런 고가의 장비를 구매하였다고 해도 또 다른 사양의 데이터 변환기를 개발하려면 그 값비싼 장비는 또 하나의 유희장비가 될 수도 있다는 점이다. 따라서 이제는 데이터 변환기 개발을 위한 장비도 어떤 적절한 모델로 공동으로 구매하여 공동으로 사용하며 사용에 따라 유지비를 지불하는 관련 장비사업 분야도 활성화될 것으로 보인다. 아울러, ADC 및 DAC 측정을 위한 PCB 설계 기법은 더욱 중요하게 되는데, 데이터 변환기 측정 시 측정 보드 상에서 접지면의 떨림 현상이나 원치 않는 신호 사이의 간섭 현상 등이 발생할 수 있으며, 특히 변환 속도가 높아질수록 이와 같은 영향은 더욱 심각해질 수 있다. 데이터 변환기 측정을 위한 PCB 설계시 고려해야 하는 접지 방법, 신호 라인의 연결 기법 (routing), 전원 신호의 잡음 감소 (decoupling) 방법 및 좀 더 정밀한 측정을 위한 측정 방법 등에 대한 많

은 연구가 필요하게 될 것이다.

#### =====참고 문헌=====

- [1] A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, John Wiley & Sons, 1991.
- [2] S. H. Lewis and P. R. Gray, "A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 954-961, Dec. 1987.
- [3] P. F. Ferguson et al., "One bit higher order sigma-delta A/D converters," in *Proc. IEEE Inter. Symp. Circuits and Systems*, May 1990, pp. 890-893.
- [4] R. Taft et al., "A 1.8V 1.6GS/s 8b Self-Calibrating Folding ADC with 7.26 ENOB at Nyquist Frequency," in *ISSCC Dig. Tech Papers*, Feb. 2004, pp. 252-253.
- [5] D. Draxelmayer, "A 6b 600MHz 10mW ADC Array in Digital 90nm CMOS," in *ISSCC Dig. Tech Papers*, Feb. 2004, pp. 264-265.
- [6] S. M. Yoo et al., "A 10b 150MS/s 123mW 0.18um CMOS Pipelined ADC," in *ISSCC Dig. Tech Papers*, Feb. 2003, pp. 326-327.
- [7] S. H. Lee and B. S. Song, "A Code-error calibrated two-step A/D converter," in *ISSCC Dig. Tech Papers*, Feb. 1992, pp. 38-39, 237.
- [8] H. J. Schouwenaars et al., "A Low-Power Stereo 16-bit CMOS D/A Converter for Digital Audio," *IEEE J. Solid-State Circuits*, vol. 23, pp. 1290-1297, Dec. 1988.
- [9] Y. Cong and R. L. Geiger, "A 1.5V 14b 100MS/s Self-Calibrated DAC," in *ISSCC Dig. Tech Papers*, Feb. 2003, pp. 128-129.
- [10] B. Schafferer and R. Adams, "A 3V CMOS 400mW 14b 1.4GS/s DAC for Multi-Carrier Applications," in *ISSCC Dig. Tech Papers*, Feb. 2004, pp. 360-361.

저자소개



조영재

1999년 서강대학교 전자공학과 학사  
 2003년 서강대학교 전자공학과 석사  
 2003년-현재 서강대학교 전자공학과 박사과정  
 주관심분야 고속 고해상도 CMOS ADC 및 DAC,  
 CMOS 통신용 인터페이스, Integrated  
 Sensors 및 혼성모드 집적시스템



임신일

1980년 서강대학교 전자공학과 학사  
 1983년 서강대학교 전자공학과 석사  
 1982년-1991년 한국전자통신연구원 선임  
 1991년-1995년 전자부품연구원 선임  
 1995년 서강대학교 전자공학과 박사  
 1995년-현재 서강대학교 부교수  
 주관심분야 혼성집적회로설계, 데이터변환기설계, 통신  
 용집적회로, 센서 인터페이스 회로 설계

저자소개



이승훈

1984년 서울대학교 전자공학과 학사  
 1986년 서울대학교 전자공학과 석사  
 1986년-1990년 Cornell Univ. 및 Coordinated  
 Science Lab 연구원  
 1991년 Univ. of Illinois, Urbana-  
 Champaign 전기 및 전자공  
 학과 박사  
 1990년-1993년 미국 Analog Devices 수석  
 연구원  
 1993년-현재 서강대학교 조교수/부교수/정  
 교수  
 주관심분야 고속 고해상도 CMOS ADC 및 DAC,  
 CMOS A-to-D 인터페이스, Integrated  
 Sensors 및 혼성모드 집적시스템