

## 고속 인터페이스 기술과 표준화 동향

정태식, 주범순, 정해원 (한국전자통신연구원)

### 1 서론

SONET/SDH 전송망에서의 데이터 전송율은 10Gb/s급인 OC-192에서 40Gb/s급인 OC-768로 발전하였으며, 이더넷 (Ethernet)에서의 데이터 전송율은 1998년 1기가비트 이더넷 기술이 표준화된데 이어 2002년에 10기가비트 이더넷 기술의 표준화가 완료되었고 조만간 후속 기술로서 40Gb/s 또는 100Gb/s급의 이더넷에 대한 논의가 대두될 것으로 예측된다.

이와 같이 네트워크의 전송 속도가 수 Gb/s에서 수십 Gb/s로 고속화 및 대용량화 되어감에 따라 네트워크를 구성하는 각 스위칭 시스템의 용량 및 데이터 처리 속도 또한 지속적으로 증가하고 있다. 현재의 시스템 간 전송 기술은 수십 내지 수백 기가비트 대역에서 WDM (Wavelength Division Multiplexing) 등과 같은 광전송 기술을 사용함으로써 대용량 데이터 전송이 가능한 반면, 시스템을 구성하는 모듈 간의 상호 연결은 전기적인 연결 방식을 사용하기 때문에 전송 속도를 높이는데 있어서 많은 기술적 어려움이 있다. 특히, 종래의 모듈 간 인터페이스 방식으로서 일반적으로 사용되었던 공유 버스 형태의 병

렬 인터페이스 방식으로는 Gb/s급의 대역폭 확보가 어렵기 때문에 점차 스위치 패브릭 (switch fabric)을 이용한 점대점 (point-to-point) 연결 방식으로 발전하는 동시에 데이터 신호선 자체도 고속 링크를 사용하기에 이르렀다.

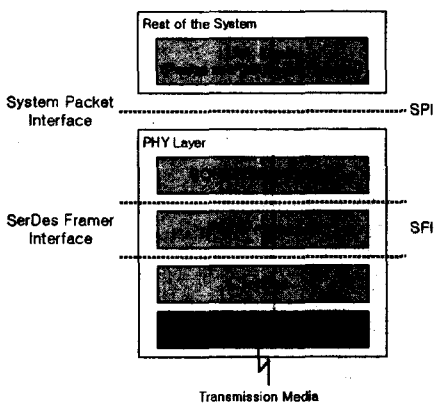
본 고에서는 네트워크 시스템의 내부 모듈 간 연결에 사용되는 표준 인터페이스 기술들, 특히 OIF<sup>[1]</sup> (Optical Internetworking Forum)에서 정의한 SONET/SDH에서의 계층 간 표준 인터페이스들과 IEEE Computer Society의 LAN/MAN 표준화 위원회<sup>[2]</sup> (IEEE 802 LAN/MAN Standard Committee)에서 정의한 이더넷에서의 계층 간 표준 인터페이스들에 대해 간략히 소개하고, 이들이 어떻게 진화해 왔는지를 살펴본다. 또한, 컴퓨팅 및 통신 분야에서의 시스템 표준화와 관련하여 PICMG<sup>[3]</sup> (PCI Industrial Computer Manufacturers Group)에서 정의한 ATCA (AdvancedTCA; Advanced Telecom Computing Architecture)에서 사용하는 고속 백플레인 (backplane) 인터페이스에 대해서도 간략하게 소개함으로써 향후 시스템 내부의 모듈 간 인터페이스들의 발전 방향을 고찰한다.

본 고에서는 II 장에서 OIF와 IEEE에서 정의

한 계층 간 표준 인터페이스를 살펴보고, III 장에서 PICMG에서 정의한 ATCA의 백플레인 인터페이스에 대해 소개한 후, IV 장에서 결론을 맺고자 한다.

## II. OIF 및 IEEE의 계층 간 표준 인터페이스

### 1. System Packet Interface (SPI)



〈그림 1〉 SPI와 SFI의 기준 모델

SPI는 OIF내 PLL (Physical - Link Layer) 워킹 그룹에서 정의한 규격으로 그림 1과 같이 SONET/SDH의 물리층과 링크층 사이에서 정의된 인터페이스이다. SPI는 POS - PHY 레벨 3 인터페이스를 기초로 하여 2.5Gb/s급 (OC - 48)의 데이터를 전송할 수 있는 SPI - 3이 2000년에 승인된 것을 시작으로 하여 10Gb/s급 (OC - 192)의 데이터 전송율을 지원하는 SPI - 4.1과 SPI - 4.2를 거쳐서 40Gb/s급 (OC - 768)을 지원하는 SPI - 5.1로 발전하였다. 각 인터페이스들의 주요 특징은 다음과 같다.

#### \*SPI-3

SPI - 3 (SPI Level 3)은 32비트의 점대점 버스로 동작하고 최대 104MHz의 클록 주파수로 동작하며 신호 레벨은 LVTTTL을 사용한다. 32비트의 데이터 버스는 4개의 독립적인 8비트 버스로 동작하여 4개의 622Mb/s급 (OC - 12) 물리층과 연결되거나 1개의 32비트 버스로 동작하여 1개의 2.5Gb/s급 (OC - 48) 물리층과 연결된다. SPI - 3은 일반적인 저속 인터페이스에서 사용하는 공통 클럭킹 (common clocking) 방식을 사용하므로 물리층과 링크층은 각각 보드 레벨에서 기준 클럭을 입력받아 동작한다.

로 동작하고 최대 104MHz의 클록 주파수로 동작하며 신호 레벨은 LVTTTL을 사용한다. 32비트의 데이터 버스는 4개의 독립적인 8비트 버스로 동작하여 4개의 622Mb/s급 (OC - 12) 물리층과 연결되거나 1개의 32비트 버스로 동작하여 1개의 2.5Gb/s급 (OC - 48) 물리층과 연결된다. SPI - 3은 일반적인 저속 인터페이스에서 사용하는 공통 클럭킹 (common clocking) 방식을 사용하므로 물리층과 링크층은 각각 보드 레벨에서 기준 클럭을 입력받아 동작한다.

#### \*SPI-4.1

SPI - 4.1 (SPI - 4 Phase 1)은 64비트의 점대점 버스로 동작하고 최대 200MHz의 클록 주파수로 동작하며 신호 레벨은 HSTL Class I을 사용한다. SPI - 4.1은 소스 싱크로너스 클럭킹 (source synchronous clocking) 방식을 사용하여 타이밍 마진 문제를 완화한다. 소스 싱크로너스 클럭킹은 데이터 신호와 이에 동기된 클럭 신호를 함께 전송하여 전송 선로에서 발생하는 위상 지연이 인터페이스 타이밍에 영향을 주지 않도록 하는 방식이다. 64비트의 데이터 버스는 4개의 독립적인 16비트 버스로 동작하여 4개의 2.5Gb/s급 (OC - 48) 물리층과 연결되거나 1개의 64비트 버스로 동작하여 1개의 10Gb/s급 (OC - 192) 물리층과 연결된다.

#### \*SPI-4.2

SPI - 4.2 (SPI - 4 Phase 2)는 16비트의 점대점 버스로 동작하고 최소 311MHz의 클록 주파수에 DDR로 동작하며 신호 레벨은 LVDS를 사용하는데, 흐름 제어에 필요한 상태 신호는 LVTTTL을 사용할 수도 있다. SPI - 4.2는 SPI - 4.1과 마찬가지로 10Gb/s급 (OC - 192)의 데이

터 전송율을 지원한다.

SPI - 4.2는 SPI - 3이나 SPI - 4.1과 같이 데이터 전송율이 증가함에 따라 데이터 버스의 폭이 이에 비례하여 증가하여 인터페이스 당 차지하는 신호선 수가 지나치게 많아지는 문제를 극복하기 위해 종전의 병렬 인터페이스의 개념을 벗어나 각각의 데이터 버스 신호선들을 고속 링크화 함으로써 인터페이스 신호선의 수를 줄였다. 이로 인해 보드 또는 시스템 레벨에서의 설계 복잡도는 단순해졌지만 SPI - 4.2의 송수신 블록 설계는 더욱 복잡해졌다. 즉, 이전의 병렬 인터페이스에는 없었던 클럭과 데이터 간의 동기화 과정이 필요하게 된 것이다.

SPI - 4.2에서의 동기화 과정은 트레이닝 패턴(training pattern)에 의한 바이트 동기 방식을 사용한다. 트레이닝 패턴은 정상적으로 전송되고 있는 데이터 패턴과는 구분되는 특수한 형태의 패턴으로 수신단에서는 16비트의 데이터들을 +/- 1비트씩 타이밍 조정을 하면서 트레이닝 패턴을 찾아 데이터 비트들 간의 스큐를 보정하여 바이트 동기를 수행한다.

또한, SPI - 4.2에서는 바이트 동기 외에도 비트 동기 과정이 선택적으로 수행된다. 비트 동기는 입력되는 데이터 비트를 리타이밍 하는데 가장 적합한 클럭의 위상을 찾아내는 것을 의미하는데 SPI - 4.2에서는 정적 정렬(static alignment) 방식이나 동적 정렬(dynamic alignment) 방식이 선택적으로 제공된다. 여기서, 정적 정렬 방식은 보드 또는 시스템 설계자가 데이터와 클럭의 위상 관계를 파악하여 수동적으로 클럭의 위상을 제어하는 방식이다. 이 방식은 SPI - 4.2의 수신단 설계가 간단한 장점이 있는 반면, 단일 위상의 클럭으로 16비트의 데이터를 모두 리타이밍 해야 하므로 타이밍 마진이 적기

때문에 보드 설계상에 많은 제약이 있다. 이에 반해 동적 정렬 방식은 입력되는 각각의 데이터 비트들의 위상을 지속적으로 파악하여 각 데이터 비트들 간의 스큐를 조절함으로써 항상 최적의 타이밍이 확보되도록 하는 방식으로 정적 정렬 방식에 비해 수신단 회로의 설계는 복잡하지만 보드 레벨에서의 설계 조건은 완화된다.

#### \*SPI-5

SPI - 5는 SPI - 4.2의 인터페이스 구조에서 데이터 신호선의 동작 속도가 증가된 것으로 16비트의 점대점 버스로 동작하고 데이터 비트 당 최소 2.488Gb/s의 속도로 동작하며 신호 레벨은 1.2V CML을 사용한다. 추가적으로 SPI - 5의 전기적 규격은 SxI - 5 (System Interface Level 5)<sup>(4)</sup>라는 별도의 규격에서 상세하게 정의되어 있다.

SPI - 5에서는 각각의 데이터 신호선이 2.5Gb/s 대역의 고속 링크로 동작한다. 따라서 송신단에서 제공하는 데이터 전송율의 1/4 주파수를 갖는 클럭 신호는 수신단에서 주파수 합성에 필요한 입력 클럭 정도로만 사용되고 각 비트의 리타이밍은 각 비트 수신단마다 가지고 있는 클럭/데이터 복원 회로를 통해 이루어진다. 또한, 각각의 데이터 비트들은 일정 수준 이상의 데이터 천이 성분을 포함하도록 함으로써 수신단에서의 클럭/데이터 복원이 용이하도록 스크램블링(scrambling) 과정을 거친다.

SPI - 5와 같이 외부 인터페이스 속도가 빠른 경우 내부에서는 버스 폭을 크게 하면서 저속 클럭으로 동작하도록 설계하는 것이 일반적이다. 따라서 길이가 짧은 데이터가 버스트(burst)하게 입력되면 내부 버스의 효율이 떨어지게 되고 이러한 상황이 지속되면 과부하 상태에 빠지는 문제가 발생한다. SPI - 5에서는 이러한 문제를 해

결하기 위해 burst admission procedure라는 기능을 사용한다. 이것은 송신단에서 토큰-버킷(token-bucket) 방식을 사용하여 일정 개수 이상의 짧은 길이의 데이터가 일정 시간 이내에 burst하게 송신되고 나면 데이터 전송을 잠시 중지하도록 함으로써 수신단의 과부하를 방지하게 된다.

## 2. SerDes Framer Interface (SFI)

SFI는 SPI와 마찬가지로 OIF내 PLL 위킹 그룹에서 정의한 규격으로 그림 1과 같이 SONET/SDH의 물리층 내부에서 Framer, FEC (Forward Error Correction) 처리기와 SerDes 사이에서 사용되는 표준 인터페이스이다. SFI는 10Gb/s급의 전송 속도를 지원하는 SFI-4.1과 SFI-4.2, 그리고 40Gb/s급의 전송 속도를 지원하는 SFI-5가 정의되어 있다. SFI는 SPI와 달리 별도의 프레임 포맷을 가지지 않고 물리층 내 블록들 간에 단순한 연결 경로만을 제공하고 흐름 제어 기능은 존재하지 않는다. 각 인터페이스들의 주요 특징은 다음과 같다.

### \*SFI-4

SFI-4.1 (SFI-4 Phase 1)은 신호 선로 당 622Mb/s에서 666Mb/s로 동작하는 LVDS 레벨의 16비트의 데이터 버스로 정의되어 있고, SFI-4.2 (SFI-4 Phase 2)는 선로 당 2.566Gb/s에서 3.125Gb/s로 동작하는 CML 레벨의 4비트 위 데이터 버스로 정의되어 있다.

SFI-4.2는 SPI-5와 마찬가지로 각각의 데이터 신호 선로가 링크로 동작하기 때문에 4개의 데이터 선로 간에 스큐를 검출해서 보상해야 할 필요가 있다. SFI-4.2에서는 각 데이터 스트림 내에 동기 패턴을 넣고 이를 찾아서 각 데이터

신호의 위상을 정렬하는 방식을 사용한다. 즉, 송신단에서는 데이터를 4그룹으로 나누고 나서 각각을 스크램블링 한 다음 64b/66b 코딩을 하여 동기 패턴을 삽입한 후 수신단으로 전달한다. 수신단은 4개의 데이터 신호선을 통해 입력되는 데이터에서 동기 패턴을 찾은 다음 64b/66b 디코딩한 후 디스크램블링(descrambling)을 하여 원래의 데이터를 추출하게 된다.

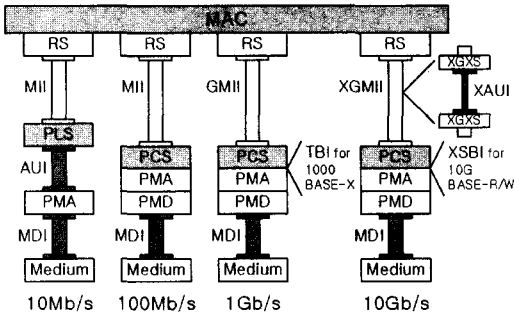
### \*SFI-5

SFI-5는 16비트의 데이터 버스로 동작하고 비트 당 데이터 전송율은 최소 2.488Gb/s에서 최대 3.125Gb/s이고, 신호 레벨은 CML을 사용한다. SFI-5의 전기적 특성은 SPI-5와 마찬가지로 SxI-5에서 정의되어 있다. SFI-5는 최대 50Gb/s의 데이터 전송율을 지원하므로 40Gb/s급의 OC-768 시스템뿐만 아니라 40Gb/s의 payload 데이터 전송율과 25%의 FEC 오버헤드를 갖는 기타 시스템에도 적용될 수 있다.

SFI-5에서는 데이터 신호선간의 스큐 보정을 위해 별도의 신호선을 할당하고, 여기에 16비트 데이터 버스상의 신호들을 동일 시점에 샘플링한 값을 담아서 수신단에 전달함으로써 수신단이 각 데이터 신호선들 간의 위상차를 찾아 이를 보상할 수 있도록 한다. 이것은 SFI-4.2와 같이 데이터 스트림 내에 동기용 패턴을 넣음으로써 발생하는 오버헤드에 비해 16비트 데이터 당 1비트의 오버헤드가 불기 때문에 전송 효율이 떨어지지만 디스큐(deskew) 과정을 아주 간단하게 구현할 수 있는 장점이 있다.

## 3. 이더넷에서의 계층간 인터페이스

MII (Media Independent Interface)는 그림 2와



〈그림 2〉 MII의 기준 모델

같이 이더넷에서의 MAC (Media Access Control) 층과 물리층 사이의 인터페이스로서 IEEE 802.3에서 정의된 인터페이스이다. MII는 10/100급의 이더넷에서 사용되는 인터페이스이고, GMII (Gigabit MII)와 XGMII (10Gigabit MII)는 각각 1기가비트 이더넷과 10기가비트 이더넷에서 사용되는 인터페이스이다. 각 인터페이스들의 특징은 다음과 같다.

\*GMII (Gigabit Media Independent Interface)

GMII는 1기가비트 이더넷에서의 MAC층과 물리층 간의 연결에 사용되는 표준 인터페이스이다. GMII는 Tx와 Rx가 각각 8비트의 바이트 단위로 데이터를 송수신하고 클록 주파수는 125MHz를 사용하여 총 1Gb/s의 데이터 전송을 제공하며, 신호 레벨은 LVTTTL을 사용한다. GMII는 SPI - 4와 마찬가지로 소스 싱크로너스 클록킹 방식을 사용하여 고속 인터페이스에서의 타이밍 마진을 확보하고 있다.

GMII는 기가비트 이더넷 포트 당 24개의 신호선을 사용하기 때문에 여러 개의 기가비트 이더넷 포트를 갖는 이더넷 스위치 소자를 만드는 데 있어서 효율성이 떨어지는 문제가 있다. 이를 극복하기 위해 이더넷 스위치 개발 업체들은

RGMII<sup>[5]</sup> (Reduced GMII)나 SGMII<sup>[6]</sup> (Serial GMII) 등과 같이 기가비트 이더넷 포트 당 인터페이스 신호선의 수를 줄인 별도의 표준을 만들어 사용하고 있다.

RGMII는 Hewlett Packard 사가 주도하여 제안한 업체 규격으로 송수신 각각 4비트의 데이터 신호선과 1비트의 상태 또는 제어 신호, 그리고 클록으로 구성되어 인터페이스 당 총 12핀을 사용하는 대신 클록은 125MHz에 DDR로 동작하도록 함으로써 1기가비트의 대역폭을 제공하게 된다. RGMI에서 사용하는 신호 레벨은 2.5V LVCMOS (RGMI Specification Version 1.3) 또는 1.5V HSTL (RGMI Specification Version 2.0)을 사용한다. RGMI는 기존의 GMII에 비해 사용 핀 수를 절반 이하로 줄인 것으로 현재 출시되고 있는 대부분의 고집적 이더넷 스위치 소자 또는 트랜시버 소자들은 RGMI를 지원하고 있다.

SGMII는 Cisco 사가 주도하여 제안한 업체 규격으로 RGMI에 비해 신호선의 수를 더욱 줄인 것으로 송수신 각각 하나의 차동 데이터 신호와 625MHz에 DDR로 동작하는 차동 클록 신호를 사용하여 총 8핀을 사용한다. SGMII는 IEEE 802.3z 표준에서 정의된 1000Base - SX의 PCS (Physical Coding Sublayer) 기능을 도입하여 GMII 인터페이스를 직렬 변환하여 송수신한다.

\*XGMII와 XAUUI

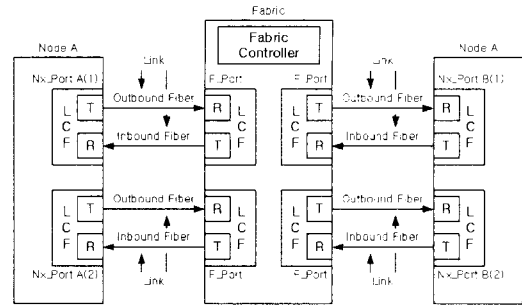
XGMII는 10기가비트 이더넷에서의 MAC층과 물리층 간의 인터페이스이다. XGMII는 송수신단이 각각 32비트의 단위로 데이터를 주고받으며, 신호 레벨은 HSTL Class I을 사용한다. XGMII도 GMII와 마찬가지로 소스 싱크로너스 클록킹 방식을 사용하고, XGMII에서의 클록 주파수는 데이터 전송율의 1/64인 156.25MHz를

사용하며 DDR로 동작한다.

XGMII는 10기가비트 이더넷 포트 당 74핀을 사용하며 각 데이터 신호선의 전송율은 312.5Mb/s로 매우 높은 편이다. 따라서 XGMII는 보드 레벨에서 설계상에 많은 어려움이 있으며 특히, FR-4재질의 PCB를 사용하는 경우 비트 간 스큐 등의 문제로 인해 허용 전송 길이가 7cm 이하로 제한되는 문제가 있다. 이를 해결하기 위해 32비트의 데이터 신호와 4개의 상태 또는 제어 신호를 4개의 그룹으로 나누고 이들을 각각 3.125Gb/s의 고속 링크에 실어서 전송하는 방식이 표준으로 정해졌는데 이것이 XAUI (10Gigabit Attachment Unit Interface)이다. XAUI는 3.125Gb/s로 동작하는 4개의 고속 링크로 구성된 인터페이스로 이를 이용하면 전송 거리를 50cm 정도로 확장할 수 있다.

### III. ATCA에서의 백플레인 인터페이스

ATCA(Advanced Telecommunication Computing Architecture)는 PICMG (PCI Industrial Computer Manufacturers Group)에서 개발된 표준 시스템 아키텍처 (architecture)이다. ATCA는 시스템 쉘프(shelf)나 보드 등과 같은 물리적인 규격뿐만 아니라 시스템 관리 방식 및 시스템 내 모듈간의 전기적 연결을 위한 백플레인 인터커넥션 (interconnection) 방식에 대한 규격도 포함함으로써 모듈화된 표준 규격의 시스템을 제공하는 것이 목적이다. ATCA 표준은 시스템의 기구 규격, 전원, 냉각 방식, 시스템 내 모듈 간 기본 인터페이스 방식 등과 같은 시스템 기본 규격에 대해 정의하고 있는 기본 규격 (PICMG 3.0)과 시스템 내 모듈 간에 40Gb/s급의 대용량 데이터 교환을 위한 패브릭 인터페이스를 정의하는 별도



〈그림 3〉 FiberChannel의 기준 모델기

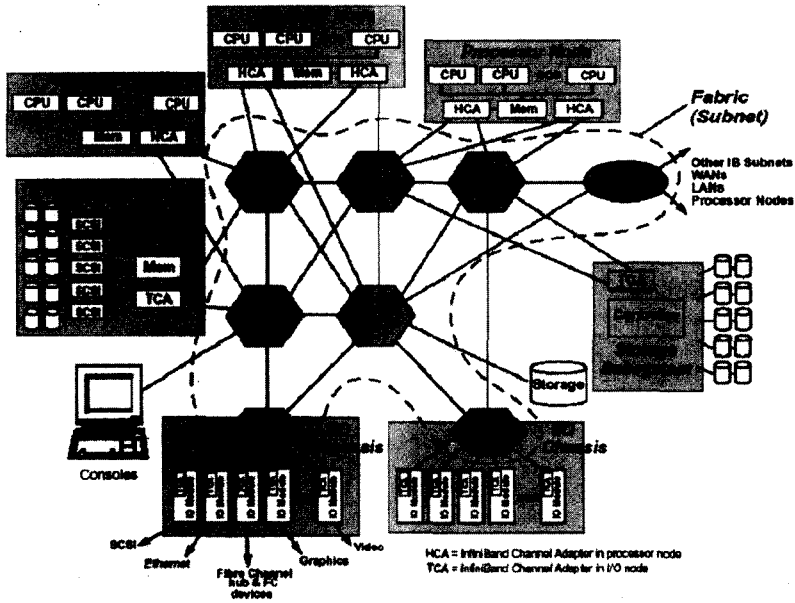
의 규격 (PICMG 3.x)들로 나뉘어 진다.

ACTA에서 규정한 패브릭 인터페이스로는 이더넷과 FiberChannel (PICMG 3.1), InfiniBand (PICMG 3.2), StarFabric (PICMG 3.3), PCI Express (PICMG 3.4), 그리고 Serial RapidIO (PICMG 3.5) 등이 있으며 이들의 주요 특징은 다음과 같다.

#### \*이더넷과 FiberChannel

PICMG 3.1은 IEEE 802.3ap에서 작업 중인 1기가비트 또는 10기가비트 백플레인 이더넷 기술을 ATCA에서의 백플레인 연결 방식으로 사용할 것을 규정하고 있다. 백플레인 이더넷 기술은 구리선 또는 광케이블을 전송 매체로 하는 종래의 이더넷 기술을 백플레인에서의 전송 수단으로 응용을 넓히기 위한 기술이다. 백플레인 이더넷 기술은 아직까지 표준화가 완료되지는 않았으나 여기에 사용될 링크의 성능은 2개의 커넥터를 포함하는 FR-4 재질의 백플레인에서 40인치의 전송 거리를 제공하도록 규정되고 1기가비트 이더넷과 10기가비트 이더넷 간에 auto-negotiation 기능이 추가될 예정이다.

FiberChannel은 SAN (Storage Area Network) 영역에서 주로 사용되는 인터커넥션 표준으로



〈그림 4〉 InfiniBand를 이용한 시스템 간 연결 구성도<sup>[8]</sup>

대용량 저장 장치를 포함하는 ATCA 기반의 시스템에 적용될 목적으로 규정되었다. FiberChannel은 포트 당 1Gb/s 또는 2Gb/s의 데이터 전송율을 지원하고 LVPECL 신호 레벨을 사용하며 전송 매체로는 광케이블, 꼬임쌍 (twisted pair) 케이블 및 동축 (coaxial) 케이블 등을 지원한다. 그림 3은 FiberChannel의 기준 모델을 나타낸다.

**\*InfiniBand**

InfiniBand는 5Gb/s 이상의 높은 대역폭의 데이터 전송율을 필요로 하는 서버 응용을 위해 만들어진 표준으로 IBTA (InfiniBand Trade Association)에서 2002년에 Release 1.1이 정의되었다. InfiniBand는 IP, ATM, TDM 등과 같은 다양한 프로토콜 지원이 용이하고, 특히 InfiniBand가 가지고 있는 서비스 레벨 (SL;

Service Level)과 가상 선로 (VL; Virtual Lane)의 개념으로 인해 QoS가 중요시되는 음성 및 영상 정보의 전송에도 적합한 장점을 가지고 있다. 여기서 서비스 레벨은 차별화된 QoS 제공을 위해 패킷의 속성을 16가지로 구분하는데 사용되고, 가상 선로는 QoS 기능을 2계층에서 구현하기 위한 것으로 하나의 물리적인 링크를 2~16개의 가상 링크로 구분하여 각각에 대해 서로 다른 흐름 제어가 가능하도록 한다. 그림 4는 InfiniBand를 이용하여 서로 다른 성격의 부 시스템들 간에 네트워크를 구성하는 예를 나타낸다.

PICMG 3.2에서는 슬롯 당 1, 4, 또는 12개의 2.5Gb/s급 InfiniBand 링크를 사용할 수 있도록 규정되어 있다. 단, ATCA의 패브릭 인터페이스는 슬롯 당 4개의 링크가 할당되어 있기 때문에 12개의 InfiniBand 링크로 하나의 포트를 구성하기 위해서는 슬롯의 수를 줄여서 사용해야 한다.

InfiniBand 링크의 유효 데이터 전송율은 8B/10B 채널 코딩에 의한 오버헤드를 고려하면 링크 당 2Gb/s이므로, InfiniBand를 적용한 ATCA 패브릭 인터페이스는 2Gb/s ~ 24Gb/s의 데이터 전송율을 제공하게 된다.

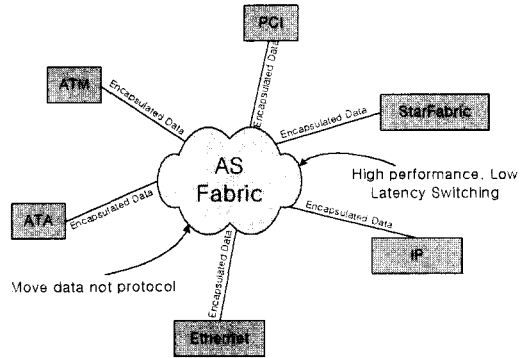
#### \*StarFabric과 PCI Express

StarFabric은 여러 개의 장치들 간의 상호 연결 방식으로 종래의 공유 버스 방식 또는 브릿지형 (bridged) 버스 방식 보다 고속으로 동작할 수 있는 스위치형 (switched) 인터커넥션 방식을 사용한다. 스위치형 인터커넥션 방식은 연결 가능한 장치들의 수를 크게 하거나 인터커넥션 속도를 증가시키는 등의 확장성이 용이하고 각 장치들이 중앙의 스위치 패브릭을 통해 점대점으로 연결되므로 동작 중의 실/탈장 (hot - swapping) 및 결합 파급 효과 방지 (fault isolation) 특성이 우수한 장점을 갖는다.

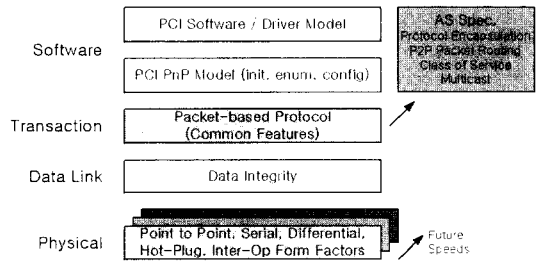
StarFabric은 중앙의 스위치 패브릭과 이에 연결되어 각 장치가 가지고 있는 다른 표준 인터커넥션으로의 변환을 위한 브릿지로 구성되고 스위치 패브릭과 브릿지 사이의 연결은 4개의 622Mb/s급 링크를 사용하여 총 2.5Gb/s의 전송 속도를 제공한다.

PCI Express는 미래의 컴퓨팅 및 통신 플랫폼 등에서 사용될 목적으로 정의된 고성능의 범용 I/O 인터커넥션이다. PCI Express는 StarFabric과 마찬가지로 스위치형 인터커넥션 방식으로 정의되어 있고 2.5Gb/s급 링크를 이용하여 점대점으로 연결되며 링크의 수는 1,2,4,8,12,16,32까지 확장될 수 있어 최대 64Gb/s의 데이터 전송율을 제공할 수 있다.

StarFabric과 PCI Express는 ASI (Advanced Switching Interface)라는 새로운 개념의 인터커



〈그림 5〉 ASI를 이용한 시스템 간 연결 구성도<sup>[9]</sup>



〈그림 6〉 ASI의 계층 모델<sup>[9]</sup>

넥션 방식으로 진화하고 있다. ASI는 확장 가능한 스위치 패브릭 형태의 구조를 가지고 있고 PCI Express의 기본 사양에 호환되며 다양한 프로토콜들 간의 상호 연결을 가능하게 하는 인터페이스 방식이다. 그림 5는 ASI를 이용하여 서로 다른 프로토콜 간의 네트워크를 구성하는 예를 나타낸 것이고, 그림 6은 ASI의 계층 구조이다. 그림 6에 나타난 바와 같이 ASI는 PCI Express와 소프트웨어가 호환될 뿐만 아니라 PCI Express의 기본적인 계층 구조를 그대로 따르기 때문에 기존의 기술들을 이용하는 것이 가능하다.

#### \*Serial RapidIO

RapidIO는 RapidIO Trade Association에서 정



의된 업체 표준으로 병렬 RapidIO와 직렬 RapidIO로 구분된다. 병렬 RapidIO는 8/16 LP-LVDS라고 불리는 물리층을 사용하고, 최대 2Gb/s로 동작하는 LVDS 레벨의 8비트 또는 16비트 데이터 버스로 구성되어 최대 32Gb/s의 데이터 전송을 제공이 가능하다.

이에 반해 직렬 RapidIO는 1.25, 2.5, 또는 3.125Gb/s로 동작하는 1개 또는 4개의 직렬 링크에 의해 포트가 구성되어 8B/10B의 채널 코딩 오버헤드를 고려하면 최대 10Gb/s의 데이터 전송을 제공한다. 직렬 RapidIO는 병렬 RapidIO에 비해 데이터 전송율이 낮은 반면 전송 거리가 긴 장점을 가진다.

#### IV. 결론

본 고에서는 네트워크 시스템의 내부 모듈 간 연결에 사용되는 표준 인터페이스 기술들과 컴퓨팅 및 통신 분야의 개방형 표준 시스템 규격인 ATCA에서 사용하는 고속 백플레인 인터페이스에 대해 간략하게 소개하고, 이러한 표준 인터페이스들의 발전 방향을 살펴보았다.

각각의 인터페이스들이 제공해야 할 데이터 전송 용량이 수 Gb/s에서 수십 Gb/s로 증가함에 따라 모듈 간 인터페이스들은 종래의 공유 버스 형태의 병렬 인터페이스 방식에서 고속 링크를 이용한 스위칭 방식의 점대점 인터페이스 방식으로 변화하고 있다. 고속 링크를 이용한 인터페이스 방식은 데이터 전송 분야에서 개발된 다양한 기술들, 즉 채널 코딩, 에러 검출, 클럭/데이터 복원 등과 같은 복잡한 고속 회로 기술들을 사용함으로써 인터페이스 전송 용량을 획기적으로 증가시켰다.

현재까지 표준화된 고속 인터페이스들은 최대

3.125Gb/s의 직렬 링크를 이용하고 있으며, 이들을 병렬로 사용함으로써 최대 40 ~ 50Gb/s의 데이터 전송을 제공하고 있다. 그러나 인터페이스에 사용되는 링크의 수가 증가하게 되면 이전의 병렬 인터페이스에서 발생했던 보드 레벨에서의 설계상의 어려움뿐만 아니라 링크 간 정렬 문제, 단일 소자로의 구현 문제 등이 발생하기 때문에 수 Gb/s급의 고속 링크 기술로는 보다 높은 대역의 전송을 제공하는 인터페이스를 구현하는데 문제가 있다. 예를 들어 3.125Gb/s급의 링크를 이용하여 100Gb/s의 전송 용량을 제공하는 모듈 간 인터페이스를 구현하기 위해서는 인터페이스 40개의 링크 즉, 160개의 신호선이 필요하게 된다. 따라서 인터페이스 전송 용량을 효율적으로 증가시키기 위해서는 보다 고속의 직렬 링크 기술이 필요한 실정이다. 현재 HSBI (High Speed Backplane Initiative)나 UXPI (Unified 10Gb/s Physical Layer Initiative)<sup>[10]</sup>에서는 5~6Gb/s 및 10Gb/s급의 직렬 링크 기술의 표준화를 위한 연구가 활발히 이루어지고 있으며, 이러한 기술들은 모듈 간 인터페이스의 표준화에도 많은 영향을 줄 것으로 예상된다.

## 참고문헌

- [1] <http://www.oiforum.com>
- [2] <http://grouper.ieee.org/groups/802>
- [3] <http://www.picmg.org>
- [4] OIF Implementation Agreement, "SxI - 5: Common Electrical Characteristics for 2.488 - 3.125Gbps Parallel Interfaces," Oct., 2002
- [5] Industrial Specification, "Reduced Gigabit Media Independent Interface (RGMI) Version 2.0," Hewlett Packard, Apr., 2002
- [6] Industrial Specification, "Serial - GMII Specification Revision 1.7," Cisco, Jul, 2001
- [7] ANSI Standard, "Fiber Channel - Framing and Signaling, Revision 1.90," Apr., 2003
- [8] Industrial Specification, "InfiniBand™ Architecture Specification Volume 1," InfiniBand Trade Association, Nov., 2002
- [9] <http://www.target.com>
- [10] <http://www.uxpi.org>

## 저자소개



정태식

1993년 연세대학교 전자공학과 학사  
 1995년 연세대학교 대학원 전자공학과 석사  
 2000년 연세대학교 대학원 전기, 컴퓨터공학과 박사  
 2000년 - 현재 한국전자통신연구원 선임연구원  
 주관심분야 고속 직렬 인터페이스, 클록 동기 및 주파수 합성



주범순

1983년 서울대학교 전자공학과 학사  
 1999년 한국과학기술원 전기및 전자공학과 석사  
 1983년 - 현재 한국전자통신연구원 라우터연구그룹 10GE팀장  
 주관심분야 Network Synchronization, High Speed Interconnection, PLL, CDR, Ethernet Switch System, ATM Switch System



정해원

1980년 한국항공대학교 항공통신정보공학과 학사  
 1982년 한국항공대학원 항공전자공학과 석사  
 1999년 한국항공대학원 항공통신정보공학과 박사  
 1982년 - 현재 ETRI 광대역통합망연구단 라우터 연구그룹 그룹장, 책임연구원  
 주관심분야 이더넷 스위치, IPv6 라우터, 무선 LAN, 홈네트워킹