

논문 2004-41SD-8-15

MRAM용 HSPICE 매크로 모델과 midpoint reference 발생 회로에 관한 연구

(HSPICE Macro-Model and Midpoint-Reference Generation Circuits for MRAM)

이 승 연*, 이 승 준**, 신 형 순**

(Seungyeon Lee, Seungjun Lee, and Hyungsoon Shin)

요 약

MRAM (Magneto-resistive Random Access Memory)은 자성체의 스핀 방향을 정보원으로 하는 비휘발성 메모리로 magneto-resistance 물질을 정보 저장 소자로 사용한다. 본 논문에서는 MRAM 시뮬레이션시 MTJ (Magnetic Tunneling Junction)의 hysteretic 특성, asteroid 특성, R-V 특성을 HSPICE에서 재현할 수 있는 새로운 macro-model을 제안하고 HSPICE에 적용하여 그 정확도를 검증하였다. 또한 종래의 reference cell 회로에 비하여 정확한 중간 저항 값을 유지하는 새로운 reference cell 회로를 제안하고 이를 본 논문에서 제안한 macro-model을 이용하여 검증하였다.

Abstract

MRAM uses magneto-resistance material as a storage element, which stores cell data as a polarization of spin in a free magnetic layer. This magneto-resistance material has hysteresis, asteroid curve at the thermal variation, and R-V characteristics for switching the data. Therefore, a macro-model which can reproduce these characteristics is required for MRAM simulation. We propose a macro-model of TMR (Tunneling Magneto Resistance) that can reproduce all of these characteristics on HSPICE. Also we propose a novel sensing scheme, which generates reference resistance having the medium value, $(R_H+R_L)/2$, for a wide range of applied voltage and present simulation results based on the HSPICE macro-model of MTJ that we have developed.

Keywords : memories, MRAM, macro-model, reference cell, MTJ

I. 서 론

MRAM (Magneto-resistive Random Access Memory)은 nonvolatility, good write endurance, low supply voltage, low power consumption, high density 등의 장점으로 인해 지금까지 개발된 반도체 메모리 제품

을 대체할 수 있을 것으로 알려져 있다.^[1-5] 그러나, MRAM 시뮬레이션 시, 기존의 방법으로는 정보 저장 소자로 사용되는 magneto-resistance 물질의 특성을 고려한 셀 시뮬레이션이 어려워, MTJ (Magnetic Tunneling Junction)의 hysteresis, asteroid, R-V 특성을 재현할 수 있는 macro-model이 필요하다. 또한 MRAM은 메모리 셀의 TMR (Tunneling Magneto Resistance) 저항 값 (R_H , R_L)으로 logic1, logic0의 정보를 저장하고 있는데 이러한 메모리 셀의 정보를 읽기 위해서는 중간 저항 값 $((R_H+R_L)/2)$ 을 발생하는 reference cell 회로가 필수적이다.

본 논문에서는 MRAM 시뮬레이션 시, 정보 저장 소

* 학생회원, ** 종신회원, 이화여자대학교 정보통신학과 (Department of Information Electronic Eng., Ewha Womans University)

※ 본 연구는 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급나노소자 개발사업단 지원으로 수행되었음.

접수일자: 2004년3월3일, 수정완료일: 2004년7월20일

자로 쓰이는 magnetic 물질의 온도 변화에 따른 hysteresis와 asteroid curve, 그리고 R-V 특성을 HSPICE에서 재현할 수 있는 macro-model을 제안한다. 또한 기존의 reference cell 회로에 비하여 정확한 중간 저항 값을 유지하는 midpoint-reference 발생회로를 제안한다.

본 논문의 구성은 다음과 같다. 서론에 이어 본론의 1절에서는 MRAM의 기본 동작과 MRAM 셀로 사용되는 magnetic 소자들 중 MR (Magneto-resistance)이 커서 특성이 더 좋은 SDT (Spin Dependent Tunneling) 소자인 MTJ의 특성을 살펴본다. 2절에서는 본 논문에서 제안하는 macro-model을 설명하고 그 동작 결과를 보이며, 3절에서는 종래의 reference cell 회로에 비하여 정확한 중간 저항 값을 유지하는 새로운 reference cell 회로를 제안, 그 simulation 결과를 보인 후 결론을 맺는다.

II. 본 론

1. MRAM 기본 동작과 셀 특성

MRAM 셀에 사용되는 magnetic 소자들 중 SDT 소자는 GMR 소자에 비해 셀 저항이 커서 μA 단위의 sense current로도 데이터를 읽어낼 수 있으며, 보다 field-sensitive하고 MR ratio가 좋아 MRAM 셀을 좀더 작게 만들 수 있도록 해준다.^{[3][4]} MR이란 어떤 물질에 magnetic field를 가하면, 그 field의 방향과 크기에 따라 물질의 electric-resistance가 변화하는 특성을 말한다. 저항 값이 클 때 (R_H)와 작을 때 (R_L)의 차이가 클수록 데이터를 읽어내기가 용이한데, 그 차이 정도를 MR ratio라 하고 다음과 같이 정의한다.

$$MR(\%) = \frac{\Delta R}{R_L} = \frac{R_H - R_L}{R_L} \quad (1)$$

그림 1은 두 개의 magnetic layer가 dielectric tunnel barrier에 의해 분리된 3 layer 구조의 MTJ를 정보 저장 소자로 사용하는 1T/1MTJ 기반 MRAM의 동작원리를 나타낸다. 두 개의 magnetic layer 중 하단의 fixed layer는 그 polarization이 매우 큰 magnetic field에 의해서만 변하므로 고정 되어 있다고 보고, 상단의 free layer는 그 polarization이 비교적 작은 magnetic field에 의해서도 변하므로 소자에 가해지는 magnetic field의 방향과 크기에 따른다고 본다. 이 때 두 layer의 polarization 방향이 같으면 소자는 R_L 의 저항 값을 갖

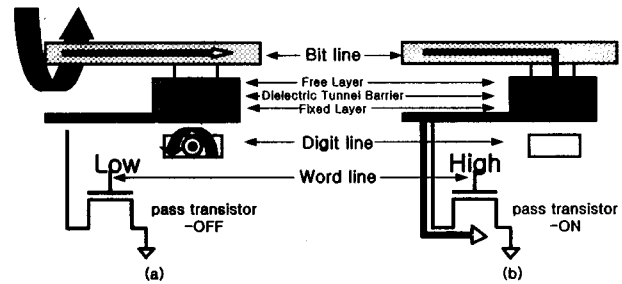


그림 1. 1T/1MTJ 구조의 MRAM cell 구조와 동작 원리 (a) write 동작, (b) read 동작

Fig. 1. 1T/1MTJ MRAM cell structure at (a) write and (b) read mode operation.

고, 이 두 layer의 polarization 방향이 다르면 소자는 R_H 의 저항 값을 갖는다. 이러한 MTJ 소자의 top electrode로는 bit line (BL)이 연결되고, bottom electrode로는 pass transistor (TR)가 연결되며, 이 pass TR의 게이트에 word line (WL)이 연결된다. 또한, MTJ 소자의 아래쪽으로 digit line (DL)이 지나간다. 그림 1(a)는 MRAM cell의 write 동작을 나타내는데, 우선 WL의 전압을 low level로 하여 pass TR을 turn-off 시키고 BL과 DL에 current를 흐르게 하여, 이에 의해 발생하는 magnetic field의 방향과 크기로 소자의 information storage인 free layer의 polarization 방향을 바꾸어 logic0 또는 logic1의 data를 write한다. 그림 1(b)는 MRAM cell의 read 동작을 나타내는데, 이때는 WL의 전압을 high level로 하여 pass TR을 turn-on시켜, sensing current (I_{sense})가 BL로부터 MTJ를 tunneling하여 pass TR을 통해 ground로 흐르도록 current path를 형성시켜, TMR의 저항 차에 의한 MTJ 양단간 전압의 차이 혹은 tunneling current 양의 차이를 sensing하여 저장된 데이터를 read한다.

MRAM의 programming 동작은 free layer의 자화 반전을 위한 energy barrier (E_b)를 줄이는데 필요한 magnetic field의 영향을 받는다.^[5] MTJ cell은 보통 aspect ratio가 1이 아니게 만들어지는데, 이는 자기 형상 이방성이 자화 반전을 위한 E_b 를 생성할 수 있게 하기 위함이다. 이 때 소자의 길이쪽 방향 polarization이 폭쪽 방향의 그것에 비해 더 작은 magnetic field로도 switching이 가능한데, 길이쪽 방향의 field를 easy-axis field (H_{easy})라 하고, 폭 쪽 방향의 field를 hard-axis field (H_{hard})라고 한다. 여기서 E_b 는 MRAM 셀이 nonvolatility 특성을 갖게 하는데 있어 결정적인 역할을 하며, 그 크기는 H_{hard} 혹은 H_{easy} 의 적용을 통해 감소될 수 있다.

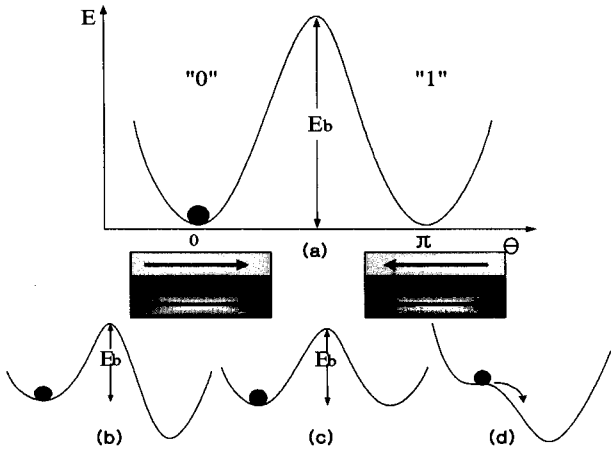
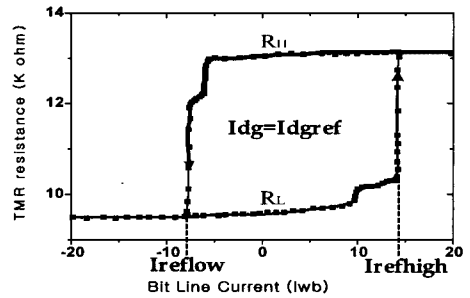


그림 2. MRAM cell에서 energy barrier E_b 의 schematic (a) 어떤 magnetic field도 가하지 않았을 때, (b) Heasy를 가하였을 때, (c) Hhard를 가하였을 때, 그리고 (d) Heasy와 Hhard를 모두 가하였을 때 [5]

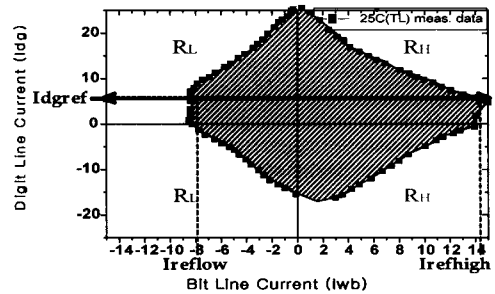
Fig. 2. Schematic of energy barrier E_b in MRAM cell (a) in zero magnetic field, (b) for non-zero Heasy, (c) for non-zero Hhard, and (d) for non-zero Heasy and Hhard [5].

이렇듯 polarization은 write용 BL current (I_{wb})와 DL current (I_{dg})에 의해 발생하는 magnetic field의 크기와 방향의 영향을 받는데, 본 논문에서는 I_{wb} 에 의해 발생하는 field를 Heasy, I_{dg} 에 의해 발생하는 field를 Hhard라 하였다. 그림 2(a)에서 볼 수 있듯이, 어떠한 field도 인가되지 않았을 때 E_b 는 최고 값을 갖는다. 여기서 위상이 0인 점은 free layer의 polarization이 fixed layer의 polarization과 parallel할 때로 logic0인 상태의 예이며, 위상이 π 인 점은 free layer의 polarization이 fixed layer의 polarization과 anti-parallel할 때로 logic1인 상태의 예이다. 그림 2(b)는 Heasy만이 인가되었을 때이고, 2(c)는 Hhard만이 인가되었을 때이며 이 두 경우 모두 free layer polarization의 자화 반전은 일어나지 않는다. 그림 2(d)는 Hhard와 Heasy 모두 0이 아닐 때 E_b 가 완전히 0으로 감소한 예로, cell이 program되는 것을 볼 수 있다. 그림 2에서 살펴본 바와 같이, Heasy는 logic0과 logic1의 E_b 를 비대칭하게 감소시켜, 그 방향이 cell에 쓰일 information state를 결정하므로 I_{wb} 는 그 크기뿐만 아니라 방향까지도 중요한 요소이다. 그러나 Hhard는 E_b 를 대칭적으로 감소시키므로 I_{dg} 의 방향은 cell의 program시 큰 고려 요소가 못 된다. 따라서 3절에서 제안할 HSPICE macro-model에서는, I_{wb} 는 크기와 방향 모두를 고려하고, I_{dg} 는 크기만을 고려했다.

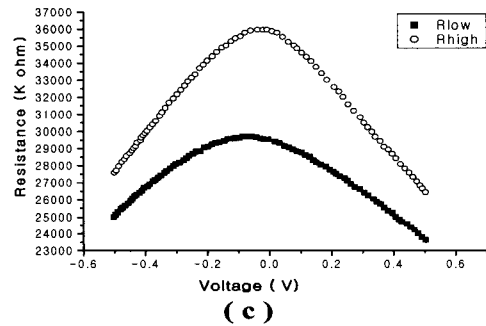
그림 3은 MTJ의 switching 특성으로 (a)는 hystere



(a)



(b)



(c)

그림 3. MTJ 소자의 (a) hysteric 특성과 (b) asteroid 특성, 그리고 (c) R-V 특성 [6, 7]

Fig. 3. (a) Hysteric characteristics, (b) asteroid characteristics and (c) R-V characteristics of MTJ cell [6, 7].

sis, (b)는 asteroid curve 그리고 (c)는 R-V 특성의 예이다. [6] 그림 3(b)에서 빗금 친 영역은 switching이 되지 않는 영역으로 free layer의 polarization이 기존의 방향을 유지하고, 그 외의 영역은 magnetic reversal 영역으로 일정량 이상의 양의 I_{wb} 에 의해 TMR이 R_H 로, 일정량 이상의 음의 I_{wb} 에 의해 TMR이 R_L 로 switching 된다. 여기서 I_{dg} 를 I_{dgref} 로 고정한 후 I_{wb} 를 화살표와 같이 변화시키면 (a)의 hysteric 특성이 나타나게 된다. MTJ의 이러한 hysteric 특성과 asteroid 특성은 셀의 동작 온도에 의해서도 영향을 받는다. 동작 온도가 증가할수록 magnetic layer의 polarization을 바꾸는 switching field가 작아지게 되어 더 적은 양의 I_{wb} 와 I_{dg} 로도 switching이 가능하게 된다. 결과적으로 그림 3(a)의 hysteresis는 좁아지고 (b)의 asteroid cur

-ve는 전체적으로 줄어든다. 그림 3(c)는 R-V 특성으로, MTJ 양단에 인가되는 전압이 증가할수록 MR값 자체도 감소하고 MR ratio도 감소하여 MTJ 양단간의 전압 차이가 400mV 정도 되면 MR ratio가 거의 반으로 떨어지는 것을 볼 수 있다.^[7] MR이 감소할수록 적은 양의 sense current로는 data를 읽어 낼 수 없게 되며 MR ratio가 나빠질수록 R_L 과 R_H 사이에 sensing margin이 감소해 data를 읽어내기가 어려워진다. 따라서 이러한 모든 특성들을 고려할 수 있는 MRAM 시뮬레이션이 필요하다,

2. MTJ 특성 재현이 가능한 HSPICE Macro-Model

본 절에서는 magnetic 물질의 hysteretic 특성 구현만이 가능한 기존의 model에 비하여^[8], 온도 변화에 따른 hysteresis와 asteroid curve, 그리고 R-V 특성을 재현할 수 있는 새로운 HSPICE macro-model을 제안한다.

그림 4(a)는 총 5개의 외부 단자로 이루어진 본 model의 block diagram으로, sn1~wb0는 bit line에 해당하고, 여기에 흐르는 I_{wb} 에 의해 유도되는 magnetic field가 easy-axis field가 되어 그 방향과 크기가 셀에 write될 데이터를 결정하며, dg1~dg0는 digit line으로, 여기에 흐르는 I_{dg} 에 의해 유도되는 magnetic field가 hard-axis field가 되어, 그 크기에 의해 write되는 셀의 선택을 좌우한다고 가정한다. sn1~sn0는 read시 I_{sense} 가 흐르는 path로 sn0에 pass transistor가 연결된다. 그림 4(b)는 macro-model의 내부로 크게 MTJ의 hysteretic 특성과 asteroid 특성 구현을 위한 comparator 회로인 (i)과 hysteresis와 asteroid, R-V 특성을 갖는 MTJ의 실제 저항 값에 해당되는 회로 (ii), 그리고 MTJ의 R-V 특성 구현을 위한 회로인 (iii)의 세 부분으로 나뉘어진다. 여기서 I_{wb} , I_{dg} , I_{sense} 는 본 model이 사용되는 외부 회로로부터 공급되는 전류들로, macro-model에는 포함되지 않는다. Write 시에는 WR에 VDD, RD에 GND를 인가하여 TR1과 TR3를 turn-on 시키고 TR2와 TR4는 turn-off 시켜서 I_{wb} 가 R_{wb} 에 흐르도록 하며 R_{dg} 에 I_{dg} 가 흐르도록 한다. Read 시에는 RD에 VDD, WR에 GND를 인가하여 TR2와 TR4를 turn-on 시키고 TR1과 TR3는 turn-off 시켜서 I_{sense} 가 G_{mtj} 에 흐르도록 한다.

그림 5(a), (b)는 그림 4(a)의 (i)에 의하여 구현되는 특성으로, (a)는 온도 변화를 고려한 hysteresis의 예이고 (b)는 온도 변화를 고려한 asteroid curve의 예이다.

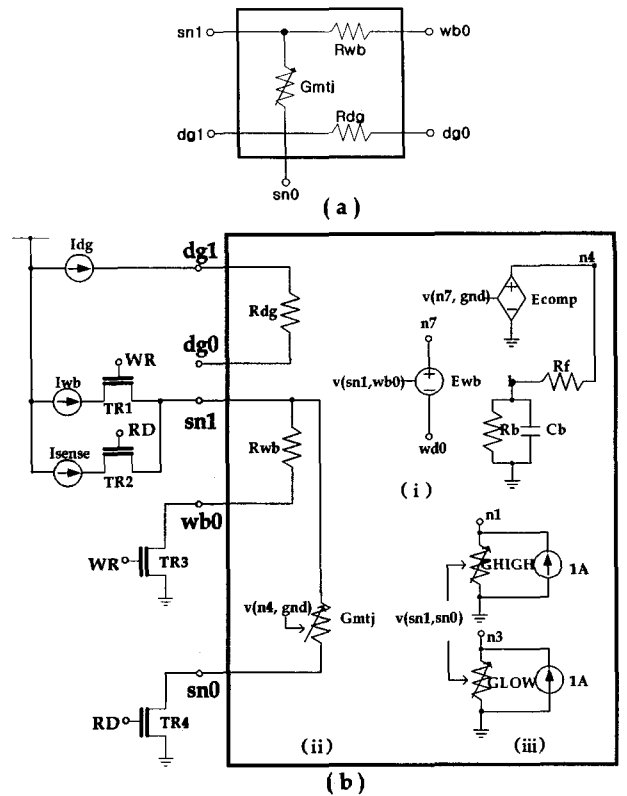


그림 4. MTJ 특성 재현을 위한 macro-model의 (a) block diagram과 (b) 내부 회로도
 (i) MTJ의 온도에 따른 hysteretic 특성과 asteroid 특성 구현을 위한 comparator 회로
 (ii) Hysteresis와 asteroid, R-V 특성을 갖는 MTJ의 실제 저항 값에 해당되는 회로
 (iii) MTJ의 R-V 특성 구현을 위한 회로

Fig. 4. (a) Block diagram and (b) schematic of macro-model for MTJ.

- (i) Embodiments of the hysteresis and the asteroid curve dependent on the operating temperature of MTJ
- (ii) Actual TMR values of MTJ having hysteresis, asteroid curve and R-V characteristics
- (iii) Embodiments of R-V characteristics for MTJ

그림 5(b)의 실선은 셀의 동작 온도가 25°C (TL)일 때 MTJ의 실제 측정값을 일차함수로 간략화 한 line1_TL 및 line2_TL과 이를 digit line current=0에서 대칭 시킨 값을 나타내고, 점선은 셀의 동작 온도가 100°C (TH)일 때 MTJ의 실제 측정값을 일차함수로 간략화 한 line1_TH 및 line2_TH와 이를 digit line current=0에서 대칭 시킨 값을 나타낸다. Asteroid curve는 온도가 증가함에 따라 줄어드는데, 본 model은 온도 변화에 따라 그림 5(b)의 Y절편은 그대로 있고, X절편만 변하며 그 변화율이 온도에 대하여 linear하다고 가정한다. 따라서 line1_TL과 line1_TH의 Y절편은 Y1, line2_TL과 line2_TH의 Y절편은 Y2이며, X1, X2는 MTJ의 실제

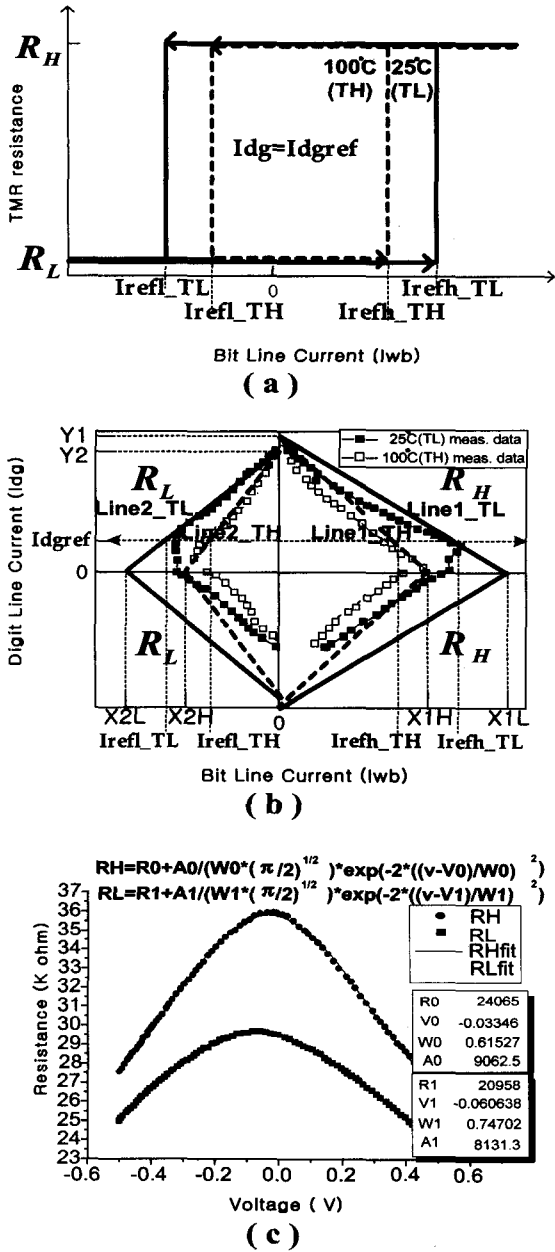


그림 5. (a) cell 동작 온도 25°C, 100°C에서의 hysteresis, (b) cell 동작 온도 25°C, 100°C에서의 asteroid curve (심볼: 측정값, 선: macro-model에 적용할 간략화 된 선), (c) R-V 특성 (심볼: 측정값, 선: gaussian function으로 fitting 한 값)

Fig. 5. (a) Hysteresis at 25°C, 100°C, (b) asteroid curve at 25°C, 100°C (symbols: measured data, lines: simple fitting line for macro-model), and (c) R-V characteristics (symbols: measured data, lines: gaussian fitting data).

동작 온도 (TD)에서의 X절편 값들이다. 여기서 TMR 저항은 식(2)가 만족되면 R_H 가 되고, 식(3)이 만족되면 R_L 이 된다.

$$\frac{X1}{Y1} Idg + X2 < Iwb, \tag{2}$$

$$X1 = X1L - (X1L - X1H) \cdot \frac{(TD - TL)}{(TH - TL)}$$

$$\frac{X2}{Y2} Idg + X2 > Iwb, \tag{3}$$

$$X2 = X2L - (X2L - X2H) \cdot \frac{(TD - TL)}{(TH - TL)}$$

Ewb는 Rwb를 통해 흐르는 전류량을 mapping 시키며 'v(n7,wd0)=1/RWB*v(sn1,wb0)'이다. Ecomp는 comparator 회로로 v(n7,b)<-2uV면 v(n4,gnd)가 Vohigh로, v(n7,b)>1uV면 v(n4,gnd)가 Volow로 가도록 한다. 이 때 b의 전압이 n4의 전압 transition을 따르는데 Cb에 의해 delay가 생긴다. 이 값이 대략 0.1ff 이면 수 THz 까지 안정적으로 동작 가능하다. 위에서 사용되는 -2uV, 1uV는 각각 음수 및 양수로 작은 값이면 된다. 따라서 Ecomp의 n7에 mapping된 Iwb가 Ireflow보다 작으면 n4의 전압이 Vohigh가 되고, Irefhigh보다 크면 n4의 전압이 Volow가 된다.

Ireflow의 값은 'Volow*Rb/(Rb+Rf)'이고, Irefhigh의 값은 'Vohigh *Rb/(Rb+Rf)'이며 Volow와 Vohigh는 다음과 같이 계산된다. 여기서 Rb와 Rf는 comparator 내 전압 비율을 정해주며 (Rb+Rf)/Rb를 곱해 normalize 하기 때문에 적당한 임의의 값이면 된다.

$$V_{olow} = \frac{(R_b + R_f)}{R_b} \left(\frac{-X2}{Y2} \frac{abs(v(dg1, dg0))}{R_{DG}} + X2 \right) \tag{4}$$

$$V_{ohigh} = \frac{(R_b + R_f)}{R_b} \left(\frac{-X1}{Y1} \frac{abs(v(dg1, dg0))}{R_{DG}} + X1 \right) \tag{5}$$

그림 4(b)의 (ii)는 voltage controlled resistor를 사용하여 실제 TMR을 표현한 회로이다. 여기서 Gmtj의 값은 n4~gnd에 인가되는 전압이 Volow면 R_H 로, Vohigh면 R_L 로 mapping 되어 TMR의 온도 변화에 따른 hysteresis를 재현하게 된다. 이 때 앞서 정의한 Ireflow와 Irefhigh에서 transition이 일어나게 되어 온도 변화에 따른 asteroid curve 또한 재현하게 된다. 이 때 R_H , R_L 을 각각 'exp(V(n1,wd0))+R0', 'exp(V(n3,wd0))+R1'로 정의하면 Gmtj는 그림 4(b)의 (iii)에 의해 R-V 특성도 동시에 재현하게 된다. 그림4(b)의 (iii)은 MTJ 양단, 즉 sn1~sn0에 인가되는 전압에 의해 변하는 TMR 저항 값을 R_H 와 R_L 인 경우에 대하여 각각 mapping 시키는

회로이다. 그림 5(c)의 심볼들은 TMR이 R_H 와 R_L 일 때 R-V 특성을 측정한 값들이고, 실선은 그 값을 Gaussian함수로 fitting한 것이며 다음의 식과 같다.

$$R_H = R_0 + \frac{A_0}{W_0\sqrt{\pi/2}} \exp\left(-2\frac{(v-V_0)^2}{W_0^2}\right),$$

$$R_L = R_1 + \frac{A_1}{W_1\sqrt{\pi/2}} \exp\left(-2\frac{(v-V_1)^2}{W_1^2}\right)$$
(6)

여기서 R_0, V_0, W_0, A_0 는 TMR이 R_H 일 때의 gaussian fitting parameter이고, R_1, V_1, W_1, A_1 는 TMR이 R_L 일 때의 gaussian fitting parameter이다. 그림 4(b)의 (iii)에서 GHIGH와 GLOW는 TMR의 R-V 특성을 고려한 voltage controlled resistor로 sn1~sn0에 인가되는 전압 v 를 받아 다음과 같은 값을 갖는다.

$$GHIGH = \ln(R_H - R_0)$$

$$= -\frac{2}{W_0^2}v^2 + \frac{4V_0}{W_0^2}v - \frac{2V_0^2}{W_0^2} + \ln\left(\frac{A_0}{W_0\sqrt{\pi/2}}\right),$$

$$GLOW = \ln(R_L - R_1)$$

$$= -\frac{2}{W_1^2}v^2 + \frac{4V_1}{W_1^2}v - \frac{2V_1^2}{W_1^2} + \ln\left(\frac{A_1}{W_1\sqrt{\pi/2}}\right)$$
(7)

그림 6은 본 macro-model의 동작 확인을 위해 HSPICE 시뮬레이션 결과를 보인 것이다. 그림 6(a)는 셀 동작 온도 25°C에서 인가된 I_{dg} 에 따른 MTJ의 hysteric 특성을 보여주고 있다. 본 동작은 I_{dg} 가 각각 -22.5, -20, -17.5, -15, -12.5, -10, -7.5, -5, -2.5, 2.5, 5, 7.5, 10, 12.5, 15, 17.5, 20, 22.5 mA일 때 I_{wb} 를 -25 mA에서 25 mA 사이로 full swing 해준 것이다. 그림 6(b)는 셀 동작 온도 25°C, 50°C, 75°C, 100°C에서 I_{dg} 를 변화시켜 가며 I_{wb} 를 full swing 해주었을 때 나타나는 hysteresis로부터 값들을 추출해내어 그린 것으로, MTJ의 asteroid curve를 나타낸다. 온도가 증가함에 따라 asteroid curve가 줄어드는 것을 볼 수 있다. 그림 6(c)는 MTJ 양단에 인가되는 전압에 따른 TMR 값의 변화를 macro-model로 재현시킨 결과이다. 그림 5와 그림 6을 비교하여 보면 새로운 macro-model을 적용한 시뮬레이션 결과가 측정된 hysteresis, asteroid, R-V 특성을 정확하게 재현하고 있음을 알 수 있다.

3. MRAM용 Midpoint-Reference 발생 회로

메모리의 성능을 향상시키려면 셀 크기를 작게 하여

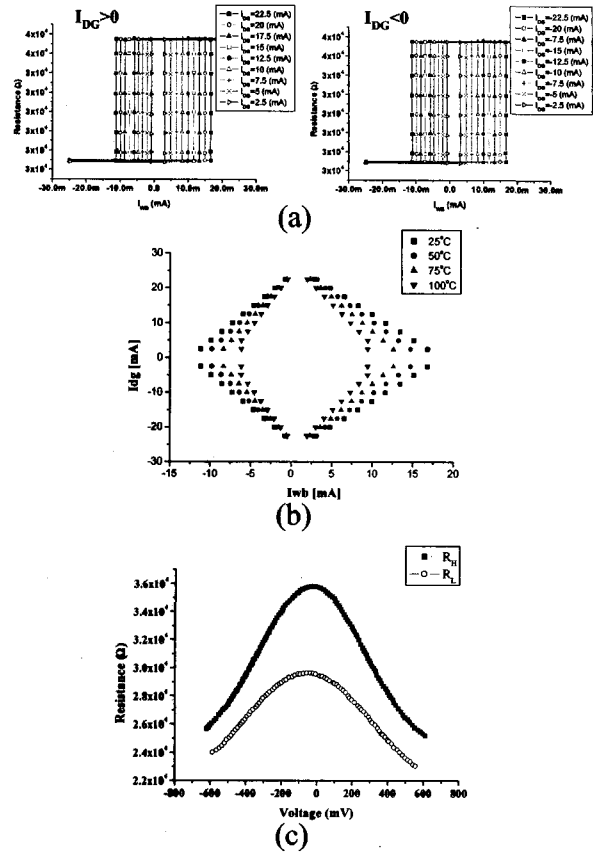


그림 6. Macro-model의 HSPICE simulation 결과
 (a) Cell 동작 온도 25°C에서 I_{dg} 를 변화시키면서 관찰한 hysteresis
 (b) Cell 동작 온도를 변화시키면서 관찰한 asteroid curve
 (c) MTJ 양단 전압에 따른 TMR 저항
 Fig. 6. HSPICE simulation results of macro-model.
 (a) Hysteresis with varying I_{dg} , when the cell operates at 25°C
 (b) Temperature dependencies of asteroid curve for MTJ
 (c) TMR resistance of MTJ as a function of bias voltage

고집적화가 가능하도록 하여야 한다. 이를 위해 MRAM에서는 $1T/1MTJ$ 구조가 가장 가능성 있는 셀 구조로 떠오르고 있으며, 이의 구현을 위해서는 선택된 메모리 셀의 정보가 R_H 인지 R_L 인지를 구분할 수 있는 reference cell이 필요하다. 그림3(c)에서 보는 바와 같이 MTJ의 MR 값 자체와 MR ratio가 MTJ에 인가된 전압에 따라 변화하는 특성을 갖고 있으므로, reference cell에서 발생하는 reference 등가저항 또한 MTJ에 인가되는 전압이 변화하여도 항상 $(R_H+R_L)/2$ 값을 유지하도록 동작하여야 한다. 그림 7(a)는 잘 알려진 reference cell 회로 및 sensing 방법의 예를 보이고 있다.^{[9][10]} 이

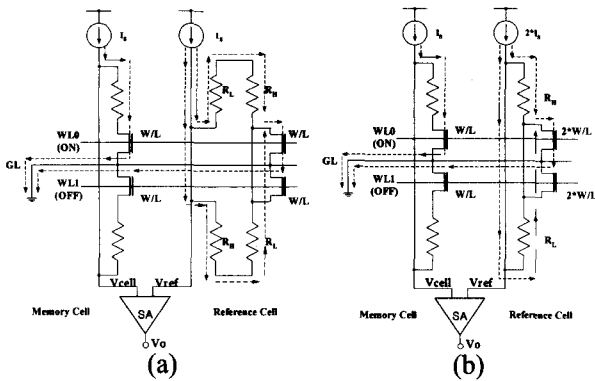


그림 7. (a) 기존 reference cell의 회로 [9][10], (b) 본 논문에서 제안하는 reference cell 회로
 Fig. 7. Schematics of (a) conventional reference cell [9][10], (b) proposed reference cell

들의 경우, 각 MTJ에 인가되는 전압은 memory cell의 MTJ에 인가되는 전압의 1/2 정도로 작게 된다. 따라서 그림 3(c)에서 본 바와 같은 TMR의 R-V 특성에 기인하여 reference cell의 등가저항은 $(R_H+R_L)/2$ 값을 유지하지 못한다. 그림 7(b)는 본 논문에서 제안하는 새로운 reference cell 회로 및 sensing 방법을 보이고 있다. Reference cell에 인가되는 전류원은 메모리 셀에 인가되는 전류원의 2배 값을 갖으며, 메모리 셀에 연결된 pass TR의 aspect ratio(W/L)의 2배인 pass TR을 MTJ에 연결해 전류 구동력을 2배로 유지한다. 이 경우, reference cell의 MTJ에 인가되는 전압은 메모리 셀의 MTJ에 인가되는 전압과 매우 비슷하게 되므로 reference cell의 등가 저항 특성이 인가전압이 변화하여도 항상 R_H 값과 R_L 값의 중간 정도의 값을 유지하게 된다. 그림 8은 앞 절에서 제안한 새로운 macro-model을 이용하여 그림 7 각 회로의 특성을 시뮬레이션한 결과로, 그림 8(a)는 기존 reference cell의 등가저항이 요구되는 $(R_H+R_L)/2$ 값을 유지하지 못하고 MTJ 양단 전압이 약 250mV 이상 인가된 이후부터는 오히려 메모리 셀이 R_H 값을 가질 때보다 큰 값을 갖는 구간이 발생함을 보이고 있다. 따라서 기존 reference cell 회로는 sensing margin이 작아서 noise에 취약하거나 오동작하게 된다. 그림 8(b)는 본 논문에서 제안하는 새로운 reference cell 회로의 시뮬레이션 결과로 인가전압이 변화하여도 reference cell의 등가저항 특성이 항상 R_H 와 R_L 값의 중간 정도의 값을 유지하는 것을 볼 수 있다. 따라서 새로운 MRAM용 midpoint-reference 발생 회로는 기존의 reference cell 회로에 비하여 sensing margin을 충분히 확보할 수 있으며 오동작 없이 안정적인 sensing을 가능하게 한다.

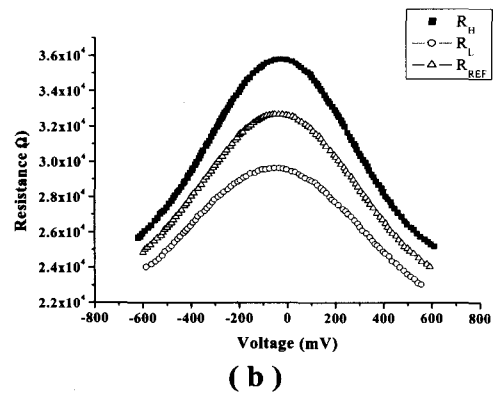
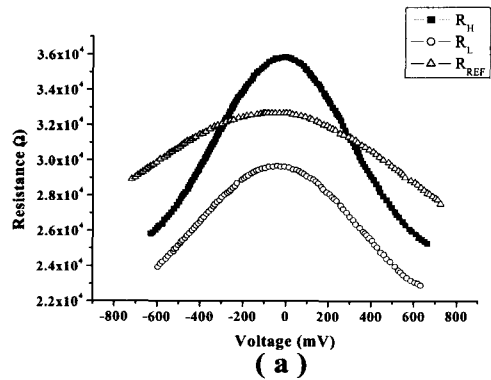


그림 8. Midpoint-reference 발생 회로의 R-V 시뮬레이션 결과
 (a) 기존 reference cell
 (b) 본 논문에서 제안하는 reference cell
 Fig. 8. Simulation results of the midpoint-reference generation circuits.
 (a) Conventional reference cell
 (b) Proposed reference cell

III. 결 론

MRAM은 여러 장점들로 인해 기존의 반도체 소자 메모리의 단점을 보완할 수 있는 것으로 평가 받고 있다. MRAM cell에 사용되는 magnetic 소자들 중 GMR 소자보다는 SDT 소자가 MR 값 자체도 크고 MR ratio도 좋은 등 storage element로서의 특성이 좋은 것으로 밝혀지고 있으며, 그 중에서도 MTJ stack을 사용하는 1T/1MTJ 기반 MRAM이 가장 가능성 있는 구조로 알려져 있다. 그러나 MRAM 시뮬레이션 시, 기존의 방법으로는 정보 저장 소자로 사용되는 magneto-resistance 물질의 특성을 고려한 셀 시뮬레이션이 불가능하므로, 본 논문에서는 MTJ의 온도 변화에 따른 hysteretic 특성과 asteroid 특성, 그리고 R-V 특성을 HSPICE에서 재현할 수 있는 새로운 macro-model을 구현하였고 시뮬레이션 결과를 통하여 그 정확도를 확인하였다. 또한

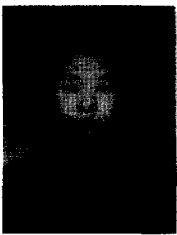
MRAM은 메모리 셀의 MTJ 저항 값 (R_H , R_L)으로 logic1, logic0의 정보를 저장하고 있는데 이러한 메모리 셀의 정보를 읽기 위해서는 중간 저항 값 $((R_H+R_L)/2)$ 을 발생하는 reference cell 회로가 필수적이다. 본 논문에서는 MTJ 양단의 인가전압이 변화하여도 reference cell 등가저항이 항상 R_H 와 R_L 값의 중간 정도의 값을 유지하여 sensing margin을 충분히 확보할 수 있으며 오동작 없이 안정적인 sensing을 가능하게 하는 새로운 midpoint-reference 발생회로를 제안하였고 제안된 macro-model을 적용한 HSPICE 시뮬레이션을 통해 그 정확도를 입증하였다.

[10] P. Naji, M. Durlam, S. Tehrani, J. Calder, and M. DeHerrera, "A 256kb1T1MTJ Nonvolatile Magneto-resistive RAM", IEEE International Solid Circuits Conference, p. 122, February, 2001

참 고 문 헌

- [1] S. Tehrani, J. M. Slaughter, E. Chen, M. Durlam, J. Shi, and M. DeHerrera, "Progress and Outlook for MRAM Technology", IEEE Transactions on magnetics, Vol. 35, No. 5, p. 2814, 1999
- [2] J. S. Moodera, Lisa R. Kinder, Terrilyn M. Wong, and R. Meservey "Large Magneto-resistance at Room Temperature in Ferro-magnetic Thin Film Tunnel Junctions", Phys. Rev. Vol. 74, No. 16, p. 3273, 1995
- [3] D. Wang, M. Tondra, C. Nordman, and J. M. Daughton, "Thermal Stability of Spin Dependent Tunneling Junctions Pinned with IrMn," IEEE Transactions on magnetics, Vol. 35, No. 5, p. 2886, 1999
- [4] J. Nickel, "Magneto-resistance Overviews", Computer Peripherals, June 1995
- [5] B. N. Engel, N. D. Rizzo, J. Janesky, J. Slaughter, R. Dave, M. DeHerrera, M. Durlam, and S. Tehrani, "The Science and of Magneto-resistive Tunneling Memory", IEEE Transactions on nano-technology, Vol. 1, No. 1, p. 32, 2002
- [6] K. Tsuji, K. Suemitsu, et al., "0.1 μ m-rule MRAM Development using Hard Mask", IEEE IEDM, p. 799, December 2001
- [7] H. S. Jeong, G. T. Jeong, G. H. Koh, et al., "Fully Integrated 64Kb MRAM with Novel Reference Cell scheme", IEEE IEDM, p. 551, December 2002
- [8] B. Das and W. C. Black, "A Generalized HSPICE Macro-Model for Spin-Dependent-Tunneling Devices", IEEE Transactions on magnetics, Vol. 35, No. 5, p. 2889, 1999
- [9] M. Durlam et al., "A Low Power 1Mbit MRAM Based on 1T1MTJ Bit Cell with Copper Interconnects", Symposia on VLSI Circuits, p. 158, 2002

저 자 소 개



이 승 연(학생회원)
 2002년 이화여자대학교 정보통신
 학과 학사 졸업.
 2004년 이화여자대학교 정보통신
 학과 석사 졸업.
 2004년 현재 이화여자대학교 정보
 통신학과 박사 과정.

<주관심분야: 메모리 설계, 반도체>

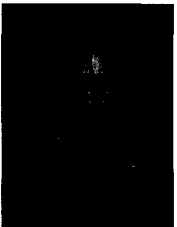


신 형 순(중신회원)
 1982년 2월 서울대학교 전자공학과
 졸업 (학사).
 1984년 12월 미국 University of
 Texas at Austin 졸업(석사).
 1990년 5월 미국 University of
 Texas at Austin 졸업(박사).

1990년 ~ 1994년 LG 반도체 근무.

1995년 ~ 현재 이화여자대학교 공과대학
 정보통신학과 교수.

<주관심분야: 반도체 소자구조, 모델링, RF CMOS.>



이 승 준(중신회원)
 1986년 서울대학교 전자공학과
 졸업 (학사)
 1986년 6월 미국 University of
 California at Berkeley 졸업
 (석사)
 1993년 12월 미국 University of
 California at Berkeley 졸업
 (박사)

1992년 ~ 1998년 현대전자 근무

1999년 ~ 현재 이화여자대학교 공과대학
 정보통신학과 조교수

<주관심분야: 반도체 설계, 차세대 메모리, SoC
 설계>