

논문 2004-41SD-8-5

# Buffered Oxide Etch 세정에 의한 다결정 실리콘 TFT의 전기적 특성 개선

(Improvement of the Electrical Characteristics of a Polysilicon TFT  
Using Buffered Oxide Etch Cleaning)

남 영 목\*, 배 성 찬\*\*, 최 시 영\*\*\*

( Young Muk Nam, Seong Chan Bae, and Sie Young Choi )

## 요 약

본 논문에서는 UV 처리와 BOE 세정을 이용하여 레이저 어닐링 전의 실리콘 표면에 자연 산화막을 제거하여 다결정 실리콘 TFT의 신뢰성을 향상시키는 방법을 제안하였다. 전처리 공정이 다결정 실리콘의 표면 거칠기에 미치는 영향을 AFM으로 측정하였으며, 다결정 실리콘 TFT의 전기적 특성인 스위칭 특성과 항복특성을 대형 유리기판의 위치와 전처리의 유무에 대해서 조사하였다.

## Abstract

we developed a technique to manufacture more reliable polycrystalline silicon TFT-LCDs using UV cleaning and buffered oxide etch(BOE) cleaning which remove the native oxide of the silicon surface before laser annealing. To investigate the effects of pre-treatments on the surface roughness of polycrystalline silicon, we measured atomic force microscopy(AFM). Also the electrical characteristics of polysilicon TFTs, breakdown characteristic and switching performance, were tested for various pre-treatment conditions and several locations in large glass substrate.

**Keywords :** Buffered oxide etch, polysilicon TFT, laser annealing

## I. 서 론

TFT-LCD(thin film transistor-liquid crystal display)는 21세기 정보화시대를 맞아 뛰어난 표시특성과 검증된 양산성으로 사회 전반적으로 폭넓게 받아들여지고 있다. TFT-LCD가 다른 디스플레이와 대비해서 경쟁력의 우위를 가지게 된 주원인은 반도체 공정기술, 회로, 광학, 실장기술이 복합된 기술을 통해 높은 해상도, 우수한 칼라표시, 화질, 저전력 소비를 달성하였기 때문이다. 노트북 PC를 시작으로 한 TFT-LCD의 응용

은 CDT(color display tube)를 대체하는 데스크탑 모니터로 확대되었고, 더 나아가 LCD TV 및 AV(audio and video)용으로 그 응용 범위를 더 넓혀 가고 있다. TFT-LCD는 정보화 및 디지털화의 시대적 요구에 상응함으로 산업적으로 발전 가능성이 풍부하며, 기술적으로 아직 성숙한 단계가 아니고 많은 개선을 필요로 하는 개발 선상에 있다.

TFT-LCD에서 화소의 스위칭 소자로써 사용되고 있는 박막 트랜지스터는 기판 위에 실리콘과 같은 반도체 물질과 금속 물질을 매우 얇은 박막 형태로 증착하여 제조하는 방법으로, 이렇게 형성된 박막 트랜지스터는 능동 액정 화면 표시 장치(AMLCD : active matrix liquid crystal display) 화소의 스위칭 소자나 주변 구동 회로 소자로 활용된다. 일반적으로 박막 트랜지스터를 제작하기 위한 반도체층으로는 대개 비정질 실리콘 박

\* 정회원, LG Philips LCD  
(LG Philips Lcd)

\*\* 학생회원, \*\*\* 중신회원, 경북대학교 전자전기컴퓨터학부  
(School of Electrical Engineering & Computer  
Science, Kyungpook National University)  
접수일자: 2003년6월23일, 수정완료일: 2004년7월13일

막이 사용되어져 왔다. 그러나, 비정질 실리콘 박막은 반도체 집적 회로에 사용되는 단결정 실리콘에 비해 캐리어의 이동도가 낮아 고속 동작에 한계가 있으므로 능동회로의 스위칭 소자로만 사용되어져 왔다. 반면, 다결정 실리콘 박막은 비정질 실리콘 박막보다 이동도가 높아 고해상도 패널의 스위칭 소자로 유리하고, 비정질 실리콘에 비하여 광전류가 적으며 N-채널과 P-채널을 형성할 수 있어 CMOS 회로 구성이 가능하기 때문에 다결정 실리콘 형성을 위한 많은 기술 연구들이 진행되고 있다<sup>[1], [2], [3], [4]</sup>.

한편, 액정 화면 표시장치를 제조하기 위한 기판으로는 투명 기판이 사용되어야 하기 때문에 단결정 실리콘의 형성이 매우 어렵다. 따라서 다결정 실리콘 박막 트랜지스터를 제조하는 기술이 이용되어지고 있다. 이와 같은 다결정 실리콘 박막을 형성하기 위해서는 투명 기판 위에 비정질 실리콘 박막을 증착한 후, 열처리를 통해 다결정 실리콘 박막으로 고상 결정화(SPC : solid phase crystallization)시키는 방법이 있다<sup>[5], [6]</sup>. 그러나 고상 결정화법은 600°C 이상의 고온에서 10시간 이상 열처리를 요하기 때문에 값싼 유리 기판을 적용하면 변형을 초래한다. 이러한 문제점을 극복하기 위해 엑시머 레이저 어닐링을 이용한 결정화법이 적용되었다. 펄스 레이저를 이용한 엑시머 레이저 어닐링은 한 펄스의 유지 시간이 수십 nsec에 불과하기 때문에 비정질 실리콘을 순간적으로 용융, 고상화 시키더라도 하부의 유리 기판의 변형을 최소화 할 수 있는 장점을 가지고 있는 기술이다<sup>[7], [8], [9]</sup>. 그러나 엑시머 레이저 어닐링 기술을 이용한 다결정 실리콘 형성은 결정화 과정에서 박막 표면의 oxide 성분에 의한 결정 경계(boundary) 영역에서의 돌출 현상으로 박막 표면이 거칠게 되는 현상이 나타난다. 이 경우 돌출부의 침단에 대한 electric field의 집중 현상으로 문턱전압( $V_{th}$ )의 변동이나 누설 전류의 증가를 야기하게 된다<sup>[10]</sup>.

본 연구에서는 엑시머 레이저 어닐링을 이용한 다결정화 과정에서 BOE(buffered oxide etch) 세정이 다결정 실리콘 박막의 표면 형상에 미치는 영향과 소자에 적용되었을 경우 소자의 스위칭 특성 및 안정성에 미치는 영향에 관해서 알아보았다.

## II. 실험

본 실험에서는 다결정 실리콘 형성에 있어 실리콘과 oxide의 화합물인 SiOx 화합물이 표면 돌출부(protru-

-sion)의 주요 원인을 감안하여 엑시머 레이저 열처리를 통해 결정화가 완료될 때까지 SiOx 화합물의 영향을 최소화 할 수 있는 공정 조건을 개발하고 최적의 공정 조건 도출을 위한 실험을 실시하였다.

다결정 실리콘 제작과정에서 PECVD(plasma enhanced chemical vapor deposition)를 통해 비정질 실리콘 박막을 형성할 경우, 박막 표면의 Si dangling bond와 oxide의 결합에 의해 30Å ~ 70Å 정도 두께로 SiOx 화합물이 형성된다. 기존의 제작 공정에서는 이러한 SiOx 화합물 제거를 위한 별도공정을 거치지 않고 바로 엑시머 레이저 열처리를 실시함으로써 실리콘 박막의 용융과 재결정화 과정에서 결정립계(grain boundary)에 표면 돌출부가 생기면서 표면 거칠기 문제를 야기시켰다. 이렇게 표면 거칠기 특성이 나빠질 경우 TFT 소자의 특정 부분에 대한 전기적 특성이 나빠지게 되어 특정 조건에서의 소자 신뢰성이 떨어지게 된다.

본 실험에서는 이러한 표면 거칠기의 원인이 되는 SiO<sub>2</sub> 성분 제거를 위한 방안으로 HF계 etchant인 BOE(buffered oxide etchant)를 이용한 세정 공정을 추가하였다. HF계 etchant의 경우 SiO<sub>2</sub> 화합물과의 반응성이 좋기 때문에 BOE etchant를 이용한 세정을 실시할 경우 표면돌출 성분의 제어에 효과가 있을 것으로 예상하고, BOE 세정 실시 여부에 따른 엑시머 레이저 열처리 실시 후의 표면 거칠기를 비교하고자 하였다. 아울러 BOE 세정 실시 전에 UV(ultra violet)를 이용한 세정을 실시할 경우 oxygen의 해리를 통한 흡착기 형성으로 실리콘 박막 표면에 보다 안정화된 SiO<sub>2</sub> 화합물을 형성해 줌으로써 BOE 세정 효과를 향상시킬 수 있음을 기대하였다. 따라서 UV 세정 실시 여부에 따른 다결정 실리콘 박막의 표면 거칠기 측정도 실시하였다.

한편, 기존의 진공 분위기의 엑시머 레이저 열처리의 경우 레이저 조사에 의해서 실리콘이 표면에서 증발하여 레이저 창이 오염되는 문제를 발생시킨다. 이로 인해 공정 조건의 변화로 안정된 recipe 확보가 어렵고, 오염된 레이저 창의 세정 난이성 등 양산을 위한 엑시머 레이저 열처리 장비의 유지 보수에 어려움이 있어 N<sub>2</sub>, Ar 등의 상압 분위기에서의 결정화를 통한 표면 거칠기 개선 실험을 실시하였다. 표면 거칠기의 개선을 알아보기 위해 UV 세정 실시 여부, BOE 세정 실시 여부, ELA 분위기 종류 등 세 가지 조건에 대해 개별적으로 실험을 실시하였다. 표 1은 UV 세정에 사용되는 lamp의 조건에 대해 나타낸 것으로 lamp의 파장, 조사

표 1. UV 세정 조건.

Table 1. Condition of UV cleaning.

LAMP	Excimer UV Lamp ( Xe gas )
wave length ( λ: nm )	172
energy ( mW : cm <sup>2</sup> · sec )	10
exposure time ( sec )	40

표 2. BOE 세정 조건.

Table 2. Condition of BOE cleaning.

BOE etchant	HF : NH <sub>4</sub> F : DI
composition ratio	2.4% : 38.1% : 59.5%
Cleaning time ( sec )	120 ~ 170

에너지, 조사 시간에 대해 설명하고 있다. 표 2는 BOE 세정을 위한 etchant의 구성 세정 조건에 대해 나타낸 것이다. BOE 구성은 SiO<sub>2</sub>에 대한 반응성이 좋은 HF와 NH<sub>4</sub>F의 혼합 용액에 순수를 섞어 만들었으며, 그 구성 비는 아래의 표와 같다.

실험의 진행은 표면 거칠기 개선과 소자 신뢰성 측정으로 나누어 진행하였다. 1차적으로 표면 거칠기 개선을 위해 개별 공정 조건을 설정하고 각각의 조건에 대해 실험을 진행한 후, 엑시머 레이저 열처리 완료 시점에서 개별 실험 결과에 따른 다결정 실리콘 박막의 표면 거칠기를 측정하였다. 표면 거칠기의 측정은 AFM (atomic force microscope) 장비를 이용하여 실시하였다.

다결정 실리콘 TFT 소자의 신뢰성 조사는 소자의 게이트 전극에 DC stress 전압을 특정 시간동안 인가한 후 소자의 전기적 특성을 측정하는 FNS(Flowler Nordheim stress)법을 이용하여 stress 인가 전후의 소자의 특성을 측정함으로써 소자의 신뢰성 향상 여부를 측정하였다.

### III. 결과 및 고찰

그림 1은 전처리를 거치지 않은 비정질 실리콘 박막을 엑시머 레이저 어닐링을 이용하여 다결정 실리콘으로 변화시켰을 경우의 표면 형상의 변화를 나타낸 사진이다. 어닐링 후 표면의 결정 경계 부분에 돌출부가 심하게 나타나고 있는 것을 확인할 수 있다.

표 3는 각각의 전처리 조건에 따른 다결정 실리콘의 표면 거칠기를 나타낸 표이다. 다결정화 실시 전에 UV 세정과 BOE 세정을 실시하고 엑시머 레이저 열처리 전

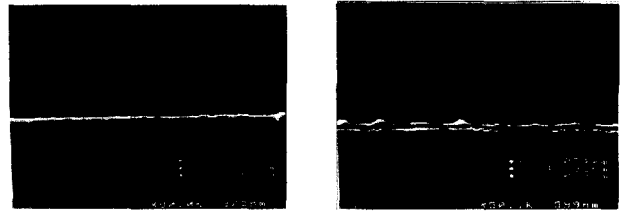


그림 1. PECVD법을 이용해 성장한 비정질 실리콘을 엑시머 레이저 어닐링한 후의 표면 형상의 변화  
Fig. 1. Change of the surface morphology of the PECVD grown amorphous silicon thin film after excimer laser annealing.

표 3. 표면 거칠기 측정 결과

Table 3. Result of surface roughness measurement.

conditions	Roughness Rav(Å)
UV+BOE+N <sub>2</sub>	245.8
UV+BOE+Ar	403.2
UV+N <sub>2</sub>	675.8
UV+Ar	556.6
BOE+N <sub>2</sub>	578.0
BOE+Ar	570.2
N <sub>2</sub>	708.4
Ar	667.0

행중 chamber 분위기를 N<sub>2</sub>로 유지시켜준 시료의 평균 표면 거칠기(Rave.)가 245.8 Å으로 거칠기가 가장 낮게 나타남을 확인할 수 있었다. 이는 실험 전 예상하였듯이 UV 세정을 통해 안정화된 SiO<sub>2</sub> 화합물에 대해 BOE 세정을 실시함으로써, 표면 돌출의 주요 원인이 되는 SiO<sub>2</sub> 화합물이 BOE와의 반응을 통해 효과적으로 제거되었기 때문인 것으로 판단된다.

그림 2는 BOE 세정 공정을 적용하였을 경우와 그렇지 않은 경우에 대한 SEM 및 AFM 이미지를 나타낸 그림이다. 그림 2의 (a)와 같이 엑시머 레이저 열처리 실시 전에 전처리 과정으로 UV 세정과 BOE 세정을 실시하고, 엑시머 레이저 열처리 진행시 Chamber 분위기를 N<sub>2</sub>로 유지하는 경우가 결정립계의 돌출부가 가장 낮으며 결정 표면도 가장 깨끗한 것을 알 수 있다.

BOE 세정 전처리가 다결정 실리콘 TFT의 소자 특성에 미치는 영향을 조사하기 위해서 coplanar 형태의 P-채널 TFT를 제작하였다. 표 4는 UV + BOE의 전처리를 거치고 N<sub>2</sub> 분위기에서 엑시머 레이저 열처리를 통해 다결정화 된 TFT와 전처리를 거치지 않은 TFT의 경우에 대해서 전기적 특성을 비교하였다. 전기적인 특

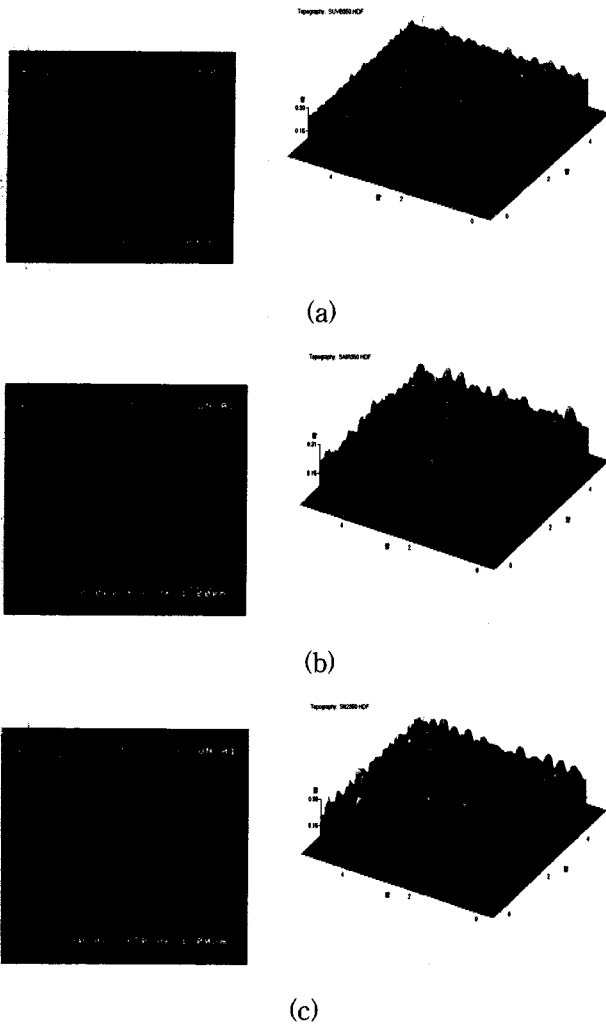


그림 2. BOE 세정 전처리 과정의 유무에 따른 다결정 실리콘의 표면 사진 및 AFM 형상 (a) UV + BOE + N<sub>2</sub> (b) None + air (c) None + N<sub>2</sub>

Fig. 2. SEM and AFM surface morphology of polysilicon thin film with and without BOE cleaning. (a) UV + BOE + N<sub>2</sub>, (b) None + air, and (c) None + N<sub>2</sub>

성의 정확도를 높이기 위해서 TFT가 제작된 glass의 6부분의 서로 다른 위치에서 전기적 특성을 측정하여 각각의 평균치를 조사하였다. BOE 세정을 실시한 후 제작된 TFT의 경우 on 상태 전류가 평균 -78  $\mu$ A로 가장 높게 나타나며, 전계 효과 이동도 또한 62.5  $\text{cm}^2/\text{V}\cdot\text{s}$ 로 가장 높게 나타났다.

종래의 다결정 실리콘 TFT 소자의 경우 일반적인 사용 조건하에서는 정상적인 전기적 특성을 나타내었으나, 사용 조건이 나빠질 경우 돌출부에 대한 절연 내압의 증가로 전기적 신뢰성이 나빠졌다. 이번 측정에서는 gate 전압을 증가시키면서 gate 전류를 측정하여 소

표 4. BOE 세정을 실시한 경우와 실시하지 않은 경우 TFT의 전기적 특성 변화

Table 4. Electrical characteristics of P-channel TFT with and without BOE cleaning.

	$I_{on(ave)}$	$I_{off(ave)}$	$V_{th(ave)}$	mobility (ave)
	$\mu\text{A}$	$\text{pA}$	V	$\text{cm}^2/\text{V}\cdot\text{s}$
UV + BOE + N <sub>2</sub>	-78.0	-25.2	-1.70	62.5
None + air	-38.7	-20.6	-3.37	52.3
None + N <sub>2</sub>	-43.2	-24.6	-3.42	54.9

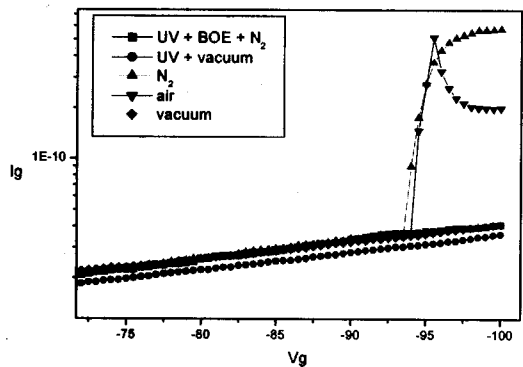
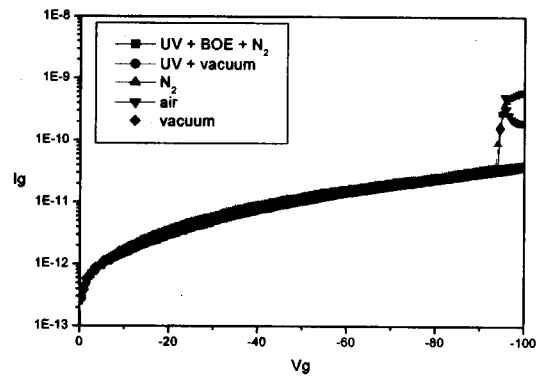


그림 3. 전처리 조건에 따른 게이트 절연막의 누설전류 특성곡선

Fig. 3. Gate leakage current with various pre-treatment conditions.

자 신뢰성 측정을 실시하였다. 그림 3은 게이트 전압에 따른 게이트 누설전류의 변화를 나타낸 그래프이며, 아래의 그림은 고전압 부분을 확대하여 나타낸 그래프이다. 측정 결과 BOE 세정 후 제작한 소자의 경우 breakdown 현상이 발생하지 않았으나 UV 세정이나 BOE 세정을 실시하지 않고 N<sub>2</sub>나 air 분위기에서 제작한 소자의 경우는 -90 V 정도의 게이트 전압 인가시 breakdown 현상이 발생함을 알 수 있었다.

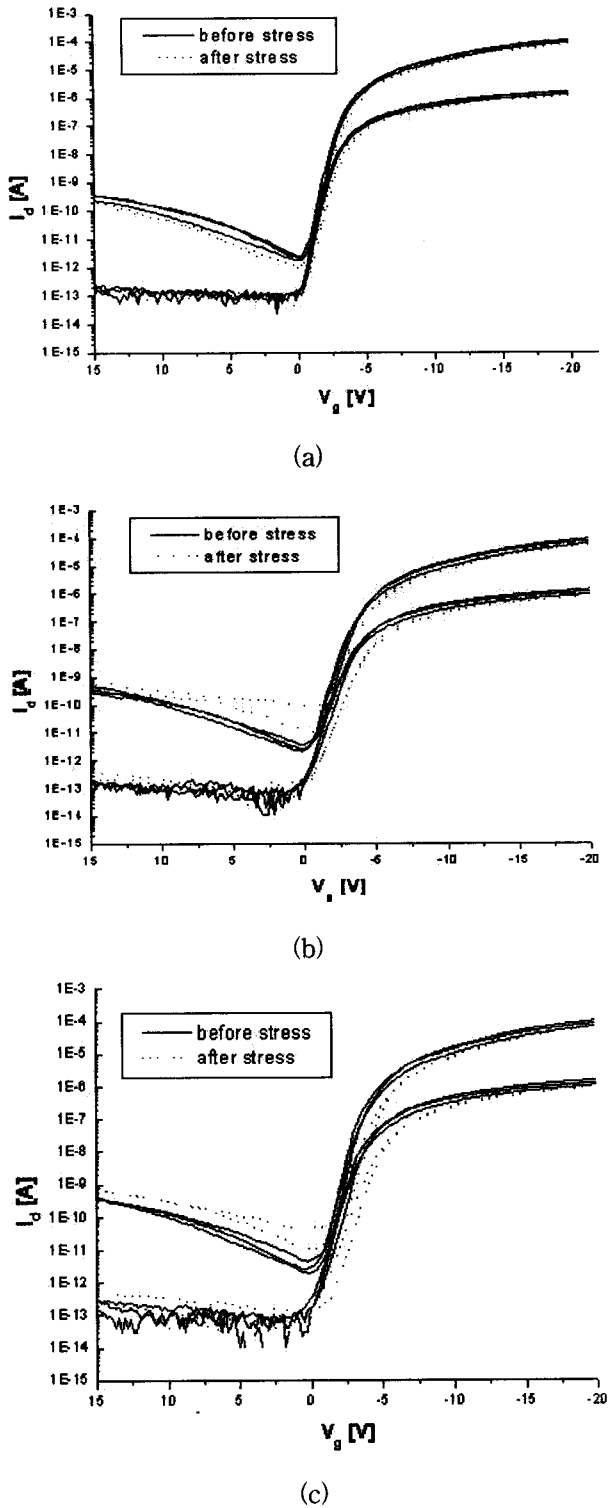


그림 4. -60V/60s의 FN stress 인가 후 TFT의 Vg-Id 전달 특성 변화. (Vds = 1V, 10V)

(a) UV + BOE + N<sub>2</sub> (b) N<sub>2</sub> (c) air

Fig. 4. Vg-Id transfer characteristics of TFT's before and after FN stress at -60V and 60s. (Vds = 1V and 10V).

(a) UV + BOE + N<sub>2</sub>, (b) N<sub>2</sub>, and (c) air

그림 4는 TFT의 전달특성을 나타낸 그림으로, BOE 세정이 TFT 소자의 전달 특성과 안정성에 미치는 영향을 조사해 보기 위해 게이트에 -60V/60sec의 stress를 인가한 후에 전달특성의 변화를 살펴보았다. 그림 4는 드레인 전압 1 V, 10 V에서 스위칭 특성을 조사한 그래프인데, 역방향 전류가 작은 것이 드레인 전압 1V, 큰 쪽이 드레인 전압 10V의 경우에 대해서 전달특성을 나타낸 그림이며, 실선은 stress 인가 전, 점선은 -60V/60sec의 stress인가 후의 그래프를 나타낸다. 그림에서 볼 수 있듯이 UV 세정과 BOE 세정을 실시한 소자가 stress를 인가한 가혹 조건에 대해서 신뢰성이 높음을 알 수 있었다. 타 조건에서의 소자들은 stress 인가 후 off 전류의 변동이나 문턱전압의 shift 현상이 발생하였으나, 엑시머 레이저 열처리 전에 UV 세정과 BOE 세정 등의 전처리를 실시하고 N<sub>2</sub> 분위기에서 공정을 진행한 소자의 경우 stress 전후에 있어 특성 변동이 없는 것으로 나타났다. 이는 엑시머 레이저 열처리 전에 BOE 세정을 통한 전처리를 실시함으로써 SiO<sub>2</sub>를 효과적으로 제거하여 돌출부 절연 내압에 의한 소자의 특성 변동 요인을 제거할 수 있었기 때문으로 생각된다.

#### IV. 결 론

본 실험에서 엑시머 레이저 어닐링을 이용한 다결정 실리콘 박막 트랜지스터 형성에 있어 부수적으로 야기되는 표면 거칠기를 개선하기 위한 방안을 제안하였다.

기존의 공정에 의해 박막 트랜지스터를 제작할 경우 SiO<sub>2</sub>에 의한 결정립계 돌출 현상에 의해 문턱전압(V<sub>th</sub>)의 shift나 누설 전류의 발생 등 트랜지스터의 전기적 특성에 대한 신뢰성이 떨어진다. 다결정 실리콘의 제조 과정에 있어 실리콘과 oxide의 반응은 공정상 제어 불가능한 부분으로 실리콘 표면의 SiO<sub>2</sub> 화합물을 어떻게 제거해 주느냐가 주요한 문제이다. 본 논문에서는 이러한 SiO<sub>2</sub> 화합물의 제거를 위해 SiO<sub>2</sub>와의 반응성이 좋은 BOE를 이용하여 SiO<sub>2</sub> 화합물을 제거하는 방법을 시도하였다. PECVD 공정에 의한 비정질 실리콘 박막 성장 후 엑시머 레이저 열처리(excimer laser annealing)전에 BOE 세정을 실시할 경우 SiO<sub>2</sub> 화합물을 효과적으로 제거함으로써 표면 거칠기를 감소시켜 보다 신뢰성 높은 TFT의 제작이 가능하였다. 실험결과 표면 거칠기는 평균 245.8 Å로 개선되었으며, 캐리어의 이동도가 UV 와 BOE 세정을 통해서 54.9에서 62.5 (cm<sup>2</sup>/V · s)로 개선되

었다. 또한 엑시머 레이저 열처리 실시에 있어서 chamber 분위기를  $N_2$  분위기로 변경함으로써 열처리 진행 중 발생할 수 있는 실리콘의 증발에 의한 레이저 창오염을 줄일 수 있었다.

이상의 결과로부터 본 실험에서 제안된 BOE 세정과 chamber 분위기의 변경이 다결정 실리콘의 표면 거칠기 개선과 다결정 실리콘 결정 형성을 위한 안정적인 공정 조건 확보에 상당한 효과가 있음을 확인할 수 있었다. 이러한 표면 거칠기의 개선은 저온 다결정 실리콘 TFT의 전기적 특성에 대한 신뢰성을 향상시켜 향후 경량 박형의 TFT-LCD 제작에 많은 기여를 할 것으로 예상되며 향후 다결정 실리콘 형성에 있어 표면 거칠기를 개선할 수 있는 더 좋은 공정이 개발된다면 보다 높은 신뢰성을 가진 다결정 실리콘 TFT-LCD를 제작할 수 있을 것으로 기대된다.

### 참고 문헌

- [1] G. Aichmayr, D. Toet, M. Mulato, P. V. Santos, A. Spangenberg, S. Christiansen, M. Albrecht, and H. P. Strunk, "Dynamics of lateral grain growth during the laser interference crystallization of a-Si", *Journal of Applied Physics*, Vol. 85, No. 8, pp. 4010-4013, April 1999.
- [2] C. T. Angelis, C. A. Dimitriadis, M. Miyasaka, F. V. Farmakis, G. Kamarinos, J. Brini, and J. Stoemenos, "Effect of excimer laser annealing on the structural and electrical properties of polycrystalline silicon thin-film transistors", *Journal of Applied Physics*, Vol. 86, No. 8, pp. 4600-4606, October 1999.
- [3] Byung-Hyuk Min, Chel-Min Park, and Min-Koo Han, "Electrical characteristics of poly-Si TFT's with smooth surface roughness at oxide/poly-Si interface", *IEEE Transaction on Electron Device*, Vol. 44, No. 11, pp. 2036-2038, November 1997.
- [4] Chun-Yen Chang, Hsiao-Yi Lin, Tan Fu Lei, Juing-Yi Cheng, Liang-Po Chen, and Bau-Tong Dai, "Fabrication of thin film transistors by chemical mechanical polished polycrystalline silicon films", *IEEE Electron Device Letters*, Vol. 17, No. 3, pp. 100-102, March 1996.
- [5] Noriyoshi Yamauchi, Rafael Rief, "Polycrystalline silicon thin films processed with silicon ion implantation and subsequent solid-phase crystallization: Theory, experiments, and thin-film transistor applications", *Journal of Applied Physics*, Vol. 75, Issue 7, pp. 3235-3257, April 1994.
- [6] J. Olivares, A. Rodri'guez, J. Sangrador, T. Rodri'guez, C. Ballesteros, A. Kling, "Solid-phase crystallization of amorphous SiGe films deposited by LPCVD on SiO<sub>2</sub> and glass", *Thin Solid Films*, vol. 3, pp. 51-54, January 1999.
- [7] G. Fortunato, "Polycrystalline silicon thin-film transistors: A continuous evolving technology", *Thin Solid Films*, vol. 4, pp. 82-90, March 1997.
- [8] T. Sameshima, "Status of Si thin film transistors", *Journal of Non-Crystalline Solids*, vol. 2, pp. 1196-1201, May 1998.
- [9] G. K. Giust, T. W. Sigmon, J. B. Boyce, and J. Ho, "High-performance laser-processed polysilicon thin-film transistors", *IEEE Electron Device Letters*, Vol. 20, No. 2, pp. 77-79, February 1999.
- [10] T. Fujimura, A. Takami, A. Ishida, S. Kawamura and T. Nishibe, LCD R&D Center, Toshiba Corporation, pp 175-178, 1999.

### 저 자 소 개

남 영 목(정회원)  
1996년 경북대학교 전자공학과  
학사 졸업.  
2002년 경북대학교 전자공학과  
석사 졸업.  
2004년 현재 LG Philips LCD  
재직 중

배 성 찬(학생회원)  
제 40권 SD편 제 7호 참조

최 시 영(정회원)  
제 40권 SD편 제 2호 참조

<주관심분야: LTPS, poly-TFT>