

논문 2004-41SD-8-3

폴리 게이트의 양자효과에 의한 Double-Gate MOSFET의 특성 변화 연구

(Poly-gate Quantization Effect in Double-Gate MOSFET)

박 지 선*, 이 승 준**, 신 형 순**

(Jisun Park, Seungjun Lee, and Hyungsoon Shin)

요 약

Density-gradient 방법을 이용하여 게이트의 양자효과가 double-gate MOSFET의 단채널 효과에 미치는 영향을 2차원으로 분석하였다. 게이트와 sidewall 산화막 경계면에서 발생하는 2차원 양자공핍 현상에 의하여 게이트 코너에 큰 전하 다이폴이 형성되며 subthreshold 영역에서 다이폴의 크기가 증가하고 classical 결과에 비하여 전자 농도와 전압 분포가 매우 다름을 알 수 있었다. Evanescent-mode 분석을 통하여 게이트의 양자효과가 소자의 단채널 효과를 증가시키며 이는 기판에서의 양자효과에 의한 영향보다 크다는 것을 확인하였다. 양자효과에 의하여 게이트 코너에 형성되는 전하 다이폴이 단채널 효과를 증가시키는 원인을 밝혔다.

Abstract

Quantum effects in the poly-gate are analyzed in two dimensions using the density-gradient method, and their impact on the short-channel effect of double-gate MOSFETs is investigated. The 2-D effects of quantum mechanical depletion at the gate to sidewall oxide is identified as the cause of large charge-dipole formation at the corner of the gate. The bias dependence of the charge dipole shows that the magnitude of the dipole peak-value increases in the subthreshold region and there is a large difference in carrier and potential distribution compared to the classical solution. Using evanescent-mode analysis, it is found that the quantum effect in the poly-gate substantially increases the short-channel effect and it is more significant than the quantum effect in the Si film. The penetration of potential contours into the poly-gate due to the dipole formation at the drain side of the gate corner is identified as the reason for the substantial increase in short-channel effects.

Keywords : MOSFETs, quantum effect, semiconductor device modeling, short-channel effect, simulation

I. 서 론

International Technology Roadmap for Semiconductors (ITRS)의 2003년 자료에 따르면^[1], 소자 축소화의 현재 경향은 25nm CMOS 기술을 목표로 2007년까지 지속될 것으로 예측된다. Sub-100nm MOSFET 소자에서 문턱전압 감소, subthreshold slope (SS), drain-induced barrier lowering (DIBL)과 같은 단채널 효과

(SCE)가 매우 중요해지므로, 등가산화막 두께를 1nm까지 줄여야 한다. 그러나 폴리 공핍과 양자 효과 때문에 전기적 산화막 두께가 실제 산화막 두께보다 0.5nm 정도 증가하게 되므로^[1], 단채널 효과의 정확한 예측을 위해서는 이러한 특성을 소자 시뮬레이션에 포함하여야 한다.

MOS 채널영역에서의 양자 효과 (QM)에 대한 연구는 계속 진행되어 왔다^[2-4]. 반면에 게이트에서의 양자 효과는 고려되지 않았고, drift-diffusion 모델을 사용하여 폴리공핍과 accumulation 특성을 고려하였다^[5-7]. 최근에 1차원 (1-D) self-consistent Schrödinger-Poisson solver를 사용하여 폴리게이트에서의 양자 효과를 분석

* 학생회원, ** 종신회원 이화여자대학교 정보통신학과
(Department of Information Electronic Eng., Ewha Womans University)
접수일자: 2004년1월14일, 수정완료일: 2004년7월20일

한 논문이 발표되었으며^[8], 폴리/산화막 경계면에서의 양자역학적 공핍현상에 의하여 형성된 전하 다이폴이 유효 산화막 두께와 문턱전압 특성에 영향을 주는 것이 확인되었다. 그러나 이러한 결과는 1차원 효과만을 고려하였으므로 실제의 단채널 소자에서 중요한 2차원 (2-D) 효과를 고려하기 위하여서는 양자효과를 고려한 2-D 소자 시뮬레이션이 필요하다.

본 연구에서는 단채널 MOSFET 소자의 게이트영역에서의 양자효과특성을 2차원으로 분석하였다. Density-gradient 방법을 사용하여 게이트와 기판에서의 2차원 QM 시뮬레이션을 수행하였고, double-gate MOSFET의 subthreshold 특성을 분석하였다. 본문의 1장에서는 density-gradient 방법과 본 연구에서 시뮬레이션한 소자의 구조에 대해 설명하였다. II장에서는 게이트 코너에서의 다이폴 형성과 게이트영역에서의 2-D 양자 효과에 관하여 설명하였다. 본문의 III장에서는 게이트의 양자효과가 Si film에서의 양자효과보다 double-gate MOSFET의 단채널 특성에 더 큰 영향을 주는 것에 대하여 분석하였다.

II. 본 론

1. Density-Gradient 방법 및 소자 구조

Density-gradient (DG) 방법은^[9-11] 캐리어 flux에 양자 전압항을 추가하여 drift-diffusion 모델을 수정한 것으로, 다차원에서의 양자효과를 효율적으로 계산하는 방법이다. DG 양자화 보정을 사용하여 얻은 전자 flux는 다음과 같이 표현된다.

$$F_n = -D_n \nabla n + \mu_n n \nabla \left(\Psi + \frac{\nabla^2 \sqrt{n}}{\sqrt{n}} \right) \quad (1)$$

여기에서 $b_n = \hbar^2 / (12 q m_n)$ 이다. 다음의 미분방정식으로부터 5개 변수의 값을 얻을 수 있다.

$$\nabla \cdot (\epsilon \nabla \Psi) + q(p - n + N_D^+ - N_A^-) = 0 \quad (2)$$

$$\nabla \cdot (b_n \nabla \sqrt{n}) + \frac{\sqrt{n}}{2} \left(\Psi - \frac{kT}{q} \ln \frac{n}{n_i} - \phi_n \right) = 0 \quad (3)$$

$$\nabla \cdot (b_p \nabla \sqrt{p}) - \frac{\sqrt{p}}{2} \left(\Psi + \frac{kT}{q} \ln \frac{p}{n_i} - \phi_p \right) = 0 \quad (4)$$

Simulation

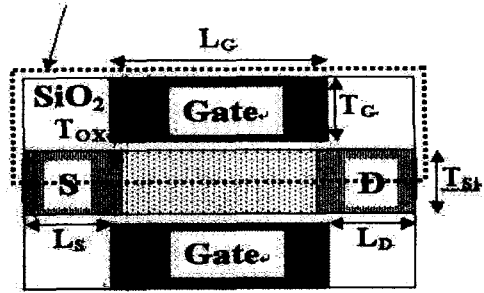


그림 1. 시뮬레이션에 사용된 대칭형 double-gate MOSFET의 개요도. 대칭 구조이므로 점선으로 표시된 부분만 시뮬레이션 함.

Fig. 1. Schematic diagram of a symmetrical dual-gate MOSFET structure used for simulation. Only the top half of the structure was actually simulated, exploiting the symmetry of the structure.

$$\nabla \cdot (\mu_n n \nabla \phi_n) + \frac{\partial n}{\partial t} + r = 0 \quad (5)$$

$$\nabla \cdot (\mu_p p \nabla \phi_p) - \frac{\partial p}{\partial t} - r = 0 \quad (6)$$

여기에서 r 은 net electron-hole pair recombination rate이다. b_n 과 b_p 은 캐리어의 유효 질량과 관계된 항으로서 Schrödinger-Poisson solver^[11]의 해와 DG결과를 일치시키기 위한 fitting 파라미터이고, 본 논문에서 사용되는 시뮬레이션 결과는 PROPHET^[9]을 사용하여 얻었다.

Sub-100nm CMOS 기술을 위한 다양한 소자구조들 중에서 주어진 산화막 두께에서 가장 짧은 채널 길이를 구현할 수 있는 double-gate MOSFET이 가장 유력한 소자로 대두되고 있다.^{[12-14][15-17]} 그림 1은 시뮬레이션에 사용된 대칭형 dual-gate MOSFET 구조의 개요도이다. 기본 소자 구조는 게이트 길이 (L_G)가 25nm이고, Si-film 두께 (T_{Si})가 10nm이다. 게이트 산화막 두께(T_{Ox})는 1nm이고, 폴리게이트 두께 (T_G)는 10nm, 소오스/드레인 길이 (L_S, L_D)는 10nm이다. 소오스와 드레인은 10^{20}cm^{-3} n-type으로 도우핑 되었으며 소오스/드레인과 게이트의 오버랩(0.5nm)을 위하여 lateral Gaussian extension을 사용하였다. Si film은 10^{15}cm^{-3} , p-type으로 균일하게 도우핑되었다. 게이트에서 발생하는 양자 효과의 도우핑 의존성을 분석하기 위하여 n형 게이트 도우핑 농도 (N_G)는 $10^{19} \sim 10^{20} \text{cm}^{-3}$ 값으로 변화시켰다.

2. 폴리게이트의 2차원 양자효과에 의한 다이폴 형성 폴리게이트에서 발생하는 양자효과에 대한 중요성이

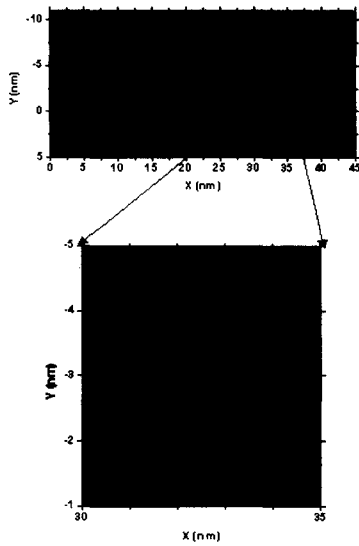


그림 2. Double-gate MOSFET의 전자 농도 contour.
($N_G = 10^{20} \text{ cm}^{-3}$, $V_G=V_D=V_S=0 \text{ V}$)

Fig. 2. Electron concentration contours of a double gate MOSFET. Note the significant pileup of electrons near the gate corner.
($N_G = 10^{20} \text{ cm}^{-3}$, $V_G=V_D=V_S=0 \text{ V}$)

최근까지 거의 논의되지 않았다. 예를 들면, 참고문헌 [8]의 논문에서는 폴리게이트의 양자효과가 커패시턴스나 문턱전압 (V_{TH}) 특성에 미치는 영향을 분석하였다. 그러나 이 논문 [8]은 1차원 분석이라는 한계를 가지고 있으므로 2차원 시뮬레이션을 검증하지 못한다. 본 장에서는 폴리게이트에서의 양자효과를 2차원으로 고려하기 위하여 density-gradient 시뮬레이션 결과를 보여준다.

그림 2는 10^{20} cm^{-3} n-type 게이트인 경우, $V_G=V_D=V_S=0\text{V}$ 에서 전자 농도의 콘투어를 보여준다. 게이트/산화막 경계면에 존재하는 에너지 장벽에 의하여 전자가 산화막 경계면로부터 약간 떨어진 곳에 분포한다. 이와 같이 산화막 경계면 근처에서 캐리어 농도가 감소하여 공핍영역이 형성되는 현상을 "QM depletion"이라 한다. 그러나 이 경우에도 전하량 보존 법칙이 만족되어야 하므로 산화막 경계면에서 약간 떨어진 곳에서 excess 캐리어가 축적되고 결과적으로 전하 다이폴이 형성된다. 그림 2의 소자 중간부분에 형성되는 전하 다이폴은 Schrödinger-Poisson solver를 사용하여 얻은 1-D 분석 결과에서도 얻어진다. 그러나 게이트와 sidewall 산화막의 2-D 효과때문에 게이트 코너에서 excess 캐리어의 최대값이 형성된다. 다시 말하면, sidewall산화막 경계면에서의 QM-depleted 캐리어가 게이트/채널산화막 경계면의 QM depletion에 의해 형성된 다이폴에 추가되

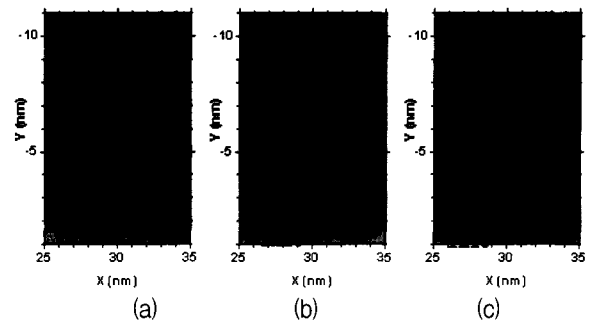


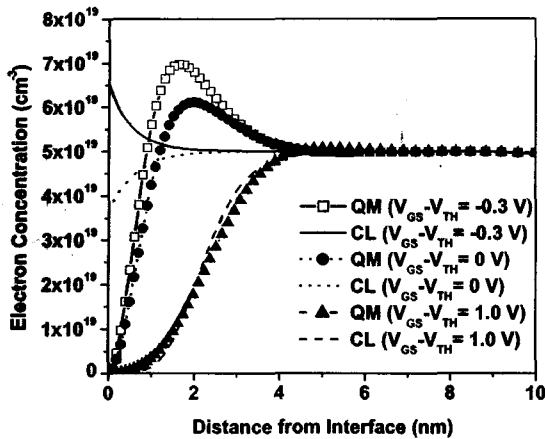
그림 3. 다양한 인가전압 조건에서의 전자 농도 contour ($N_G = 10^{20} \text{ cm}^{-3}$, $V_S = 0\text{V}$).
(a) $V_{GD} = 1\text{V}$, (b) $V_{GD} = 0\text{V}$, (c) $V_{GD} = -1\text{V}$
Fig. 3. Contour of electron concentration for a double-gate MOSFET at various bias conditions.
($N_G = 10^{20} \text{ cm}^{-3}$, $V_S = 0\text{V}$).
(a) $V_{GD} = 1\text{V}$, (b) $V_{GD} = 0\text{V}$, (c) $V_{GD} = -1\text{V}$

므로 전하 축적량은 게이트 코너에서 최대값을 갖게 된다. 따라서 1-D 분석에서는 고려할 수 없는 게이트 코너효과가 발생하게 되므로 양자효과와 2-D 시뮬레이션이 단채널 소자특성 예측에 매우 중요함을 알 수 있다.

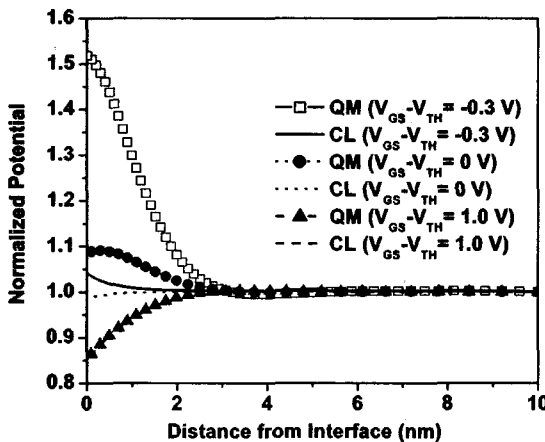
그림 3은 인가전압 변화에 따른 게이트 코너 다이폴의 위치 변화와 최대값을 보여준다. V_{GD} 가 감소함에 따라, 전자 축적의 최대값은 증가하고 축적된 위치는 게이트 코너쪽으로 이동한다. 음의 V_{GD} 가 인가된 경우, 폴리게이트 영역에 classical solution을 적용하는 경우 게이트/산화막 경계면에 전자가 축적된다. 그러나 QM solution의 경우, 에너지 장벽에 의하여 전자 농도가 경계면에서 작은 값을 가지게 된다. 따라서 QM solution과 classical solution의 차이는 증가하게 되고, QM depletion carrier는 다이폴의 최대값을 증가시킨다. 이러한 현상을 명확하게 하기 위하여 그림 4에 전자 농도와 normalized 전압을 게이트/산화막 경계면으로부터 거리의 함수로 나타내었다. 이 경우는 게이트 농도가 $N_G=5 \times 10^{19} \text{ cm}^{-3}$ 이고, 소자의 중앙 ($x=22.5\text{nm}$)에서의 분포이다. 그림 4의 결과는 각각 subthreshold ($V_{GS}-V_{TH}=-0.3\text{V}$), threshold ($V_{GS}-V_{TH}=0\text{V}$), strong inversion ($V_{GS}-V_{TH}=1\text{V}$)의 조건에 해당된다. 그림에서 보는 바와 같이 CL과 QM 결과의 차이는 subthreshold인 경우에 가장 크다. 이러한 현상은 MOSFET subthreshold 특성의 정확한 시뮬레이션을 위하여 게이트의 양자효과에 대한 고려가 중요함을 보여 준다.

3. Double-Gate MOSFET의 단채널 효과에 대한 Evanescent-Mode 해석

앞에서 논의한 바와 같이 MOSFET이 subthreshold 조



(a)



(b)

그림 4. Double-gate MOSFET의 폴리게이트에서의 (a)전자 농도 및 (b) normalized 전압 분포. Subthreshold, threshold, strong inversion 조건에서의 classical (CL) solution과 density-gradient (QM) solution 비교. (NG= 5x10¹⁹cm⁻³, VDS=0V, x=22.5 nm)

Fig. 4. (a) Electron concentration and (b) normalized potential in the poly-gate at the center of the channel in a double-gate MOSFET. Results of a classical (CL) and a density-gradient (QM) solution at subthreshold, threshold, and strong inversion. (NG= 5x10¹⁹cm⁻³, VDS=0V, x=22.5 nm).

전에서, 게이트의 양자효과는 전자 농도 및 전압 분포에 크게 영향을 미친다. 본 장에서는 게이트의 양자효과가 DIBL, SS, V_{TH} 감소와 같은 단채널 특성에 미치는 영향을 분석하였다.

Evanescent-mode 해석은^[18-20] 단채널 효과를 분석하는 효과적인 방법이다. 이 방법은 characteristic scaling-length (λ)를 간단하게 계산할 수 있고, subthreshold 영역에서의 2-D 효과를 정확히 고려한다. MOSFET의 채널 전압은 superposition을 사용하여 다음과 같이 표

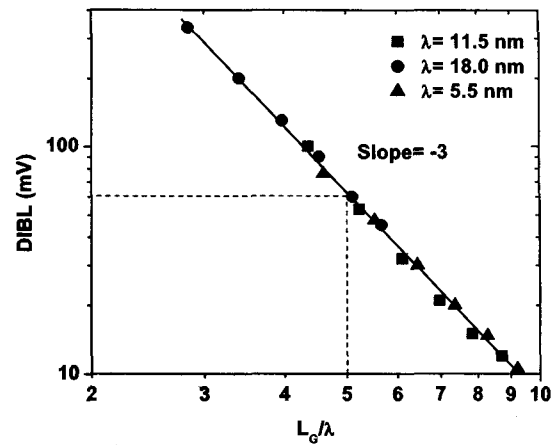


그림 5. DIBL vs. L_g/λ, 서로 다른 값을 갖는 세가지 소자 구조에서의 게이트길이에 따른 단채널 효과 의존성. λ=18nm (T_S=30nm, T_{Ox}=5nm), λ=11.5nm (T_S= 30nm, T_{Ox}=1nm), λ=5.5nm (T_S=10nm, T_{Ox}=1nm).

DIBL은 V_{TH}(V_{DS}=0.1V)-V_{TH}(V_{DS}=1.0V)로 정의됨.

Fig. 5. DIBL vs. L_g/λ, showing the dependence of SCE on the gate length for three structures with different λ. Based on the density-gradient simulations of double-gate structures with λ =18nm (T_S=30nm, T_{Ox}=5nm), λ=11.5nm (T_S= 30nm, T_{Ox}=1nm), λ=5.5nm (T_S=10nm, T_{Ox}=1nm). DIBL은 V_{TH}(V_{DS}=0.1V)-V_{TH}(V_{DS}=1.0V).

현된다.

$$\Psi(x, y) = \Psi_L(y) + \Psi_S(x, y)$$

여기에서 $\Psi_L(y)$ 는 주어진 게이트 전압조건에서 Poisson 식을 만족하는 장채널 해이고, $\Psi_S(x, y)$ 는 소오스/드레인 전압조건에서 Laplace 식을 만족하는 단채널 해이다^[18]. $\Psi_S(x, y)$ 는 Fourier expansion을 사용하여 무한 급수로 표현되지만, 단채널 효과에는 가장 낮은 항이 중요하므로 나머지 항들을 무시하면 다음과 같다.

$$\Psi_S \approx A \cdot \sin\left(\frac{y}{\lambda} - \frac{T_{Si}}{2\lambda} + \frac{\pi}{2}\right) \cdot \sinh\frac{x}{\lambda} \quad (7)$$

여기에서 x는 수평방향이고, y는 수직방향이다. 대칭점 (y=TSi/2)에서 최대값을 갖기 위해 sine 함수가 사용되고, Ψ_S 는 소자 내에서 sine 함수의 1/2 주기를 갖는다. 식 (7)에 의하면, Ψ_S 는 x 방향으로 지수함수적으로 변한다. 따라서 density-gradient 시뮬레이션 결과를 이용한 $\Delta\Psi_S$ vs. x의 semi-log 그래프의 기울기로부터 λ를 추출할 수 있다.^[20] 식 (7)에서 보는 바와 같이, 채

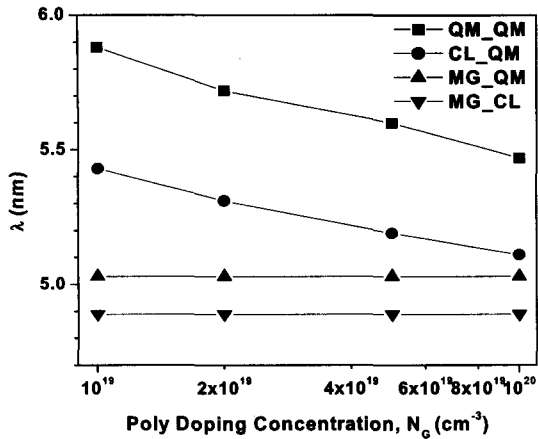


그림 6. 다양한 시뮬레이션 조건에서 double-gate MOSFET의 vs. N_G 비교.
 ($T_{ox}=1nm$, $T_s=10nm$)
 QM_QM: density-gradient for the poly-gate and the Si film
 CL_QM: classical solution for the poly-gate and density-gradient for the Si film
 MG_QM: metal gate and density-gradient for the Si film
 MG_CL: metal gate and classical solution for the Si film

Fig. 6. Comparison of vs. N_G for various simulation conditions of a double-gate MOSFET.
 ($T_{ox}=1nm$, $T_s=10nm$)
 QM_QM: density-gradient for the poly-gate and the Si film
 CL_QM: classical solution for the poly-gate and density-gradient for the Si film
 MG_QM: metal gate and density-gradient for the Si film
 MG_CL: metal gate and classical solution for the Si film

널의 전압은 $\psi \approx \exp(\pm \frac{x}{\lambda})$ 에 따라 변한다. 따라서 L_G/λ 는 MOSFET 단채널 효과의 척도가 된다. L_G/λ 가 작은 값을 가지는 경우, DIBL과 같은 2차원 단채널 효과가 증가하게 된다. 그림 5에서 보는 바와 같이 단채널 효과와 L_G/λ 의 상관관계를 분석하기 위하여 3개의 다른 구조를 갖는 double-gate MOSFET 소자에 대하여 density-gradient 시뮬레이션을 수행하고 λ 를 추출하였다. 그림에서 보는 바와 같이 3개의 구조는 DIBL과 L_G/λ 에 관하여 거의 완벽한 상관관계를 보여준다. Slope은 약 -3 정도이고, 이 값은 punchthrough 전압이 L^3 의 의존성을 갖는 현상에 기인한다.^[21] DIBL이 60mV보다 작은 값을 유지하기 위해서는 최소 게이트 길이 (L_{min})가 5λ 보다 커야 한다. 따라서 25nm CMOS 기술

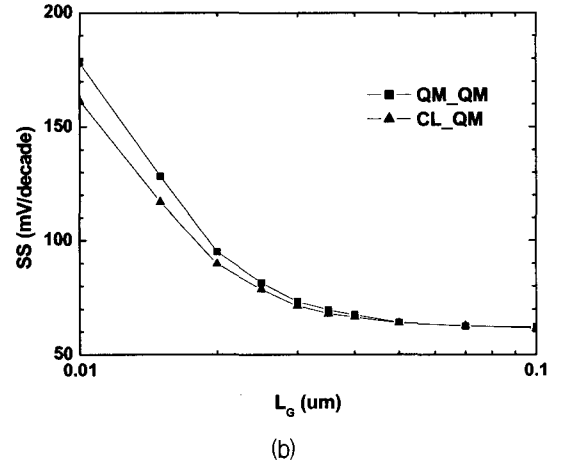
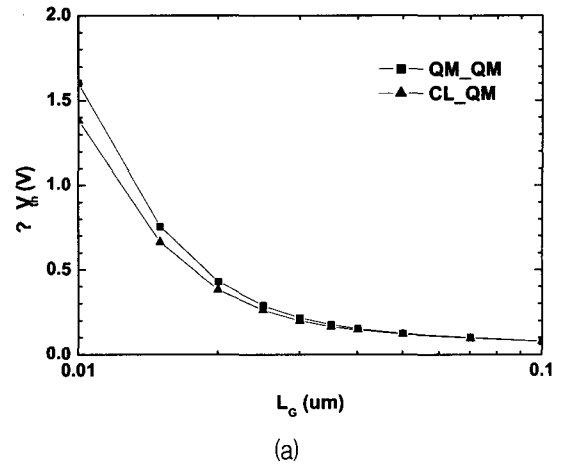


그림 7. 게이트에 양자 효과를 적용한 경우와 적용하지 않은 경우의 (a) threshold voltage fall-off 및 (b) subthreshold swing vs. L_G 비교.
 ($N_G=10^{20}cm^{-3}$, $T_{ox}=1nm$, $T_s=10nm$)
 QM_QM: density-gradient solution for the poly-gate and the Si film, CL_QM: classical solution for the poly-gate and density-gradient for the Si film

Fig. 7. (a) Threshold voltage roll-off and (b) subthreshold swing vs. L_G , showing a larger SCE for the density-gradient solution in comparison to the classical solution applied to the poly gate.
 ($N_G=10^{20}cm^{-3}$, $T_{ox}=1nm$, $T_s=10nm$)
 QM_QM: density-gradient solution for the poly-gate and the Si film, CL_QM: classical solution for the poly-gate and density-gradient for the Si film

을 위해서는 λ 가 5nm보다 작아야 함을 알 수 있다. 단채널 현상에 대한 게이트 양자효과의 영향을 분석하기 위해서, 폴리게이트 농도 (N_G)의 값을 변화시키면서 double-gate MOSFET 구조를 시뮬레이션하고, 금속 게이트(MG), classical solution (CL), density-gradient solution (QM)과 같은 각각의 시뮬레이션 조건에서

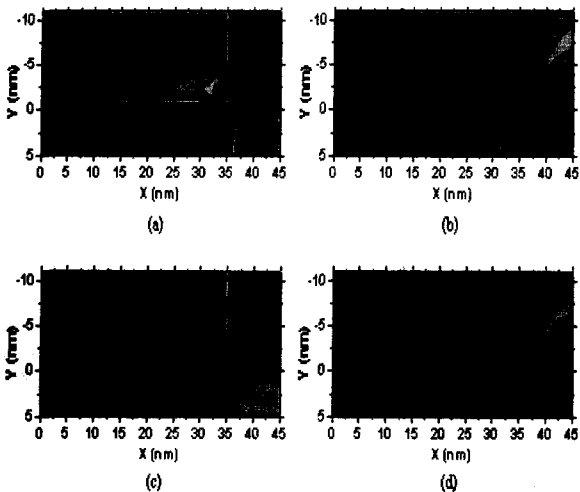


그림 8. 게이트에 양자 효과를 적용한 경우와 적용하지 않은 경우에 대한 전자농도와 전압 contour 비교.

($N_G=10^{19}\text{cm}^{-3}$, $T_{Ox}=1\text{nm}$, $T_S=10\text{nm}$, $V_{GS}-V_{TH}=-0.3\text{V}$, $V_{DS}=1\text{V}$)

(a) 게이트의 양자효과를 고려한 경우의 전자농도 contour

(b) 게이트의 양자효과를 고려한 경우의 전압 분포 contour

(c) 게이트의 양자효과를 고려하지 않은 경우의 전자농도 contour

(d) 게이트의 양자효과를 고려하지 않은 경우의 전압 분포 contour

Fig. 8. Electron concentration and potential contours of the density-gradient and the classical solutions for the poly-gate. The density-gradient method is applied in the Si film in both cases.

($N_G=10^{19}\text{cm}^{-3}$, $T_{Ox}=1\text{nm}$, $T_S=10\text{nm}$, $V_{GS}-V_{TH}=-0.3\text{V}$, $V_{DS}=1\text{V}$)

(a) Electron concentration contour of the density-gradient solution for the poly-gate

(b) Potential contour of the density-gradient solution for the poly-gate

(c) Electron concentration contour of the classical solution for the poly-gate

(d) Potential contour of the classical solution for the poly-gate

추출된 λ 를 비교하였다. 그림 6에서 보는 바와 같이 게이트의 양자효과를 고려하는 경우 단채널 효과가 증가하며 특히 N_G 가 낮은 경우에 더욱 증가한다. N_G 가 높은 경우에도 게이트의 양자효과는 Si film의 양자효과보다 큰 영향을 미친다.

그림 7은 문턱 전압 감소와 subthreshold swing과 같은 단채널 효과를 비교하고 있으며 게이트의 양자효과를 고려함으로써 단채널 효과가 증가하는 것을 보여준다. 이러한 결과로부터 정확한 단채널 효과 시뮬레이션을 위해서는 게이트의 양자효과를 고려하는 것이 중요

함을 알 수 있다.

그림 8은 $N_G = 10^{19}\text{cm}^{-3}$ 인 게이트의 classical과 density-gradient solution의 전자 및 전압 contour 비교이다. Classical solution에서는 게이트/산화막 경계면에서 전자가 축적된다. 반면에 density-gradient solution에서는 게이트의 양자효과와 드레인쪽 게이트 코너에 형성된 전하 다이폴 때문에 의하여 전자가 공핍되는 현상을 보인다. 따라서 드레인쪽의 게이트 코너에서 전압 컨투어가 게이트영역으로 침투하는 현상이 발생하고 결과적으로 등가 산화막 두께가 증가하게 된다. 이러한 효과에 의하여 density-gradient solution은 드레인에서 소오스방향으로 전압의 침투가 증가하는 현상을 보이고 따라서 게이트의 양자효과에 의하여 소자의 단채널 효과가 증가하게 됨을 알 수 있다.

III. 결 론

Density-gradient 방법을 사용하여 게이트 영역의 2차원 양자효과를 분석하였다. Sidewall 산화막의 2차원 QM depletion 효과에 의하여 게이트 코너에 전하 다이폴이 형성된다. 이러한 코너 효과는 1차원 분석에서는 예측되지 않으므로 양자 효과의 2차원 시뮬레이션이 소자 특성 예측에 중요함을 알 수 있다. 전하 다이폴은 인가전압 의존성을 보이는데, 특히 subthreshold 영역에서 다이폴의 최대값은 증가하고 classical solution에서 얻어진 캐리어와 전압 분포 결과와 큰 차이를 보인다. Evanescent-mode 해석을 사용하여 double-gate MOSFET의 게이트에서 발생하는 양자 효과가 소자의 단채널 현상에 미치는 영향을 분석하였다. 게이트의 양자효과는 단채널 효과를 증가시키는데, 이는 Si film의 양자 효과에 의한 영향보다 더 크게 나타난다. 드레인쪽의 게이트 코너에서 형성되는 다이폴 때문에 게이트로 침투하는 전압 contour에 의하여 단채널 효과가 증가함을 확인하였다. 따라서 sub-100nm 기술에서 소자의 정확한 단채널 특성을 예측하기 위해서는 게이트의 2차원 양자 효과를 고려하는 것이 중요하다.

참 고 문 헌

- [1] International Technology Roadmap for Semiconductors 2003 edition. <http://public.itrs.net/Files/2003ITRS/Home2003.htm>
- [2] F. Rana, S. Tiwari, and D.A. Buchanan, *Appl.*

- Phys. Lett.*, 69, 1104 (1996).
- [3] S. Hareland, S. Krishnamurthy, S. Jallepalli, Y. Choh-Fei, K. Hasnat, A. Tasch, and C. Maziar, *IEEE Trans. on Electron Devices*, 43, 90 (1996).
 - [4] N. Shigyo and H. Tanimoto, *IEEE Trans. on Electron Devices*, 47, 1010 (2000).
 - [5] N.D. Arora, R. Rios, and C.L. Huang, *IEEE Trans. on Electron Devices*, 42, 935 (1995).
 - [6] K. Krisch, J. Bude, and L. Manchanda, *IEEE Electron Device Lett.*, 17, 521 (1996).
 - [7] C.H. Choi, P.R. Chidambaram, R. Khamankar, C.F. Machala, Z. Yu, and R.W. Dutton, *IEEE Electron Device Lett.*, 23, 22A (2002).
 - [8] A.S. Spinelli, A. Pacelli, and A.L. Lacatia, *IEEE Trans. on Electron Devices*, 47, 2366 (2000).
 - [9] C.S. Rafferty, Z. Yu, B. Biegel, M.G. Ancona, J. Bude, and R.W. Dutton, *Proc IEEE SISPAD* (Wien, Sep., 1998), p137.
 - [10] M.G. Ancona, *IEEE Trans. on Electron Devices*, 47, 1449 (2000).
 - [11] D. Connelly, Z. Yu, and D. Yergeau, *IEEE Trans. on Electron Devices*, 49, 619 (2002).
 - [12] S. Cristoloveanu, *J. Korean Phys. Soc.*, 39, S52 (2001).
 - [13] J. Yi, Y. Park and H. Min, *J. Korean Phys. Soc.*, 40, 668 (2002).
 - [14] Y. Taur, *IEEE Trans. on Electron Devices*, 48, 2861 (2001).
 - [15] Y. Taur, D.A. Buchanam, W. Chen, D.J. Frank, K.E. Ismail, S.H. Lo, G.A. Sai-Halasz, R.G. Viswanathan, C.H. Wann, S.J. Wind, and H.P. Wong, *Proc. IEEE*, 85, 486 (1997).
 - [16] H.P. Wong, D.J. Frank, P.M. Solomon, C.H. Wann, and J.J. Welser, *Proc. IEEE*, 87, 537 (1999).
 - [17] D. Frank, R.H. Dennard, E. Nowak, P.M. Solomon, Y. Taur, and H.P. Wong, *Proc. IEEE*, 89, 259 (2001).
 - [18] T.N. Nguyen, Ph.D. dissertation, Stanford Univ., 1984.
 - [19] D.J. Frank, Y. Taur, and H.P. Wong, *IEEE Electron Device Lett.*, 19, 385 (1998).
 - [20] S.H. Oh, D. Monroe, and J.M. Hergenrother, *IEEE Electron Device Lett.*, 21, 445 (2000).
 - [21] S. Wolf, "Silicon Processing for the VLSI Era, Vol. 3 - The Submicron MOSFET"(Lattice Press, New York, 1995).

 저 자 소 개

박 지 선(학생회원)

1999년 2월 이화여자대학교
전자공학과 졸업 (학사).
2001년 2월 이화여자대학교
정보통신학과 졸업(석사).
2002년 ~ 현재 이화여자대학교
정보통신학과 박사 과정

<주관심분야: 반도체 소자구조, 모델링>

신 형 순(중신회원)

1982년 2월 서울대학교 전자공학
과 졸업 (학사).
1984년 12월 미국 University of
Texas at Austin 졸업 (석
사).
1990년 5월 미국 University of Texas
at Austin 졸업 (박사).

1990년 ~ 1994년 LG 반도체 근무.

1995년 ~ 현재 이화여자대학교 공과대학
정보통신학과 교수.

<주관심분야: 반도체 소자구조, 모델링, RF
CMOS>

이 승 준(중신회원)

1986년 서울대학교 전자공학과
졸업 (학사)
1986년 6월 미국 University of
California at Berkeley 졸
업 (석사)
1993년 12월 미국 University of
California at Berkeley 졸업(박사)

1992년 ~ 1998년 현대전자 근무

1999년 ~ 현재 이화여자대학교 공과대학
정보통신학과 조교수

<주관심분야: 반도체 설계, 차세대 메모리, SoC
설계>