

논문 2004-41SD-8-2

재구성 가능한 시스템 칩 테스트 제어기술의 개발

(Development of Simple Reconfigurable Access Mechanism for SoC Testing)

김 태 식*, 민 병 우*, 박 성 주*

(Taesik Kim, Pyoungwoo Min, and Sungju Park)

요 약

여러 개의 IP 코어로 구성된 SoC(System-on-a-Chip)를 위해, 테스트 래퍼와 스캔 체인의 다양한 연결구성이 가능한 테스트 기술이 제안되고 있다. 본 논문에서는, 테스트 래퍼와 스캔 체인을 효과적으로 재구성하며 테스트 할 수 있는 새로운 SoC 테스트 접근 기법을 소개한다. IEEE 1149.1 및 P1500 기반의 테스트 래퍼를 위해 테스트 래퍼 제어기인 WCLM(Wrapped Core Linking Module)과, WCLM과 맞물려 코아 내부의 스캔 체인에 효과적으로 접근 가능한 TAM(Test Access Mechanism) 구조를 제안한다.

Abstract

For a System-on-a-Chip(SoC) comprised of multiple IP cores, test control techniques have been developed to perform the internal and external test efficiently relying on the various design for testability techniques such as scan and BIST(Built-In Self-Test). However the test area overhead is too expensive to guarantee diverse test link configurations. In this paper, at first we introduce a new flag based Wrapped Core Linking Module(WCLM) that enables systematic integration of IEEE 1149.1 TAP'd cores and P1500 wrapped cores. Then a simple test control technique, which can interconnect internal scan chains of different cores, is described with requiring least amount of area overhead compared with other state-of-art techniques. The design preserves compatibility with standards and scalability for hierarchical access.

Keywords : testing, scan, TAP, WCLM, CAS

I. 서 론

반도체 공정기술의 발달로 칩의 집적도가 급속히 높아지면서, 프로세서 및 메모리 등의 코어로 구성되는 시스템이 하나의 칩에 구현되는 SoC(System-on-a-Chip)가 널리 활용되고 있다. 재사용 가능한 IP를 이용함으로써 설계 시간은 획기적으로 단축되었지만, SoC 설계에 있어서 주요 병목현상은 테스트와 검증에서 발생하면서 SoC의 코아에 대한 다양한 테스트 기술이 개발되고 있다.

IP는 크게 기반(infrastructure) 블록과 기능(function) 블록으로 구분되며, 기반 IP 블록은 테스트, 검증, 진단 및 수율 개선 등으로 세분화된다. 기반 IP는 기능 IP에 통합되어서 결합에 극히 취약한 SoC 내장메모리 수율 증진 및 비메모리 기능 블록의 제작도와 수율을 최적화 하는데 필수적으로 사용된다^[1]. IP 코어로 구성된 SoC에 대한 테스트 접근 구조의 중요한 요소는 TAM(Test Access Mechanism)과 테스트 래퍼이다^[2]. TAM은 코아 내부 테스트 패턴 입력을 위한 스캔 체인과 BIST를 포함하며 표준화가 어렵기 때문에 다양한 구조에도 효과적으로 처리해줄 수 있는 테스트 제어기술이 필요하다. 래퍼는 주로 외부 테스트를 위하여 코아의 입출력 값을 직렬로 이동함으로써 인가 및 관측하는 역할을 담당하며 JTAG 및 P1500으로 표준화되어 있다. 테스트 비용은 ATE에 사용되는 메모리와 테스트 패턴의 주입

* 정회원, 한양대학교 컴퓨터공학부
(School of Electrical Engineering & Computer Science, Hanyang University)

※ 본 논문은 한국과학재단 특정기초과제(R01-2003-000-10150-0)로부터 지원을 받아 진행하였습니다.
접수일자: 2004년4월21일, 수정완료일: 2004년7월21일

시간에 의해 결정되며 이는 테스트 래퍼와 TAM이 시스템 칩에 어떻게 접목되느냐에 따라 크게 영향을 받는다. 따라서 효율적인 테스트를 위해서는 TAM과 테스트 래퍼의 결합^[3,4,5]과 1149.1 TAP이 있는 코아와 P1500 래퍼가 있는 코아를 위한 연결 제어기^[6-13] 등의 개발이 필수적이다.

복수개의 1149.1 TAP 코아에 테스트 접근을 하는데 있어 문제점들을 해결하기 위한 몇 가지 방법들이 제안되었다^[8-13]. 1149.1 제어신호로 P1500 코아를 계층적으로 접근하면서 발생하는 문제점을 해결하기 위해서 P1500 SIL(Serial Interface Layer)를 개선한 테스트 구조 방식도 제안되었다^[14]. 이중 코아로 구성된 SoC의 테스트 접근을 위한 CAS-BUS가 제안되었지만 코아 접근 스위치(CAS)의 구조가 복잡하여 실제로 시스템 칩에 적용하는데는 비용이 너무 많이 든다^[15]. 본 논문은 IEEE 1149.1과 P1500 표준을 유지하며 계층적 테스트 접근을 할 수 있는 플래그 기반의 WCLM(Wrapped Core Linking Module)을 제안한다. 그리고 코아간의 내부 스캔체인을 다양한 형태로 연결 가능하게 해주는 재구성 가능한 간단한 코아 접근 스위치를 소개하고, 기존의 방법과 설계를 통하여 성능을 비교한다.

본 논문은 다음과 같이 구성되어 있다. 우선 1149.1 코아를 위한 기존의 TAP 연결 기술에 대해서 살펴보고, 본 논문에서 제안하는 플래그 기반의 WCLM을 소개하며, 기존의 TAM 제어기술에 비하여 복잡도를 현저히 줄인 새로운 테스트제어기술을 소개한다. 마지막으로 기존 방식과 설계 결과를 비교하고, 결론을 기술한다.

II. 본 론

1. IEEE 1149.1을 위한 연결 제어기

IEEE 1149.1 경계스캔은 보드 또는 시스템 수준에서 테스트 패턴의 인가를 쉽게 하기 위한 테스트 설계 기술이다. 1149.1 표준 TAP(Test Access Port)은 TDI, TDO, TMS, TCK와 선택적인 TRST 핀을 포함한다^[6]. 그림 1은 표준 IEEE 1149.1 경계스캔 설계를 보여준다. 명령어 레지스터상의 현재 명령에 의해 경계스캔, 바이패스, 또는 사용자 정의 테스트 데이터 레지스터가 TDI-TDO 경로상에 놓이게 된다. 필수적인 명령어로는 BYPASS, SAMPLE/PRELOAD와 EXTEST가 있고, RUNBIST, IDCODE, HIGHZ, CLAMP와 같은 사용자 정의 명령어가 있다.

그림 2와 3은 IEEE 1149.1 경계스캔이 구현되어있는 코아와 그렇지 않은 코아로 구성된 SoC를 보여주고

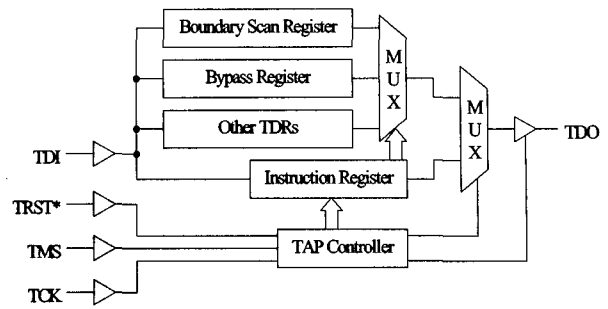


그림 1. IEEE 1149.1 경계스캔 설계 구조
Fig. 1. Architecture of IEEE 1149.1 Boundary Scan.

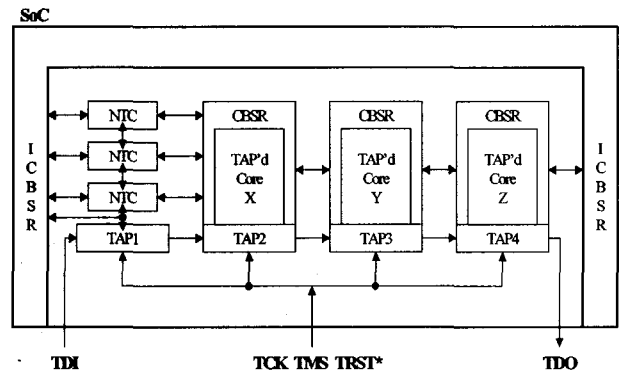


그림 2. TAP'd IP 코아의 직렬연결
Fig. 2. TAP'd IP Cores serially interconnected.

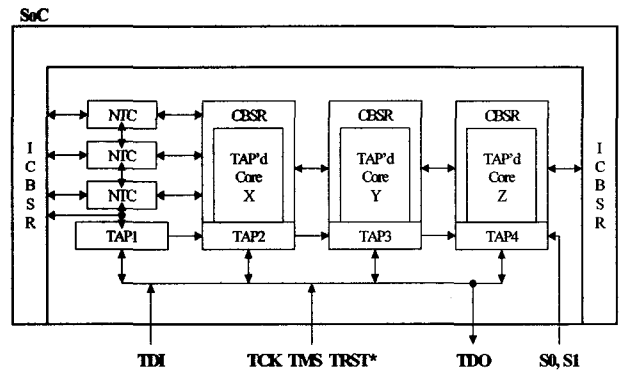


그림 3. TAP'd IP 코아 선택핀을 추가한 방식
Fig. 3. Architecture with additional select pins.

있다. TAP'd Core는 TAP을 포함하고 있는 코아이고 NTC(Non TAP'd Core)는 TAP을 포함하고 있지 않은 코아를 의미한다. ICBSR(IC Boundary Scan Register)과 CBSR(Core Boundary Scan Register)은 각각 IC의 경계스캔 레지스터와 코아의 경계스캔 레지스터이다.

IEEE 1149.1 경계스캔은 보드 및 시스템 수준 테스트를 위해 제안되었지만, 최근에는 IP 코아에도 사용함으로써 SoC 테스트 및 디버그에도 널리 사용하고 있다^[8-13]. 그림 2와 3을 포함하는 여러 가지 SoC 테스트 제어 기술이 제안되었다. [10]에서 기술한 바와 같이 그림 2와 3은 첫째, 1149.1 표준에 위배되며, 둘째, 확장성이

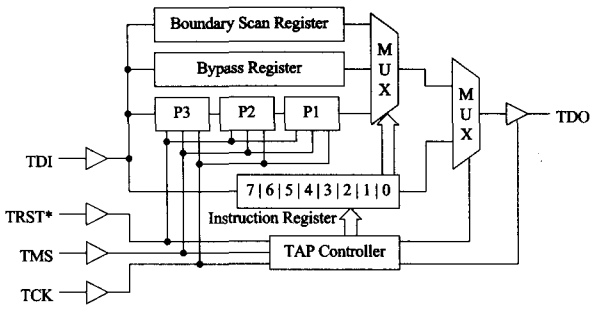


그림 4. SoC TAP의 명령어 비트를 사용한 IBM의 직렬 연결 방식
Fig. 4. Instruction based TAP by IBM.

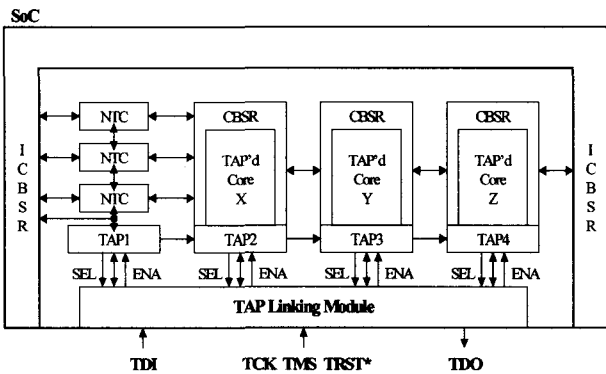


그림 5. TI에 의해 제안된 TLM(TAP Linking Module)방식
Fig. 5. TLM by TI.

결여되어 있고, 셋째, 보드수준 설계에서 테스트를 위한 추가적인 배선이 필요하다는 단점이 있다^[11].

그림 4에서와 같이 IBM은 SoC TAP과 코어 TAP들을 구분하기 위해 SoC 경계스캔 명령어들의 최하위 비트를 사용하였다^[9]. 이 방식은 1149.1 호환 코어를 SoC 테스트 데이터 레지스터 위치에 직렬로 연결하여야 하며 주요 목적은 프로세서 코어의 디버깅에 있다. IBM 방식의 가장 큰 단점은 ICBSR과 CBSR간의 연결선 점검이 어렵다는 것이다. 이는 TAP이 있는 프로세서 코어를 테스트하거나 디버깅하기 위해서는 SoC TAP과의 연결이 끊어지고, 직렬로 연결된 다른 모든 코어는 바이패스 모드로 놓아야 하기 때문이다.

그림 5는 TI에서 제안한 TLM(TAP Linking Module)방식을 보여준다. TLM은 TAP이 있는 코어와 SoC 간에 어떠한 연결도 가능하지만, SoC와 코어의 표준 IEEE 1149.1 경계스캔 설계에 추가적인 테스트 회로를 넣기 위해 DSP, CPU 등과 같은 이미 만들어진 코어의 회로를 변경해야만 한다.

즉, 코어 제공자에게 IEEE 1149.1 경계스캔 회로에 추가적인 명령어와 회로를 넣을 것을 요구해야 한다는 문제점이 있다.

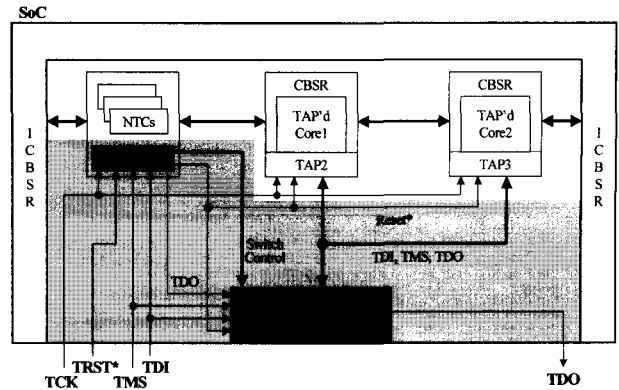


그림 6. HTAP을 사용한 SoC
Fig. 6. SoC with HTAP.

호환성과 확장성을 위해 HTAP(Hierarchical TAP) 기술이 제안되었다^[11,12]. HTAP은 그림 6과 같이 크게 두 부분으로 나뉘어 있는데, 첫 번째는 SoC의 1149.1 호환 테스트 핀들을 TAP이 있는 복수개의 코어가 공유할 수 있도록 하는 스위치이고, 두 번째는 SNTAP (Snoopy TAP)이라 불리는 1149.1 TAP의 변형된 구조로서, SoC의 TAP이 없는 회로부분에 대해서 1149.1 TAP 기능을 수행하고 TAP이 있는 복수개의 코어가 SoC의 1149.1 테스트 핀을 공유하는데 중재 역할을 한다. 그러나 HTAP은 첫째, Snoopy-State 상태로 되거나 빠져 나오는 절차가 1149.1 관점에서 부자연스럽고, 둘째, SoC의 경계스캔과 코어의 경계스캔간의 연결선 점검을 할 수 없다는 단점이 있다.

2. 플래그 기반 Wrapped Core Linking Module

IEEE 1149.1 또는 P1500 래퍼가 있는 코어에 대해서 체계적이고 계층적인 테스트 접근을 하기 위해, 플래그 기반 WCLM은 테스트 버스와 코어간의 조율을 한다.

그림 7은 본 논문에서 제안하는 플래그 기반 WCLM을 사용한 테스트 접근 구조의 개괄적인 모습을 보여준다. SoC의 1149.1 TAP인 TAP1은 WCLM을 제어하고, TAP2와 TAP3는 각각 코어1, 2의 1149.1 TAP이다. P1500 래퍼가 있는 코어는 WCLM 내부의 P1500 제어기에 의해서 제어된다. 복수개의 TAP들과 P1500 래퍼들은 WCLM을 통해 1149.1 호환 SoC 테스트 버스에 연결된다.

Switch 모듈, LCR(Link Control Register) 모듈, LCR_CTRL(LCR Controller) 모듈, P1500 제어기 모듈, 그리고 OL(Output Logic)은 본 플래그 기반 WCLM 테스트 접근 기술의 기본 구조를 이룬다.

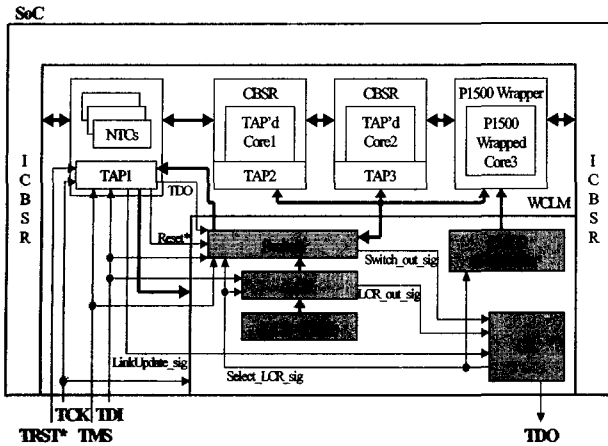


그림 7. 플래그 기반 WCLM의 구조
Fig. 7. Overview of Flag Based WCLM.

· Switch

Switch는 스캔 경로 설정을 위한 크로스바 스위치, SoC의 TMS 핀 신호와 SoC TAP 제어기의 신호들을 게이팅 시키는 회로와 TRST* 핀이 없는 IP 코어의 TAP을 초기화시키기 위한 회로로 구성되어 있다.

· LCR(Link Control Register)

LCR은 SoC TDI-TDO 스캔 경로상에서 1149.1 및 P1500 래퍼가 있는 코아간의 연결정보를 변경하고 유지하는데 사용되며, LCR_CTRL(Linck Control Register Controller)에 의해서 제어된다. LCR은 연결 구성 변경 시에 SoC의 TDI-TDO 스캔 경로 사이에 놓이게 되고, 테스트 버스의 Scan-DR 시에 내용이 변경된다. Reset*에 '0'이 인가되어 초기화 될 경우에는 오직 SoC TAP만이 SoC TDI-TDO 스캔 경로상에 오도록 연결정보를 설정시킨다.

· LCR_CTRL(Linck Control Register Controller)

LCR_CTRL은 LCR을 제어하기 위한 제어기이다. Select_LCR_sig의 값이 '1'이고 테스트 버스가 Scan-DR시에는 LCR을 활성화시켜서 연결 구성 정보를 쉬프트 시키고 업데이트 시킬 수 있게 한다.

· OL(Output Logic)

OL은 출력을 제어해주는 회로이다. 보드상에서 칩 수준의 SoC를 테스트하거나 SoC 상의 코아를 테스트 할 때는 Switch_out_sig를 SoC TDO에 연결하고, 코아의 연결 구성을 변경시킬 때는 LCR_out_sig를 TDO에 연결한다. OL 내부에 존재하는 Flag 레지스터는 코아 테스트 모드이고 IR-Scan시에 명령어 레지스터의 TDI

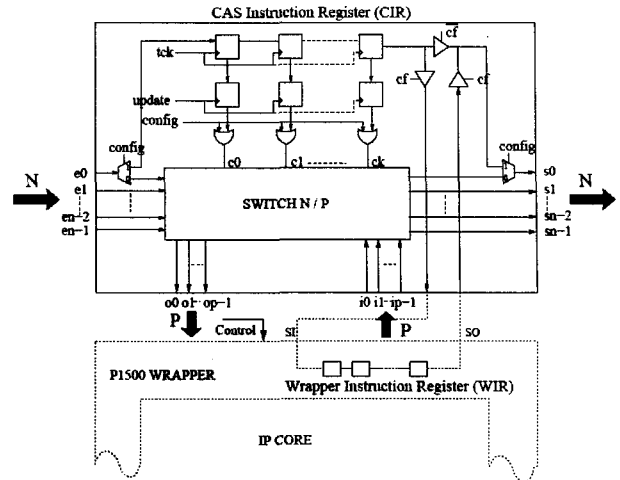


그림 8. 코아 접근 스위치(CAS)의 구조
Fig. 8. Architecture of the Core Access Switch.

-TDO 스캔 경로상의 종단에 오게되고, '1'이 되면 Select_LCR_sig='1'이 되어 LCR을 TDI-TDO 경로상에 놓아 코아의 연결 구성을 변경할 수 있도록 한다.

3. 재구성 가능한 TAM 제어기

IP 코아로 구성된 SoC에 대한 테스트 접근 구조의 중요한 요소는 TAM과 테스트 래퍼이다. TAM은 코아 내부 테스트 패턴 입력을 위한 스캔 체인과 BIST를 포함하며 표준화가 어렵기 때문에 다양한 구조에도 효과적으로 처리해줄 수 있는 테스트 제어기술이 필요하다. 테스트 비용은 ATE에 사용되는 메모리와 테스트 패턴의 주입시간에 의해 결정되며, 이는 테스트 래퍼와 TAM이 시스템 칩에 어떻게 접목되느냐에 따라 크게 영향을 받는다. 이종 코아로 구성된 SoC의 테스트 접근을 위한 CAS-BUS가 제안되었지만, 코아 접근 스위치(CAS)의 구조가 복잡하여 실제로 시스템 칩에 적용하는 데는 비용이 너무 많이 든다. 먼저 기존의 논문 [5,15]에서 제안한 CAS의 구조에 대하여 살펴보기로 한다. 그림 8에서 보는 바와 같이 CAS는 N개의 테스트 버스로부터 P개의 선을 스캔 입력단에 연결하고, 또한 P개의 코아의 스캔 출력단을 다시 테스트 버스에 연결해주는 스위치이다. 각각의 코아에 1개의 CAS가 필요하고 명령어를 인가하여 해당 코아에 대한 N개의 테스트 버스와 P개의 코아의 입력단과의 연결구조를 완성한다. CAS를 사용하는 TAM은 다음과 같이 3가지 모드로 동작한다.

1) 구성모드(Configuration mode): 각 코아에 연결된 CAS의 연결 구조를 결정하며 필요한 경우 코아 래퍼

표 1. 코아 접근 스위치(CAS)의 합성 결과

Table 1. Synthesis result of the CAS.

N	P	$N \times P$	n(bits)	# of gates
3	1	3	2	16
4	1	4	2	23
4	2	12	4	64
4	3	24	5	118
5	1	5	3	28
5	2	20	5	85
5	3	60	6	205
6	1	6	3	33
6	2	30	5	134
6	3	120	7	280
6	5	720	10	1154
8	4	1680	11	4400

표 2. ITC'02 SoC 테스트 벤치마크 회로의 스캔 체인 정보

Table 2. Scan chains of ITC'02 SoC Test Benchmarks.

SoC	ΣScan Chains	Scan Chain Length		
		Minimum	Average	Maximum
u226	20	52	52	52
d281	34	7	26	32
d695	137	32	46	55
h953	28	21	166	348
g1023	35	9	44	84
f2126	26	318	538	1000
q12710	13	413	999	1689
p22081	196	1	126	400
p34392	63	8	332	806
p93791	522	1	172	521
t512505	64	10	1063	1669
a586710	16	2141	2354	2548

제어 명령어를 인가하기도 한다.

2) Bypass mode: 코아를 테스트 경로에 포함하지 않고 관통하는 모드로 전환한다.

3) 테스트 모드: 스캔, BIST, 래퍼 스캔 등의 테스트 동작을 수행한다.

이러한 CAS 기반의 TAM 제어기술은 재구성이 용이하여 코아 내부 테스트, Built-In Self-Test 및 코아 외부 테스트에 매우 유용하게 사용될 수 있으나, 테스트 버스폭 및 코아 스캔 체인의 개수가 증가함에 따라서 CAS의 구조가 매우 복잡해진다는 단점이 있다. N개의 테스트 버스단을 P개의 스캔 입력단에 순서를 고려해서 선택하여 연결하는 문제는 NPP에 해당하며 이를 CAS 구성 명령어에서 제공하여야 하므로 CAS 설계가 매우 복잡해지게 된다.

표 1에서 보는바와 같이 N과 P 값이 증가함에 따라서 명령어의 길이와 CAS 회로의 면적이 급격히 증가함을 볼 수 있다. 실제적으로 SoC 벤치마크 회로^[16]를 보

면 표 2와 같이 테스트 버스폭 및 스캔 체인의 갯수가 CAS로는 감당하지 못할 정도로 많음을 알 수 있다. 본 연구에서는 여기서 제안하는 CAS의 복잡도를 현저히 줄이면서 P1500 및 JTAG이 혼합된 SoC에서도 효율적으로 TAM을 제어할 수 있는 간단한 테스트 설계기술을 소개하고자 한다.

Observation 1: 스캔 체인이 선택된 코아는 반드시 그 코아의 래퍼 체인(wrapper chain)도 반드시 선택되어야 한다. 따라서 WCLM(wrapped core linking module)에 스캔 체인 제어기능을 포함한 통합된 TAM 제어를 사용함으로써 영역 및 속도면에서 최적화를 기할 수 있다.

Justification:

1) INTEST: 특정 코아의 스캔 테스트인 경우 테스트 패턴의 스캔 입력후 코아의 입력 값도 래퍼를 통하여 전달하여야 하므로 스캔 체인과 래퍼 체인이 모두 선택되어야 한다.

2) EXTEST: 래퍼 체인만 선택하면 된다.

3) BIST: 스캔 체인 초기화후 래퍼 제어기에서 RUN- BIST를 이용하여 실행한다.

4) In system configuration: 내장된 FPGA 및 flash 메모리 reconfiguration에 필요한 address, data 및 제어 신호의 인가는 래퍼 체인만을 이용하여 인가한다.

5) Functional test: SoC 차원의 기능 테스트는 normal mode에서 시행하며 IP 코아의 기능 테스트는 래퍼 체인만을 이용한다.

6) Debug or monitoring: normal mode에서 생성된 raw data를 shadow latch에 저장하고 wrapper control 명령어를 통하여 스캔 출력하면 된다.

Observation 1에 의하여 TAM 제어기는 래퍼 제어기와 통합적으로 설계함으로써 테스트 제어기 설계의 최적화를 이룰 수 있었다.

Observation 2: N개의 테스트 버스단을 P개의 스캔 입력단에 연결할 경우, 핀 배열순서를 고려하여 상위 스캔 핀은 상위 테스트 핀에 연결하는 식으로 각 스캔 핀의 연결을 N-P+1개의 테스트 핀으로 제한할 경우 핀간의 연결 경우의 수는 (N-P+1)P로 대폭 감소하여서 CAS의 복잡도를 상당히 줄일 수 있다.

Justification: 그림 9에서와 같이 테스트 핀이 9개이고

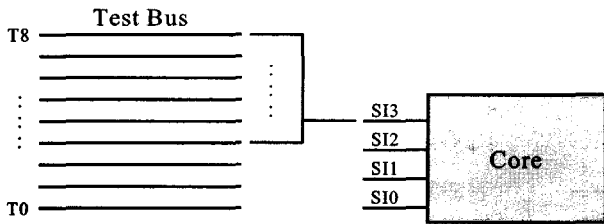


그림 9. 개선된 코아 접근 스위치(CAS)의 재구성 범위 제한 예

Fig. 9. Connection example restricted for the simplified CAS.

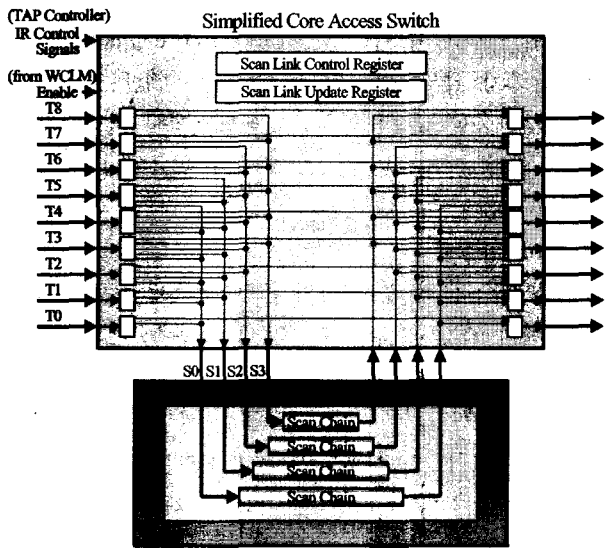


그림 10. 개선된 코아 접근 스위치(CAS)의 구조
Fig. 10. Architecture of the simplified CAS.

코아의 스캔 핀이 4개인 경우를 생각해 보자. SoC의 배치가 완료된 이후의 설계정보를 분석해서 코아의 최상위 스캔 핀 S3의 연결을 상위 테스트 핀 T8-T3으로 제한함으로써 배선을 최적화 할 수 있다. 동일한 방법으로 S2는 테스트 핀 T7-T2로 제한하며 이를 모든 스캔 핀에 적용하면 9개의 테스트 핀과 4개의 스캔 핀의 연결 경우의 수는 $(9-4+1)4=64=1296$ 이 된다. 기존의 CAS를 사용할 경우 연결 방법은 $NPP=3024$ 이며 이러한 연결정보 표현에 필요한 명령어 레지스터의 길이는 12가 된다.

그림 10은 개선된 CAS의 내부 구조를 보여준다. Observation 1과 observation 2에 의하여 TAM 제어기와 래퍼 제어기를 통합하고 CAS 설계를 간소화함으로써 확장성 및 재구성 가능성을 보존하고 SoC 테스트 제어기 설계의 최적화를 이룰 수 있었다.

4. 재구성 가능한 스캔 체인 연결기의 비교 분석

TI와 IBM에서 제안한 기존 방식과 본 논문에서 제안하는 플래그 기반 WCLM 방식의 주요 차이점이 표

표 3. 기존 방식과 WCLM의 비교

Table 3. WCLM vs. Others.

	TAP connections	TAP'd core modification	Chip TAP controller modification	Additional TAP controller	Additional TDR	P1500 support
TI's TLM	any	required	required	required	not needed	no
TI's SNTAP-I1	among cores	not needed	required	not needed	required	no
TI's SNTAP-I2	among cores	not needed	required	not needed	required	no
IBM	serial	not needed	not needed	not needed	not needed	no
WCLM	any	not needed	not needed	not needed	not needed	yes

표 4. 기존 코아 접근 스위치(CAS)와 개선안 비교

Table 4. The complexities of CAS and Simplified CAS.

P	CAS		Simplified CAS	
	$9P_P$	n(bits)	$(9-P+1)^P$	n(bits)
3	504	9	343	9
4	3024	12	1296	11
5	15120	14	3125	12
6	60480	16	4096	12
7	181440	18	2187	12
8	362880	19	256	8

3에 요약되어 있다. TI의 TLM은 제공되는 IP 코아의 표준 1149.1 TAP의 변경이 필요하지만, 본 논문에서 제안하는 방식은 제공되는 IP 코아의 회로를 전혀 수정할 필요가 없고 기존의 SoC TAP 제어기를 그대로 사용함으로써 영역 및 전력 오버헤드를 줄일 수 있다. IBM 방식은 SoC TAP의 1149.1 경계스캔 레지스터와 IP 코아의 경계스캔 레지스터, 즉 칩과 코아 간의 연결선 점검을 할 수 없다. 하지만 플래그 기반 WCLM은 SoC의 TAP과 IP 코아 TAP간의 모든 연결 구성을 할 수 있으므로 점검 가능하다. 또한, IBM 방식은 항상 코아가 직렬로 연결되어 있어, 스캔 경로가 최대라는 단점이 있다. HTAP(Hierarchical TAP)은 코아 테스트를 위해서 SoC의 TAP 제어기를 수정하여 표준 1149.1 유한상태기의 16개 상태에 16개의 상태를 더 추가하여 총 32개의 상태를 사용한다. 이것은 코아 테스트를 위한 프로토콜을 복잡하게 만든다. 하지만 본 논문에서 제안하는 방식은 코아 테스트시에 표준 1149.1 TAP 유한상태기의 16개 상태를 그대로 사용한다. 또한 HTAP은 ICBSR과 CBSR간의 연결선 점검을 할 수 없다는 단점이 있다. 그리고, TLM, IBM과 HTAP 방식은 모두 1149.1 TAP이 있는 코아 환경만을 지원하지만 플래그 기반 WCLM은 P1500 래퍼가 있는 코아 환경까지 모두 지원한다.

표 4는 본 논문에서 제안하는 코아 접근 스위치와 [5,15]에서 제안하는 방법을 비교하였으며 복잡도가 현격히 감소하였음을 알 수 있다.

SoC 테스트 제어기와 관련된 모든 설계는 Synopsys와 Altera사의 EPF10K100GC503-4 FPGA를 통하여 동작여부를 검증하였다.

IV. 결 론

본 논문은 IEEE 1149.1은 물론 P1500 코아로 혼합 구성된 SoC를 테스트할 수 있는 새로운 테스트 제어기를 제안하였다. 래퍼 제어를 위해서 플래그 기반 WCLM (Wrapped Core Linking Module)을 제안하였고, TAM (Test Access Mechanism) 제어를 위해서 개선된 CAS (Core Access Switch)를 제안하였다. 이 두 가지를 통합한 SoC 테스트 제어기는 확장성 및 재구성 가능성을 보장하며 내부 및 외부 테스트에 매우 유용하게 사용할 수 있다. IP 코아의 재활용으로 집적도가 급격히 커지고 있는 SoC 설계환경에서 테스트 및 디버깅 시간을 단축하여 제품경쟁력을 높이는데 본 기술이 일조 하리라 확신한다.

참 고 문 헌

[1] Y. Zorian, "Guest editor's introduction: what is infrastructure IP", Design & Test of Computers, IEEE, Volume: 19 Issue: 3, Pages 3-5, May/June 2002.

[2] Y. Zorian, E. J. Marinissen and S. Dey, "Testing Embedded-core-based System Chips", In Proceedings IEEE International Test Conference, pages 130-143, 1998.

[3] Erik Jan Marinissen, Hans Dingemanse, Robert Arendsen, Maurice Lousberg, Gerard Bos and Clemens Wouters, "A Structured and Scalable Mechanism for Test Access to Embedded Reusable Cores", In Proceedings IEEE International Test Conference, pages 284-293, 1998.

[4] V. Iyengar, K. Chakrabarty and E. J. Marinissen, "Test Wrapper and Test Access Mechanism Co-Optimization for System-on-Chip", In Proceedings IEEE International Test Conference, pages 1023-1032, 2001.

[5] M. Benabdenebi, W. Maroufi, and M. Marzouki, "Testing TAPed cores and wrapped cores with the same test access mechanism", Design, Automation and Test in Europe Conference, Proce-

-dings, pages 150-155, 2001.

[6] IEEE Std. 1149.1a-1993.

[7] IEEE P1500 Web Site. <http://grouper.ieee.org/groups/1500/>.

[8] Lee Whetsel, "An IEEE 1149.1 Based Test Access Architecture For ICs With Embedded Cores", In Proceedings IEEE International Test Conference, pages 69-78, 1997.

[9] Steven F. Oakland, "Considerations for Implementing IEEE 1149.1 on System-on-a-Chip Integrated Circuits", In Proceedings IEEE International Test Conference, pages 628-637, 2000.

[10] Whetsel, L. "Addressable test ports an approach to testing embedded cores", In Proceedings IEEE International Test Conference, pages 1055-1064, 1999.

[11] Debashis Bhattacharya, "Hierarchical Test Access Architecture for Embedded Cores in an Integrated Circuit", VLSI Test Symposium, Proceedings. 16th IEEE, pages 8-14, 1998.

[12] Debashis Bhattacharya, "Instruction-Driven Wake-Up Mechanisms for Snoopy TAP Controller", VLSI Test Symposium, Proceedings. 17th IEEE, pages 467-472, 1999.

[13] S. Harrison, G. Noeninckx, P. Horwood and P. Collins, "Hierarchical Boundary-Scan A Scan Chip-Set Solution", In Proceedings IEEE International Test Conference, pages 480-486, 2001.

[14] B. I. Dervisoglu, "A unified DFT architecture for use with IEEE 1149.1 and VSIA/IEEE P1500 compliant test access controllers", Design Automation Conference, pages 53-58, 2001.

[15] M. Benabdenebi, W. Maroufi, and M. Marzouki, "CAS-BUS: a scalable and reconfigurable test access mechanism for systems on a chip", Design, Automation and Test in Europe Conference, Proceedings, pages 141-145, 2000.

[16] E. J. Marinissen, V. Iyengar, and K. Chakrabarty, "A set of benchmarks for modular testing of SOCs", In Proceedings IEEE International Test Conference, pages 519-528, 2002.

 저 자 소 개



김 태 식(정회원)
 2002년 한양대학교 전자컴퓨터
 공학과 학사 졸업.
 2004년 한양대학교 컴퓨터공학과
 석사 졸업.
 <주관심분야: 반도체, 테스트팅,
 CAD/VLSI>



민 병 우(정회원)
 2003년 한양대학교 전자컴퓨터
 공학과 학사 졸업.
 2004년 한양대학교 컴퓨터공학과
 석사 과정 중.
 <주관심분야: 통신, 반도체, 테스
 팅, CAD/VLSI>



박 성 주(정회원)
 1983년 한양대학교 전자공학과
 학사졸업.
 1988년 University of Massachusetts
 전기컴퓨터공학 석사졸업.
 1992년 University of Massachusetts
 박사 졸업.

<주관심분야: CAD/VLSI, 테스트팅, 통신, 반도체>