

디지털 임피던스 영상 시스템의 설계 및 구현

오동인, 백상민, 이재상, 우응제

경희대학교 전자정보대학 동서의료공학과
(2004년 4월 1일 접수, 2004년 6월 15일 채택)

Design and Implementation of Digital Electrical Impedance Tomography System

Tong In Oh, Sang Min Baek, Jae Sang Lee, Eung Je Woo

Department of Biomedical Engineering, College of Electronics and Information,
Kyung Hee University

(Received April 1, 2004. Accepted June 15, 2004)

요약 : 인체내부의 각 조직은 서로 다른 저항률(resistivity) 분포를 가지며, 조직의 생리학적, 기능적 변화에 따라 임피던스가 변화한다. 본 논문에서는 주로 기능적 영상을 위한 임피던스 단층촬영(EIT, electrical impedance tomography) 시스템의 설계와 구현 결과를 기술한다. EIT 시스템은 인체의 표면에 부착한 전극을 통해 전류를 주입하고 이로 인해 유기되는 전압을 측정하여, 내부 임피던스의 단층영상을 복원하는 기술이다. EIT 시스템의 개발에 있어서는 영상 복원의 난해함과 아울러 측정 시스템의 낮은 정확도가 기술적인 문제가 되고 있다. 본 논문은 기존 EIT 시스템의 문제점을 파악하고 디지털 기술을 이용하여 보다 정확도가 높고 안정된 시스템을 설계 및 제작하였다.

크기와 주파수 및 파형의 변화 가능한 50KHz의 정현파 전류를 인체에 주입하기 위해 필요한 정밀 정전류원을 설계하여 제작한 결과, 출력 파형의 고조파 왜곡(THD, total harmonic distortion)이 0.0029%이고 진폭 안정도가 0.022%인 전류를 출력할 수 있었다. 또한, 여러 개의 정전류원을 사용함으로써 채널간 오차를 유발하던 기존의 시스템을 변경하여, 하나의 전류원에서 만들어진 전류를 각 채널로 스위칭하여 공급함으로써 이로 인한 오차를 줄였다.

주입전류에 의해 유기된 전압의 정밀한 측정을 위해 높은 정밀도를 갖는 전압측정기가 필요하므로 차동증폭기, 고속 ADC 및 FPGA(field programmable gate array)를 사용한 디지털 위상감응복조기(phase-sensitive demodulator)를 제작하였다. 이때 병렬처리를 가능하게 하여 모든 전극 채널에서 동시에 측정을 수행할 수 있도록 하였으며, 제작된 전압측정기의 SNR(signal-to-noise ratio)은 90dB 이다

이러한 EIT 시스템을 사용하여 배경의 전해질 용액에 비해 두 배의 저항률을 가지는 물체(바나나)에 대한 기초적인 영상복원 실험을 수행하였다. 본 시스템은 16채널로 제작되었으나 전체를 모듈형으로 설계하여 쉽게 채널의 수를 늘릴 수 있는 장점을 가지고 있어서 향후 64채널 이상의 디지털 EIT시스템을 제작할 계획이며, 인체내부의 임피던스 분포를 3차원적으로 영상화하는 연구를 수행할 예정이다.

Abstract : Different biological tissues have different values of electrical resistivity. In EIT (electrical impedance tomography), we try to provide cross-sectional images of a resistivity distribution inside an electrically conducting subject such as the human body mainly for functional imaging. However, it is well known that the image reconstruction problem in EIT is ill-posed and the quality of a reconstructed image highly depends on the measurement error. This requires us to develop a high-performance EIT system. In this paper, we describe the development of a 16-channel digital EIT system including a single constant current source, 16 voltmeters, main controller, and PC. The system was designed and implemented using the FPGA-based digital technology.

The current source injects 50KHz sinusoidal current with the THD (total harmonic distortion) of 0.0029% and amplitude stability of 0.022%. The single current source and switching circuit reduce the measurement error associated with imperfect matching of multiple current sources at the expense of a reduced data acquisition time. The digital voltmeter measuring the induced boundary voltage consists of a differential amplifier, ADC, and FPGA (field programmable gate array). The digital phase-sensitive demodulation technique was implemented in the voltmeter to maximize the SNR (signal-to-noise ratio). Experimental results of 16-channel digital voltmeters showed the SNR of 90dB.

We used the developed EIT system to reconstruct resistivity images of a saline phantom containing banana objects. Based on the results, we suggest future improvements for a 64-channel multi-frequency EIT system for three-dimensional dynamic imaging of bio-impedance distributions inside the human body.

Key words : EIT, Constant current source, Phase-sensitive demodulation

서 론

현재 의료기기 분야에서 의학영상시스템들은 큰 비중을 차지하고 있으며, 다른 의료기기에 비해 고속 성장을 지속하고

본 연구는 한국과학재단 우수연구센터(R11-2002-103)의 지원으로 수행되었음.

통신저자: 우응제, 경기도 용인시 기흥읍 서천리 1

경희대학교 전자정보대학

Tel. (031)201-2538 Fax. (031)201-2378

E-mail. ejwoo@khu.ac.kr

있다. 이러한 의학영상시스템들의 성능 및 기능의 발전은 질병의 조기진단과 치료에 크게 이바지하고 있다. 한편 생체조직의 저항률(resistivity)은 인체의 기능과 대사에 대한 풍부한 정보를 내포하고 있기 때문에 임피던스 영상기술에 대한 연구 개발은 세계적으로 활발히 진행되고 있다. 그러나 저항률 영상 복원 문제의 ill-posed한 특성으로 인해 실용화의 수준에 이르지 못하고 있다. 이러한 어려움을 극복하고 좋은 해상도의 영

상을 획득하기 위해서는 높은 정밀도를 갖는 임피던스 단층촬영(EIT, electrical impedance tomography) 시스템의 개발이 요구된다.

EIT시스템에서는 인체표면에 부착된 전극을 통하여 전류를 주입하고, 이로 인해 유기되는 전압을 측정후, 이를 이용하여 인체내부의 저항률 분포를 영상화한다. 이때 인체표면에서 측정되는 전류-전압 데이터의 양과 정확도는 복원영상의 해상도와 정확도를 결정한다. 본 논문에서는 복원영상의 질을 높이기 위해 기존의 시스템에서 오차의 원인이 되었던 아날로그 복조기 부분을 디지털로 구현하고, 입력전류를 디지털 방식으로 생성함으로써 보다 정확한 정전류원과 전압측정기를 갖는 EIT 시스템을 설계 및 구현하였다. 또한 다양한 영상복원 알고리즘의 구현과 측정방법을 실험해 보기 위해 다양한 방법으로 전류를 주입하는 것이 가능하도록 스위칭 시스템을 설계하였다.

EIT를 포함한 생체 임피던스의 계측시스템에서는 정밀 정전류원(CCS, constant current source)의 성능이 전체적인 계측시스템의 정확도에 매우 큰 영향을 미치므로, 정밀한 정전류원의 설계 및 제작은 매우 중요한 과제이다[1,2]. 기존의 시스템에서는 아날로그 방식의 고풍발생기와 MDAC(multiplying DAC)을 이용하여 임의의 크기의 전압파형을 각 채널 별로 생성하고, 그 크기를 제어할 수 있는 방법이 사용되었다[3]. 이러한 방식은 채널 별로 제작된 정전류원들이 갖는 특성의 차이로 인한 오차를 유발하며, 아날로그 방식의 고풍발생은 고풍의 모양과 주파수를 변화시키는데 제한을 주었다. 또한 MDAC의 사용으로 인해 고풍이 왜곡되는 문제점을 가지고 있었다.

본 논문에서는 하나의 정밀 정전류원을 스위칭하여 사용함으로써 여러 개의 정전류원들이 가지는 특성의 차이에 의한 오차의 발생요인을 제거하였다. 대신 각 채널의 전극으로 전류를 인가하기 위한 스위칭 시스템을 제안하여 전류주입 방법의 다양성을 유지하고자 하였다. 또한 FPGA를 이용하여 디지털방식으로 전류파형을 생성함으로써 전류의 크기와 모양 그리고 주파수를 임의로 변경하는 것이 가능하도록 제작하였다.

추가적으로 정전류원 보정(calibration) 회로에 의해 정전류원의 출력임피던스를 가능한 크게 조정하고, 또한 출력되는 전류를 모니터링하는 측정부를 추가하여 주입하는 전류의 실제 값을 영상복원 알고리즘에 대입함으로써 가능한 한 시스템의 정확도를 높일도록 설계 및 구현하였다.

전압의 측정에서는 높은 정밀도를 갖는 위상감응복조기(phase-sensitive demodulator)를 사용하여 생체 임피던스의 동상(in-phase)성분과 직교(quadrate)성분을 모두 측정하였다. 기존의 연구들에서는 아날로그 방식의 복조기를 사용함으로써 아날로그 곱셈기가 갖는 문제로 인해 높은 정밀도를 갖는 복조기를 구현할 수 없었고, 각 채널 별로 제작된 전압측정기들 사이의 특성 차이로 인하여 동일한 동작특성을 가지는 여러 채널의 전압측정기들을 제작하는 것이 어려웠다. 따라서 각 채널 별로 복조기의 성능을 일치시키기 위한 보정과정에 많은 노력과 시간을 필요로 하였다. 이와 같은 아날로그 방식의 복조기가 갖는 단점을 제거하고, 위상감응복조 결과가 높은 SNR(signal-to-noise ratio)을 가지면서도 빠르게 측정하기 위해, FPGA(field programmable gate array)를 이용하여 각 채널 별로 디지털 위상감응 복조기를 설계하고, 이를 구현하여 그 성능을 검증하였다.

본 논문에서 설계하고 제작한 EIT 시스템은 복원알고리즘의 수행과 데이터 획득과정을 제어하는 컴퓨터부, 정확한 전류

를 인체로 주입하는 정전류원부, 이로 인해 유기된 전압을 각 전극을 통해 측정하는 전압측정부, 정전류원부의 성능을 높이고 이를 보정하는 보정회로부, 그리고 컴퓨터와의 연결을 위한 제어부로 구성하였으며, 필요에 따라 쉽게 채널의 수를 늘릴 수 있도록 모듈형 설계를 적용하였다.

또한 다양한 영상복원 알고리즘을 적용할 수 있도록 전압 측정도 기준전극에 대한 각 전극의 전압을 측정하는 방법과 인접전극 사이의 전위차를 측정하는 방법이 모두 가능하도록 스위칭 네트워크를 설계하였다. 본 논문에서는 이러한 EIT 시스템의 설계 및 구현내용과 성능검증의 결과를 기술한다.

본 론

표1과 같은 사양을 갖는 EIT 시스템의 설계에서 가능한 많은 부분을 디지털 방식으로 구현하여 아날로그 형태의 시스템에 비해 그 성능과 안정성을 높이는 것을 목적으로 하였다. EIT 시스템의 주요 사양인 전극의 개수는 16개로 정하였다. 일반적으로 전극의 개수를 증가시키면 복원하는 영상의 해상도를 개선하는 것이 가능하나 이에 수반하는 계측오차의 증가는 영상의 정확도를 낮추게 된다. 본 논문에서는 일단 16채널의 EIT 시스템을 제작하는 것을 목표로 하였고 성능의 평가 후 채널의 증가가 가능하도록 설계하였다. 주입전류의 최대 크기는 1mA로 하였고, 이는 50KHz의 주파수에서 안전하게 주입할 수 있는 크기이다[4]. 가능한 일정한 크기의 전류를 인체에 주입하기 위해 정전류원의 출력임피던스를 64MΩ 이상이 되도록 설계하였으며, 또한 출력전류를 실측할 수 있는 전류 모니터링부분을 제작하여 주입전류의 크기를 영상복원 알고리즘에 입력할 수 있도록 하였다.

표 1. EIT 시스템의 목표 사양
Table 1. Specifications of EIT system

목 적	사 양
전극의 개수	16
주입전류의 주파수	50KHz
주입전류의 크기	-1 ~ +1mA
정전류원의 출력 임피던스	64MΩ
전압측정기의 SNR	104dB
영상획득속도	14 images/sec
보정방법	자동

전압측정의 정확도를 나타내는 전압측정기의 SNR은 104dB가 되도록 설계하였고, 빠른 영상획득 속도를 얻기 위해 각 채널 별로 제작되는 전압측정기는 FPGA를 이용한 디지털 위상감응복조기를 사용하였다. 인접한 채널간의 전위차와 기준전위에 대한 전위차를 모두 측정할 수 있도록 그 입력을 제어하는 스위칭부를 구성하였다. 전체적인 시스템의 구조는 그림 1과 같다.

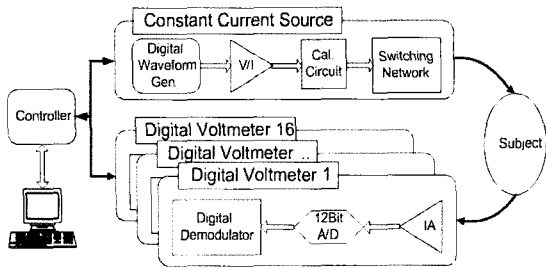


그림 1. EIT 시스템의 전체 구성도
Fig. 1. Block diagram of EIT system

1. 정전류원부

1) 디지털 파형발생기

아날로그 방식의 파형발생기는 설계 시 고려된 주파수와 파형에 따라 고정된 출력을 제공하며, 높은 고조파 왜곡(THD, total harmonic distortion)과 낮은 파형 안정도를 갖는다. 이러한 파형발생기는 초기 단계부터 EIT 시스템의 성능을 저하시키는 요인이 되어왔다. 이를 개선하기 위해 FPGA를 기반으로 HDL(hardware description language)을 사용한 디지털 합성 파형발생기를 설계하였다[5].

이와 같이 HDL로 설계된 디지털 파형발생기는 파형의 데이터를 FPGA(ACEX1K50, Altera 사, 미국) 내부의 EAB(embedded array block)에 구현된 ROM에 저장하고, 이를 순차적 또는 임의적으로 읽어서 DAC로 출력함으로써 여러 형태의 출력파형을 만들 수 있고, 위상 동기를 위해 디지털적인 제어가 가능함으로써 전압측정기에서 사용하는 디지털 위상감응복조기와 정확한 동기를 맞추는 것이 가능하다. 또한 내부에서 클럭을 분주하여 사용함으로써 정해진 범위 내에서 여러 주파수의 파형을 발생시키는 것이 가능하다. 그림 2는 디지털 파형발생기의 구성도를 보여주고 있다.

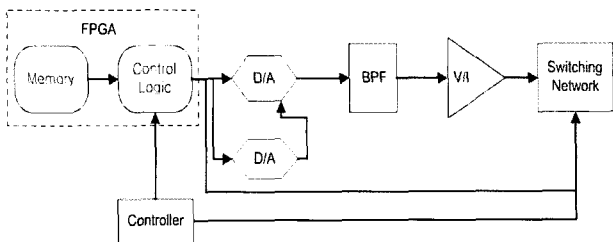
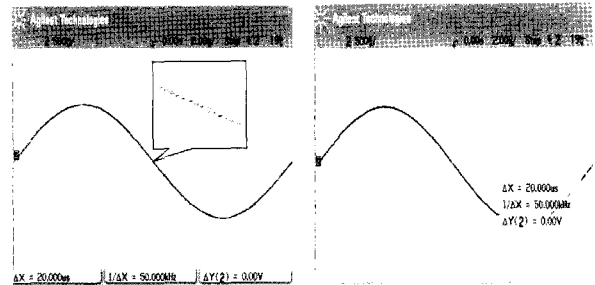


그림 2. 디지털 파형발생기의 구성도
Fig. 2. Digital waveform generator

순차적으로 생성되는 주소에 의해, ROM은 해당되는 파형의 크기 값을 16-bit의 디지털 데이터로 출력한다. 이는 16-bit의 고속 DAC(AD768, Analog Device 사, 미국)에 의해 아날로그 파형으로 변환된다. 변환기의 출력은 전류 형태를 가지며 연산 증폭기(AD8058, Analog Device 사, 미국)를 이용한 부가회로에 의해 전압파형으로 변환된다.

한 주기에 대해 200개의 표본값을 사용하였으므로 DAC 출력파형은 계단모양의 형태를 갖는다. 본 논문에서는 위상 지연이 없는 수동 대역통과필터를 사용하여 그림 3과 같이 고주파

수 성분을 감쇄시키고 50KHz의 정현파를 출력하였다



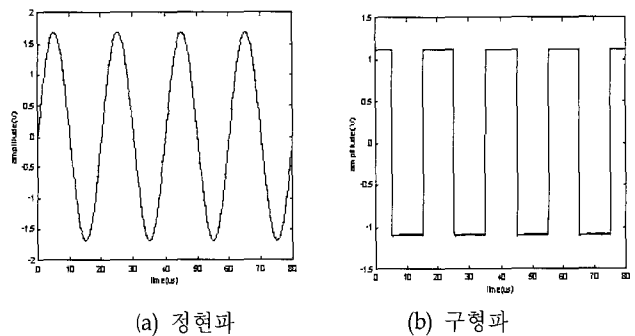
(a) 대역통과필터 전 (b) 대역통과필터 후

그림 3. 대역통과여파기 전과 후의 주입전류파형

Fig. 3. Injection current waveform before and after a band-pass filter

2) 진폭 가변 회로

기존의 연구에서는 대부분 파형의 진폭 조절을 위하여 MDAC을 사용하였다. 그러나 이는 파형의 왜곡과 위상 지연을 발생하여 전체적인 시스템의 성능을 저하시킨다. 본 논문에서는 PC로부터 전달되는 진폭 값을 FPGA 내부에 저장하고 이에 의해 DAC의 기준전압을 변경하여 출력 전압의 크기를 변화시킨다. 또한 전압 파형에 해당하는 디지털 값을 출력하는 FPGA 내부 롬 데이터를 변경하면 정현파 이외의 파형을 그림 4와 같이 출력할 수 있다.



(a) 정현파 (b) 구형파

그림 4. 출력파형의 변형 예
Fig. 4. Examples of different waveforms

3) 전압-전류 변환회로

16-bit 정밀도를 갖는 생체 임피던스 계측 시스템의 설계를 위해서 요구되는 정전류원에서, 최대 부하 임피던스를 1KΩ으로 설정할 때, 출력 임피던스는 64MΩ 이상을 유지하여야 한다. 또한 표1에서와 같이 ±1mA_p의 출력전류를 제공하여야 한다. 본 논문에서는 전력소모를 줄이고 필요에 따라서는 ±1mA_p 보다 더 큰 전류를 출력할 수 있도록 개선된 Howland 전압-전류 변환기를 사용하였으며, 이는 그림 5와 같다. 개선된 Howland 전압-전류 변환기에서 출력전류는 식 (1)과 같이 주어진다[6].

$$I_L = \frac{1}{R} V_i - \frac{1}{R_O} V_L \tag{1}$$

여기서
$$R = \frac{R_3 R_{2B} (R_1 + R_{2A})}{R_3 (R_{2A} + R_{2B}) + R_{2A} R_4}$$

 이고
$$R_O = \frac{R_{2B} (1 + R_{2A} / R_1)}{(R_{2A} + R_{2B}) / R_1 - (R_4 / R_3)}$$
 이다.

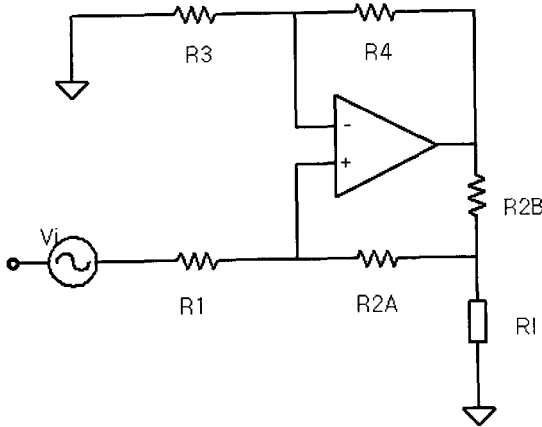


그림 5. 개선된 Howland 전류원 회로
 Fig. 5. Improved Howland current source circuit

정전류원에서 가장 중요한 요구사항은 출력 임피던스이다. 모든 정전류원은 유한한 출력 임피던스 Z_{out} 을 갖고, 이로 인해 식 (2)와 같이 부하 Z_L 에 흐르는 전류는 부하 임피던스 값에 따라 변화하게 된다.

$$I_{load} = \frac{Z_{out}}{Z_{out} + Z_L} I_{out} \quad (2)$$

따라서 출력 임피던스를 크게 하기 위하여 전압-전류 변환회로에 보정회로를 추가하였다. 이러한 보정과정을 자동으로 하기 위하여 저항비의 일치를 위한 부분과 누설 커패시턴스를 제거하는 회로에 디지털 가변저항을 사용하였다.

4) 보정 회로와 전류 모니터링 회로

최대의 출력 임피던스를 갖기 위해서는 전압-전류 변환회로의 저항 비를 일치시키고, 누설용량에 의해 생기는 출력 커패시턴스를 제거해야 한다. 저항 비를 일치시키기 위해 디지털 가변저항(DS1267, Dallas 사, 미국)을 이용하여 미세 조정하고, 출력 커패시턴스를 제거하기 위해서는 GIC(general impedance converter) 회로를 사용하여 LC공진으로 커패시턴스 성분을 제거하였다. 보정회로의 구성도는 그림 6과 같다. 그림 6의 보정회로는 작은 값의 직렬저항(R_m)과 계측용 증폭기(IA, instrumentation amplifier), ADC 등으로 구성되는 주입전류 모니터링부를 포함한다. 주입전류의 모니터링에는 직렬저항 양단의 전압을 측정하는 방법을 사용하였다. 전압의 측정에는 뒤에서 기술하는 각 전극에 유기된 전압을 측정하는 방법을 그대로 적용하였다.

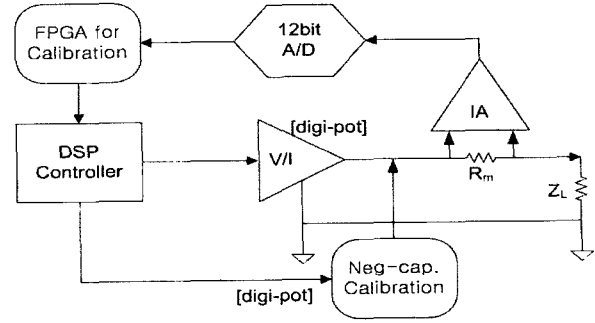


그림 6. 전류원의 보정방법
 Fig. 6. Current source calibration

2. 디지털 전압측정부

1) 디지털 전압 측정 모듈의 전체구조

높은 SNR과 빠른 데이터 획득을 위해 설계된 디지털 위상감응복조기는 주입전류에 의해 유기된 표면전압을 측정하는 디지털 전압 측정 모듈에 포함된다. 이 디지털 위상감응복조기가 포함된 디지털 전압 측정 모듈의 전체 구조는 그림 7과 같다.

표면전극에서 측정되는 전압은 높은 공통성분제거비(CMRR, common-mode rejection ratio)를 갖는 고속 계측용 증폭기에 의해 검출되고, 위상 지연이 없는 대역통과필터를 통과한다. 통과된 신호는 ADC에 의해 디지털 신호로 변환되어 디지털 위상감응복조기로 입력되고, 복조 과정을 거쳐 측정된 전압의 동상성분과 직교성분을 출력한다. 이 결과는 주제어기로 사용한 마이크로컨트롤러인 DSP(TMS320LF2407A, Texas Instrument 사, 미국) 내부의 RAM에 저장된 후 블록 단위의 데이터로 PC에 전송된다.

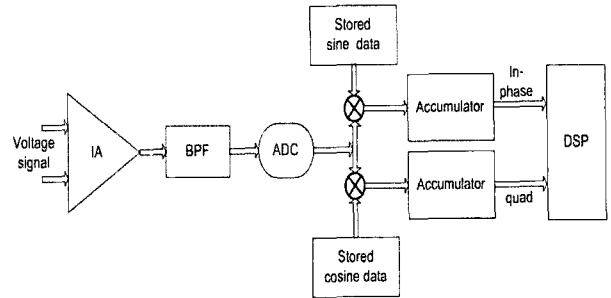


그림 7. 디지털 전압 측정부의 구성도
 Fig. 7. Block diagram of a digital voltmeter

2) 계측용 증폭기 및 필터

50KHz의 전압 신호를 검출하기 위해서는 높은 이득-대역폭(GBP, gain-bandwidth product)을 갖는 연산증폭기를 이용하여 계측용 증폭기를 설계하여야 한다. 이를 위해 고속 연산증폭기(AD8039, Analog Device 사, 미국) 두 개와 한 개의 차동증폭기(AD8130, Analog Device 사, 미국)를 가지고 계측용 증폭기를 설계, 제작하였다.

정밀한 위상감응 복조를 위해서는 전압측정기를 구성하는 각 모듈에서의 위상 지연이 없거나 일정해야 한다. 그러나 계측용 증폭기를 이용하여 측정된 전압은 외부의 전원이나 전극을 연결하는 케이블을 통해 유입되는 잡음을 포함하고 있어 이를 제거

하기 위한 필터의 구성이 요구되며, 필터를 통과할 시 신호는 위상이 지연된다. 따라서 본 시스템에서는 전원이나 케이블에서 유입되는 잡음을 케이블단에서 최소한으로 줄이고, 0의 위상지연을 가지는 수동필터를 사용하여 신호가 왜곡되거나, 지연되는 것을 감소시켰다.

또한 계측용 증폭기의 입력은 측정용 전극과 케이블로 연결되므로 전극에서 발생하는 dc 접촉전위를 포함하게 된다. 이는 전체적인 ADC의 입력범위를 제한시키고, 차동증폭기의 특성을 나쁘게 한다. 이러한 dc 전위를 제거하기 위해 계측용 증폭기 단에서 필터를 추가하였다. 전압측정기가 기준전극에 대한 타 전극의 전압 또는 인접한 전극 사이의 전위차를 측정하려면 각각의 경우에 대한 입력전압의 범위가 다르므로 계측용 증폭기의 이득을 가변할 수 있도록 하여야 한다. 이러한 이득의 제어는 디지털 가변저항(AD5201, Analog Device 사, 미국)을 사용하여 구현하였다.

3) ADC

원하는 SNR을 위해 획득해야 할 데이터의 개수가 많으므로 고속의 ADC를 사용하여야 한다. 그러나 고속이면 분해능이 높은 ADC는 매우 고가이다. 따라서 비교적 낮은 A/D 변환 속도를 가지면서도 우리가 원하는 정확도와 원하는 영상획득 속도를 얻을 수 있는 방법이 필요하다.

본 논문에서는 10MHz로 샘플링하는 12-bit ADC(AD9235, Analog Device 사, 미국)를 사용하면서도 SNR을 향상시켜서 16-bit의 ADC를 사용한 효과를 거두기 위해 그림 8과 같은 시간차 샘플링(non-uniform sampling) 기법을 적용하였다. 이를 통하여 전체적인 전압측정기의 SNR이 104dB 이상이 유지되도록 설계, 제작하였다.

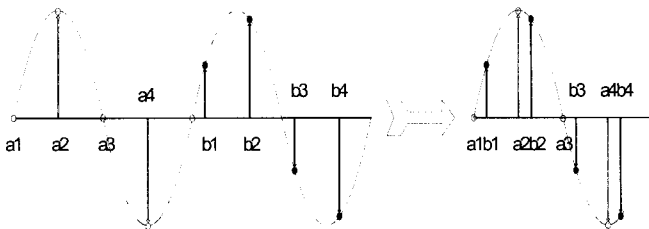


그림 8. 시간차 샘플링
Fig. 8. Non-uniform sampling in ADC

매 주기마다 일정한 개수의 샘플을 A/D 변환하되, 매 주기의 시작마다 ADC 클럭을 일정한 시간(25ns) 만큼 지연 시킴으로써 한 주기의 신호를 매우 빠르게 샘플링한 효과를 얻을 수 있다. 이때 A/D 변환된 데이터들의 순서는 바뀌게 되나, 이 후단의 복조기 설계 시 이를 고려하면 낮은 속도의 ADC를 가지고도 신호평균의 효과에 의해 원하는 정확도를 얻을 수 있는 것이다. 주기 별로 일정 시간간격으로 클럭을 지연시키기 위해 그림 9와 같이 FPGA를 사용하여 클럭 발생회로를 구현하였다.



그림 9. ADC 클럭 신호의 생성
Fig. 9. ADC clock generation

4) 디지털 위상감응복조기

디지털 위상감응복조기의 전체 구성도는 그림 10과 같다. 부호화되어 있지 않은 A/D 변환 값을 부호화하여 2의 보수 형태로 변형하고, 미리 저장된 sine과 cosine 데이터를 이용하여 부호화 곱셈(signed multiply)을 수행한다. 이 때 FPGA 내부의 지연과 각 데이터 값에 따른 곱셈기의 지연오차를 고려하여, 가장 안정된 위치에서 값이 읽히도록 한다. 안정된 상태에서 획득된 곱셈 결과는 덧셈기에 입력되어 누적된다. 한 주기 동안의 데이터를 모두 처리하여 동상성분과 직교성분을 계산하는데 각각의 성분은 식(3) 및 (4)와 같이 표현할 수 있다 [7].

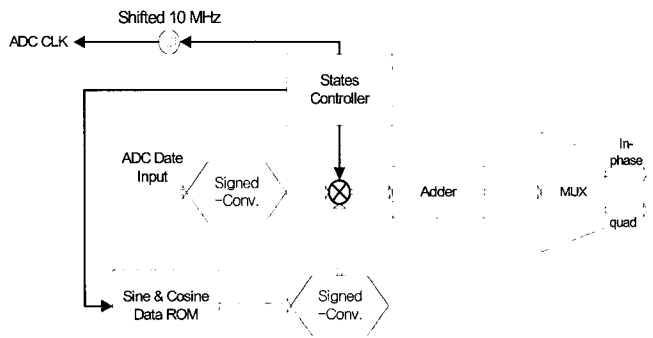


그림 10. 디지털위상 감응 복조기의 블록도
Fig. 10. Digital phase-sensitive demodulation

$$V_r = \sum_{i=0}^{N-1} V_{in}(i) \sin \frac{2\pi i}{N} \tag{3}$$

$$V_q = \sum_{i=0}^{N-1} V_{in}(i) \cos \frac{2\pi i}{N} \tag{4}$$

이는 입력되는 전압 신호가 이와 동기된 sine 및 cosine 데이터와 곱해진 결과 값의 누적(sum of product)을 의미한다. 이때 곱해지는 sine 데이터는 앞서 기술한 파형발생기와 위상이 일치하여야 한다. 이는 주입전류에 필요한 파형을 디지털 방식으로 합성하고 그 위상을 디지털적으로 제어하기 때문에 가능한 것이다.

FPGA를 이용한 디지털 위상감응복조기의 구성도는 그림 11과 같다. 동상성분 채널과 직교성분 채널을 병렬로 구성하여 동시에 동작함을 볼 수 있다.

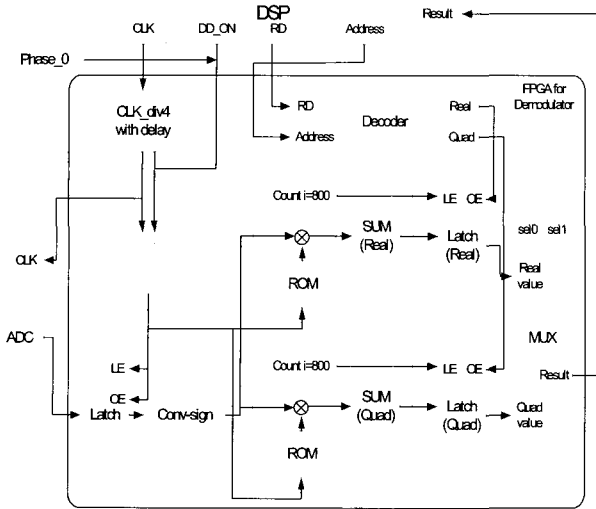


그림 11. 디지털위상감응복조기의 HDL 구성도
Fig. 11. HDL implementation of phase-sensitive demodulator

104dB 이상의 SNR을 갖는 위상감응복조기의 설계를 위해 획득해야 하는 전압 데이터의 총 개수는 ADC의 양자화 오차를 고려할 때 다음의 식(5)와 같다[8].

$$SNR = 10 \log \left[6N4^V \left(\frac{M}{FS} \cos \phi \right)^2 \right] \quad (5)$$

여기에서 사용한 ADC의 bit 수(V)는 12이고, 측정되는 신호의 최대크기(M)가 ADC의 입력범위(FS)의 절반과 같다고 가정할 때, $M/FS = 1/2$ 이 되며, 시스템 내의 위상 지연(ϕ)이 없다고 가정하면 $\cos \phi = 1$ 이 된다. 따라서 104dB 이상의 SNR을 얻기 위해 획득해야 하는 전압 데이터의 총 개수 $N \geq 998$ 이어야 한다[9,10].

3. 주제어기 및 컴퓨터 인터페이스

정전류원, 전압측정부 및 스위칭 회로는 마이크로컨트롤러형 DSP(TMS320LF2407A, Texas Instrument 사, 미국)를 사용한 주제어부에 의해 제어된다. 각 채널의 디지털 위상감응복조기는 DSP의 외부 장치로 인식되며, 복조된 동상성분과 직교성분의 값들은 DSP의 I/O 맵 상에 위치하는 외부 메모리 접속방식으로 DSP에 연결된다. 또한 측정 데이터의 잡음을 감소시키기 위해 DSP에서 여러 번의 복조된 결과 값들을 평균할 수 있도록 하였다. 주제어기와 PC 사이의 데이터 교환은 유선의 RS-232방식이나 무선의 Bluetooth 1.1을 사용하였다.

실험결과 및 성능평가

1. 정전류원

대표적인 아날로그 정현파 발진기인 Wien-bridge 회로를 이용하여 정현파 전압발생기에 대한 기초실험을 수행한 결과 그 안정성은 0.84% ~ 2.20%이고, THD는 1.5% ~ 2.4% 정도로 설계

형태에 따라 약간 다른 결과를 보였다. 본 논문에서 구현한 디지털 합성 파형발생기의 경우, 안정성은 0.022%, THD는 0.0029%의 결과를 보였다.

2. 전압-전류 변환 회로의 보정과정

정전류원이 64MΩ의 출력 임피던스를 갖기 위해서는 그림5의 회로에서 저항 비를 0.039% 정도로 일치시켜야 하고, 전극과의 연결을 위한 배선 상에 존재하는 커패시턴스를 제거하기 위해서 GIC회로를 이용하였다. 출력 전압의 동상성분과 직교성분의 크기를 가지고 정전류원의 출력 임피던스 값을 계산하여 임피던스의 실수값은 크게, 허수값은 작게 되는 방향으로 디지털 가변저항을 조정한다. 보정의 과정을 거친 후, 정전류원의 출력 임피던스는 저주파에서는 1GΩ 이상이나 50KHz에서는 3.6MΩ으로 개선의 여지가 있는 것으로 판단된다.

3. 계측용 증폭기와 대역통과필터

연산 증폭기를 이용하여 이득이 4 ~ 10000으로 가변되는 계측용 증폭기를 구현하였다. 전극에서의 dc 접촉전위를 제거하기 위해 고역통과필터를 함께 장착하고, 큰 신호와 작은 신호를 모두 측정할 수 있도록 이득을 제어하기 위해서 디지털 가변저항을 추가하였다. 또한 측정된 ADC 값으로부터 입력신호가 ADC범의 입력범위 내에 있는지를 확인하여 그 이득을 자동으로 조정하여 최적의 A/D변환을 할 수 있는 자동이득 조정기(AGC, automatic gain control)를 FPGA내에 구현하여 ADC에서 발생할 수 있는 정확도의 손실을 최소화 하였다. 대역통과필터는 위상 지연이나 위상 왜곡을 줄이기 위해 수동필터를 사용하였고, 대역폭은 5 ~ 500KHz가 되도록 하였다.

4. 디지털 위상 감응 복조기

SNR이 104dB 이상이 되도록 하기 위해 한 주기 당 200개씩, 총 8주기를 시간차 샘플링하여 총1600개의 데이터를 획득하였다. FPGA를 사용한 디지털 위상감응복조기는 90dB의 SNR과 고정된 위상오차를 갖는 것을 확인하였다. 설계치인 104dB보다 낮은 SNR을 얻게 된 것은 디지털부에서 발생한 스위칭 잡음의 영향으로 향후의 연구에서 개선이 필요한 것으로 판단된다. 고정된 위상오차는 후처리 과정에서 보상이 가능하다.

12-bit의 ADC 값과 16-bit의 sine 및 cosine 데이터와의 연산으로 인한 오버플로우(overflow)를 방지하기 위해 38-bit 연산 구조로 곱셈기를 설계하였으며, 필요에 따라 정확도를 달리 하기 위해 16-bit 또는 32-bit의 데이터 전송이 가능하도록 제작하였다. 또한, 잡음이 많은 상황에 대비하여 프로그램에 의해 선택적으로 신호 평균화(signal averaging)를 2, 4, 8, 16, 32 및 64 번 할 수 있도록 제작하였다.

5. 전해질 용액 팬텀 실험

그림 12는 전해질 용액 팬텀 실험을 위한 전체 시스템의 구성을 보여준다. 16채널 EIT 시스템을 구성하고, 그림과 같은 팬텀 내에 용액에 비하여 저항률이 두 배 차이가 나는 마나나를 원통형으로 잘라 위치를 4가지로 바꿔가며 데이터를 수집하였다. 수집한 데이터를 영국 UCL(University College London)의

EIT 연구팀이 사용하는 영상복원 알고리즘에 적용하여 그림 13과 같은 EIT 영상을 복원하였다. 동상성분 데이터를 사용한 영상에서는 바나나의 위치와 모양을 보다 정확하게 보여주고 있으며, 직교성분 데이터를 사용한 영상들에는 좀 더 큰 오차를 보여 준다. 바나나와 같은 물체에서는 위상의 지연이 적게 발생하므로 위상감응복조기의 특성에 의해 직교성분에는 더 많은 오차가 포함된다는 이론적인 예측과 일치하는 결과를 얻었다.

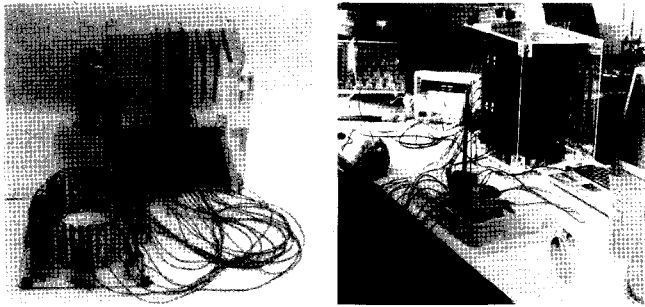
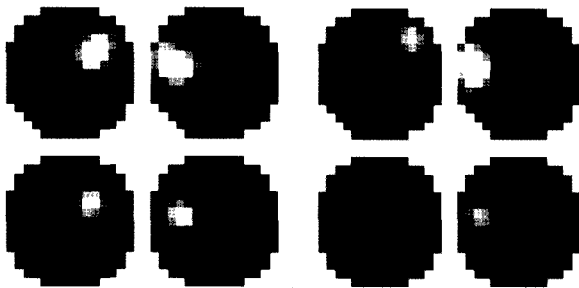


그림 12. 전해질 용액 팬텀 내에 바나나를 넣고 데이터를 수집하는 실험
Fig. 12. Data collection using the EIT system from a saline phantom containing a banana object



(a) 복원 영상(직교성분 데이터) (b) 복원 영상(동상성분 데이터)

그림 13. 바나나의 위치를 4가지로 변화시키면서 복원한 영상
Fig. 13. Reconstructed images from the saline phantom for 4 different positions of the banana object

토 의 및 결 론

기존의 아날로그 방식의 파형 발생기 및 복조기를 대신하여 FPGA기반의 디지털 파형발생기와 디지털 위상감응복조기를 포함하는 EIT 시스템을 설계 및 제작하였다. 일정한 크기와 위상의 전류 주입을 위해 출력 임피던스 보정회로가 포함된 개선된 Howland 전압-전류 변환기를 제작하고 그 성능을 검증하였다. 이러한 주입전류에 의해 유기되는 표면전압들을 16채널의 전극 및 디지털 전압측정기로 측정하였다. 시간차 샘플링을 이용하여 A/D변환된 데이터는 디지털 위상감응복조기에 의해 동상성분과 직교성분의 값이 구해진다.

다양한 측정방법을 시도해 보기 위해 전압측정기의 입력은 기준전극에 대한, 또는인접 전극에 대한 전위차를 측정할 수 있도록 스위칭 회로를 구성하였다. 그러나 이러한 복잡한 구조는 신호의 간섭으로 인해 시스템의 전체 특성을 저하시키는 결

과를 갖게 되었다. 따라서 인접전극들 사이의 전위차만을 측정하는 것으로 측정방법을 제한하는 것이 작은 저항률의 변화를 검출하기에 용이하며 또한 스위칭 회로를 단순화하여 측정의 정확도를 개선할 수 있음을 확인하였다. 또한 여러 개의 정전류원을 이용하여 시스템을 구동하는 방식을 택하지 않고 하나의 정전류원과 최소한의 스위칭 회로에 의해 이와 동일한 결과를 얻는 것이 정전류원들 사이의 특성의 불일치에 기인하는 오차를 제거할 수 있음을 보였다.

앞으로는 입력전류의 주파수를 변화시켜 가면서 주파수에 따른 임피던스의 변화를 관찰할 수 있는 다주파수 EIT 시스템의 개발을 추진할 예정이다. 또한 본 논문의 EIT 시스템은 16채널로 제작하였으나 모듈형으로 설계하여 쉽게 채널의 수를 늘릴 수 있는 장점을 가지고 있어서, 향후 64채널 디지털 EIT시스템을 제작하고 3차원적인 EIT 영상을 실시간으로 출력하는 연구를 수행하는 것이 과제이다.

참 고 문 헌

1. P. Bertemes-Filho, B. H. Brown, and A. J. Wilson, "A comparison of modified Howland circuits as current generators with current mirror type circuits", *Physiol. Meas.*, vol. 21, pp.1-6, 2000
2. T. I. Oh, S. M. Baek, K. S. Kim, J. S. Lee, and E. J. Woo, "Precision constant current source for electrical impedance tomography", *Proc. KOSOMBE 28th Conf*, 2003
3. Y. G. Cho and E. J. Woo, "32-channel bioimpedance measurement system for the detection of anomalies with different resistivity values", *J. Biomed. Eng. Res.*, vol. 22, no. 6, pp.503-519, 2001
4. J. P. Reilly, *Applied Bioelectricity*, Springer, New York, 1998
5. D. J. Smith, *HDL Chip Design*, Doone Publications, 1996
6. S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits*, 2nd ed., McGraw-Hill, New York, 1998
7. R. D. Cook, G. J. Saulnier, D. G. Gisser, J. C. Goble, J. C. Newell, and D. Isaacson, "ACT3: a high-speed, high-precision electrical impedance tomography", *IEEE Trans. Biomed. Eng.*, vol. 41, no. 8, pp. 713-722, 1994
8. R. D. Cook, ACT3: A High-Speed, High-Precision Electrical Impedance Tomography, PhD thesis, Rensselaer Polytechnic Institute, Troy, NY, 1992
9. T. I. Oh, S. M. Baek, K. S. Kim, J. S. Lee, and E. J. Woo, "Digital phase-sensitive demodulator for electrical impedance tomography", *Proc. KOSOMBE 28th Conf*, 2003
10. T. I. Oh, J. W. Lee, K. S. Kim, J. S. Lee, and E. J. Woo, "Digital phase-sensitive demodulator for electrical impedance tomography", *Proc. IEEE EMBC 25th Ann. Int. Conf.*, pp. 1070-1072, 2003