
2단 구조를 사용한 250MS/s 8비트 CMOS 폴딩-인터폴레이팅 AD 변환기

이돈섭* · 광계달**

A 250MS/s 8 Bit CMOS Folding and Interpolating AD Converter with 2 Stage Architecture

Don-Suep Lee* · Kae-Dal Kwack**

요 약

본 논문에서는 VLSI의 내장 회로로 사용하기에 적합한 CMOS 8 비트 폴딩-인터폴레이팅 AD 변환기를 설계하였다. 폴딩 AD 변환기의 비선형성을 개선하기 위하여 입력신호의 폴딩-인터폴레이팅에 의한 신호처리가 차례로 2 번 반복되는 2 단 구조를 사용하였다. 이 구조에서는 2 번째 폴딩 회로로서 트랜지스터 차동쌍을 이용한다. 2 단 폴딩 ADC는 디지털 출력을 얻기 위한 전압비교기와 저항의 개수를 현저히 줄일 수 있으므로 칩 면적, 소비전력, 동작속도 등에서 많은 장점을 제공한다. 설계공정은 0.25 μ m double-poly 2 metal n-well CMOS 공정을 사용하였다. 모의실험결과 2.5V 전원 전압을 인가하고 250MHz의 샘플링 주파수에서 45mW의 전력을 소비하였으며 INL과 DNL은 각각 ± 0.2 LSB, SNDR은 10MHz 입력신호에서 45dB로 측정되었다.

ABSTRACT

A CMOS 8 bit folding and interpolating ADC for an embedded system inside VLSI is presented in this paper. This folding ADC uses the 2 stage architecture for improving of nonlinearity. repeating the folding and interpolating twice. At a proposed structure, a transistor differential pair operates on the second folder. A ADC with 2 stage architecture reduces the number of comparators and resistors. So it is possible to provide small chip size, low power consumption and high operating speed. The design technology is based on fully standard 0.25 μ m double-poly 2 metal n-well CMOS process. The simulated power consumption is 45mW with an applied voltage of 2.5V and sampling frequency of 250MHz. The INL and DNL are within ± 0.2 LSB, respectively. The SNDR is approximately 45dB for input frequency of 10MHz.

키워드

ADC/AD 변환기/AD converter/폴딩 ADC

1. 서 론

아날로그-디지털 변환기(ADC)는 디지털회로와 함께 단일 칩 상에서 제조되고 있으며 따라서 크기, 소비전력, 고속 변환 기술 등이 중요시되고 있다. 고속 동작을 위한 ADC는 플래시 ADC가 대표적으로 사용되고 있으나 많은 전압비교기의 수로 인하여 칩의 면적과 큰 소비전력으로 인하여 큰 집적회로에 내장하여 사용하는데 제약점을 가지고 있다. 폴딩 기술을 이용한 폴딩 ADC는 전압비교기의 수를 줄일 수 있으므로 칩의 면적과 소비전력 면에서 잇점이 있으며 또한 고속 동작이 가능하다 [1]-[4].

8비트 해상도를 가진 폴딩 ADC는 일반적으로 3비트로 이루어진 상위 3비트를 구하기 위한 Coarse ADC와 하위 5비트를 구하기 위한 Fine ADC로 구성된다.[2]-[4]. 폴딩 ADC의 경우 폴딩 블록(FB;Folding Block)과 인터플레이션 사다리 저항을 통해 출력되는 신호가 입력 신호에 대해 비선형 동작특성을 가지고 있다. 본 논문에서는 폴딩 ADC의 비선형 동작특성을 향상시키기 위하여 폴딩-2X 인터플레이팅-폴딩-4X 인터플레이팅으로 이루어지는 2 단 폴딩 구조를 사용하였다. 이 구조는 Fine ADC에서 디지털 출력을 구하기 위하여 16개의 전압비교기와 48개의 인터플레이션 저항만을 사용하므로 소비전력과 칩 면적을 크게 줄일 수 있다. 또한 전압비교기의 오프셋 전압과 인터플레이션 저항의 DC 에러[5] 등에 의한 비선형 특성에 의한 영향이 크게 감소되어 INL과 DNL을 크게 개선시킬 수 있다.

2장에서는 본 논문에서 제안하는 2단 폴딩 ADC의 전체적인 구조를, 3장에서는 트랜지스터 차동쌍 회로의 폴딩 동작원리를, 4장에서는 모의실험 결과를 논의하고, 5장에서는 결론을 맺는다.

II. 2 단 폴딩 ADC의 구조

1. 기본구조

FB는 여러 개의 CDP(Coupled differential pair)로 구성되는데 CDP의 개수는 여기에 인가되는 기준전압의 크기, 오프셋 전압, 동작속도 등에 영향을 미치므로 폴딩 ADC의 동작특성에 큰 영향을 끼친다[1]-[3]. 한 개의 FB를 구성하는 CDP의 개수를 폴딩율로 정의하는데 8비트 해상도를 가진 폴딩 ADC에서는 여러 가지 이유로 인해 폴딩율이 8인 FB를 사용한다[1]-[4]. 이 회로들은 Fine ADC에서 32개의 전압비교기와 64개의 인터플레이션 저

항을 사용한다. 폴딩율을 높이면 전압비교기와 인터플레이션 저항의 숫자를 줄일 수 있으므로 폴딩 ADC의 비선형 동작특성을 개선시킬 수 있다. 그러나 FB의 크기, 소비전력, 동작특성 등을 고려해 볼 때 일반적으로 사용해진 CDP 구조로는 폴딩율이 16인 FB를 설계하기가 쉽지 않다. 따라서 폴딩율이 8인 FB를 그대로 사용하면서 폴딩 ADC의 비선형 동작특성을 개선하려는 많은 시도가 이루어졌다[5][7][10][11].

그림 1에서는 본 논문에서 제시하는 2 단 폴딩 ADC의 구조를 나타내었다. 상위 3비트를 얻기 위하여 Coarse ADC를 사용하고, 하위 5비트를 얻기 위하여 Fine ADC로서 4개의 폴딩 블록을 기본 구조로 사용한 점은 기존에 제안된 폴딩 ADC와 같다. 그러나 폴딩 ADC의 가장 큰 문제인 입력 신호와 폴딩-인터플레이션된 신호와의 비선형 동작특성을 해결하기 위하여 FB와 인터플레이팅 회로가 2 단으로 변형되고 트랜지스터 차동쌍 회로가 추가되었다.

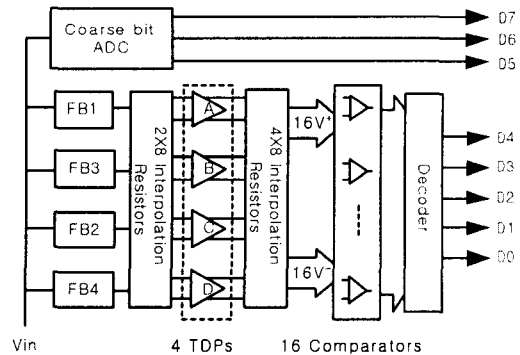


그림 1. 2단 폴딩-인터플레이션 ADC의 구조

Fig. 1. Block diagram of the 2 stage folding and interpolation AD converter.

2. 폴딩 블록(FB)

그림 2에서는 본 논문에서 제시하는 FB의 구조와 기준전압을 나타내었다.

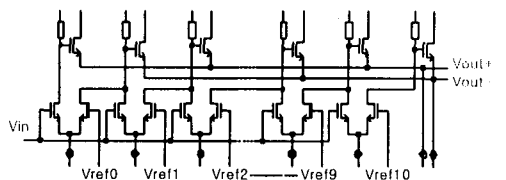


그림 2. Wired-OR로 구성된 폴딩 블록의 구조

Fig. 2. Structure of folding block based on wired-OR interconnection.

Vref1에서 Vref9까지 인가되는 전압은 일반적인 FB에 인가되는 기준전압과 같다. 그러나 Vref0에는 Vref1보다 1LSB 만큼 작은 전압을, Vref10에는 Vref9보다 1LSB 만큼 큰 전압을 추가로 인가한다. 이와 같이 변형된 FB는 입력전압의 전 범위에서 거의 완전한 사인과 형태의 차동 신호를 출력한다. 이 차동 폴딩 신호는 다음 단계에 이어지는 TDP를 폴더로 동작시키는 입력신호로 사용하게 된다. 뿐만 아니라 입력 전압의 전 범위에서 완전 차동 폴딩 신호를 구할 수 있으므로 FB의 비선형 동작특성을 개선할 수 있다.

2. 2X8 인터플레이션 저항 회로

각 FB에서 출력된 차동 폴딩 신호는 그림 3과 같은 2X4 인터플레이션 저항 회로에 인가된다.

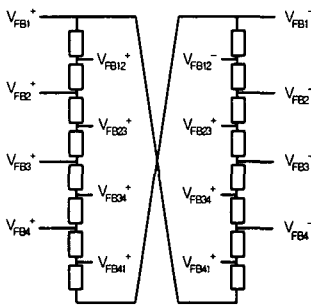


그림 3. 2X8 인터플레이션 저항 회로
Fig. 3. 2X8 Resistor Interpolation

FB1에서 출력되는 폴딩 신호 VFB1+와 VFB1-는 완전 차동 폴딩 신호이다. FB1과 FB2의 인터플레이션 저항 탭에서 생성되는 VFB12+와 VFB12- 역시 완전 차동 신호이다. FB1과 FB3에서 출력되는 차동 폴딩 신호는 90°의 위상차를 가지고 있다. FB2와 FB4의 출력 신호 역시 90°의 위상차를 가지고 있다. 따라서 이 회로에는 모두 4 쌍의 90°의 위상차를 가진 폴딩 신호가 출력되며 다음 단계에 이어지는 TDP에 인가된다.

3. 트랜지스터 차동쌍(TDP)

90° 위상차를 가진 FB1-3의 출력전압을 TDP A에 인가하면 2 배로 폴딩된 신호를 얻을 수 있다. 트랜지스터 차동쌍으로 구성되는 TDP의 폴딩 동작원리는 III 장에서 자세히 언급하기로 한다. 마찬가지로 FB2-4의 출력전압을 TDP C에 인가하여 2 배로 폴딩된 신호를 얻을 수 있다. TDP에서 출력된 폴딩 신호는 결과적으로 입력된 신호에 대하여 폴딩율이 16인 신호와 같은 신호로 볼 수 있다. 즉,

2 단 폴딩 회로를 사용할 경우 기존의 폴딩 증폭기의 구조를 그대로 이용하므로 빠른 동작 특성을 유지하면서 선형성이 개선된 폴딩율이 16인 폴딩 증폭기를 구현할 수 있다.

3. 4X8 인터플레이션 저항 회로 및 기타 회로

TDP에서 출력된 폴딩 신호는 32 개의 사다리 저항으로 연결된 소오스 폴로워로 구동되는 인터플레이션 회로[5][7]에 인가된다. 사다리 저항을 사용한 인터플레이션 회로는 차동회로에 연결되므로 저항을 흐르는 전류가 거의 없어서 전력손실이 없다. 이 회로에서 만들어진 16 개의 차동신호는 전압비교기로 입력되어 순환코드로 변환된다. 전압비교기는 입력된 차동신호의 교차점(zero-crossing)을 감지하여 디지털 출력신호를 내보낸다. 따라서 입력되는 신호의 오프셋 전압이나 전압비교기 자체의 오프셋 전압 변동이 순환코드를 생성하는데 크게 영향을 미치지 않는다[6][7]. 전압비교기는 4 개의 인터플레이션 저항에 의해 생성된 신호의 레벨을 감지하므로 선형성이 개선되어 INL과 DNL 특성이 크게 향상된다. 디코더는 순환코드를 이용하여 하위 5 비트 디지털 데이터를 만든다. TDP 회로를 통하여 변환된 하위 4 비트 데이터와 앞 단의 폴딩 회로를 통하여 변환된 2 비트 중 LSB+3 비트는 서로 같은 디지털 출력값을 가져야 한다. 그러나 지연시간의 차이에 의해 에러가 발생할 수 있다. 마찬가지로 상위 3 비트 역시 하위 5 비트와 지연시간의 차이로 인해 에러가 발생할 수 있다. 따라서 폴딩플롭을 사용한 지연보상회로를 통하여 지연시간을 보상해야 한다.

III. TDP 폴더의 동작원리

그림 4에 TDP을 나타내었다. 앞에서 언급했듯이 여기에서 사용한 차동쌍으로 동작하는 두 개의 트랜지스터가 폴딩 신호를 출력하기 위해서는 몇 가지 조건에 부합되어야 하는데, 이러한 조건은 일반적인 MOS 트랜지스터 제조과정에서 충분히 고려될 수 있는 것들이다. 첫째, 두 개의 트랜지스터 M1과 M2는 서로 잘 매칭되어 있는 NMOS이다. 둘째, 두 트랜지스터는 모두 포화된 상태에서 동작한다. 셋째, 채널변조효과를 줄이기 위해 L 값은 비교적 큰 값을 갖도록 한다[8]. 마지막으로 트랜지스터의 게이트에 인가되는 AC 입력신호는 충분한 크기의 DC 전압 상에 인가한다. 이 네 가지 조건을 만족할 경우 서로 90°의 위상차를 가진 신

호가 입력되면 새로운 폴딩 신호를 얻을 수 있다.

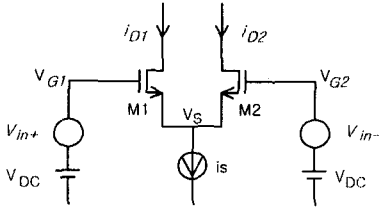


그림 4. NMOS 트랜지스터 차동쌍 회로
Fig. 4. NMOS transistor differential pair circuit

NMOS 트랜지스터의 동작특성을 나타내는 드레인 전류 i_D 는 (1) 식과 같이 주어진다[9].

$$i_D = \frac{\mu_0 C_{ox} W}{L} \left[(V_{GS} - V_T) - \frac{V_{DS}}{2} \right] V_{DS} (1 + \lambda V_{DS}) \quad (1)$$

이 트랜지스터가 포화되어 있다면, 포화전압 $V_{DS}(sat)$ 는 $V_{DS}(sat) = V_{GS} - V_T$ 와 같이 주어진다. 여기에서 $V_{DS} \gg V_{DS}(sat) = V_{GS} - V_T$ 이고 L 값을 $0.5 \mu m$ 보다 크게 한다면 채널변조효과를 무시할 수 있으므로 λ 를 포함하는 포화전압 V_{DS} 항을 무시할 수 있다. 따라서 (1) 식은 다음과 같이 쓸 수 있다.

$$i_D = \frac{\mu_0 C_{ox} W}{2L} [(V_{GS} - V_T)^2] \quad (2)$$

TDP의 각 노드에서 전압, 전류값을 그림 4와 같이 정의하면 이 회로의 전류-전압 관계식은 (3), (4), (5) 식과 같이 나타낼 수 있다.

$$i_S = i_{D1} + i_{D2} \quad (3)$$

$$V_{G1} = V_{GS1} + V_S = V_{DC} + V_{in} \quad (4)$$

$$V_{G2} = V_{GS2} + V_S = V_{DC} - V_{in} \quad (5)$$

(4), (5) 식을 이용하여 (2) 식을 다시 쓰면, 드레인 전류 i_{D1} , i_{D2} 는 다음과 같이 표현된다.

$$i_{D1} = K_n' (V_{GS1} - V_T)^2 \quad (6)$$

$$i_{D2} = K_n' (V_{GS2} - V_T)^2 \quad (7)$$

여기에서 $K_n' = \frac{\mu_0 C_{ox} W}{2L}$ 이다.

따라서 (3) 식은 (6)과 (7)식을 이용하여 다음과 같이 표현된다.

$$i_S = 2 K_n' [V_S^2 - 2(V_{DC} - V_T) V_S + \{ V_{in}^2 + (V_{DC} - V_T)^2 \}] \quad (8)$$

(8) 식을 V_S 에 대하여 구하면

$$V_S = (V_{DC} - V_T) \pm \sqrt{\frac{i_S}{2K_n'} - V_{in}^2} \quad (9)$$

로 표현된다. 여기에서 K_n' 의 단위는 $\mu A/V^2$ 이므로 $\frac{i_S}{2K_n'} = V_{ref}^2$ 이라 하면 (9) 식은 다음과 같이 표현할 수 있다.

$$V_S = (V_{DC} - V_T) \pm \sqrt{V_{ref}^2 - V_{in}^2} \quad (10)$$

(10) 식에서 $V_{ref} \gg |V_{in}|$ 인 조건을 충분히 만족시킬 수 있으므로 (10) 식은 다음과 같이 표현될 수 있다.

$$\begin{aligned} V_S &= (V_{DS} - V_T) + V_{ref} - \frac{1}{2V_{ref}} V_{in}^2 \\ \text{or} \\ &= (V_{DS} - V_T) - V_{ref} + \frac{1}{2V_{ref}} V_{in}^2 \end{aligned} \quad (11)$$

여기에서 V_S 를 직류성분 V_{SDC} 와 교류성분 V_{SAC} 로 분류하여

$$V_S = V_{SDC} + V_{SAC} \quad (12)$$

로 표현한다면 (11) 식은 다음과 같이 표현될 수 있다.

$$V_S = V_{SDC} + \frac{1}{2V_{ref}} V_{in}^2 \quad (13)$$

(13) 식을 통하여 V_S 는 V_{in}^2 에 대한 식으로 표현됨을 알 수 있다. TDP 회로에 입력신호로서

$V_{in} = V_i \cos \omega t$ 가 입력된다고 하면 (13) 식에서 V_{in}^2 은 다음과 같이 표현된다.

$$\begin{aligned} V_{in}^2 &= V_i^2 \cos^2 \omega t \\ &= V_i^2 \frac{(1 + \cos 2\omega t)}{2} \end{aligned} \quad (14)$$

따라서 (13) 식과 (14) 식에서 V_S 를 구하면 (15) 식을 얻을 수 있다.

$$V_S = V_{SDC} + \frac{V_i^2}{4V_{ref}} (1 + \cos 2\omega t) \quad (15)$$

(15) 식은 V_S 가 입력전압 주파수의 2 배로 폴딩 되는 것을 나타내고 있다.

그림 5는 (15) 식으로 출력되는 폴딩 신호를 구하기 위한 TDP 폴딩 회로를 나타낸 것이다. 이 회로는 두 개의 NMOS 차동쌍, 증폭기 및 레지스터 인터플레이션을 구동하기 위한 NMOS 소오스 폴로어로 구성된다. M1과 M2로 구성된 NMOS 차동쌍에는 FB1의 출력을, M3과 M4로 구성된 또 다른 NMOS 차동 쌍에는 90° 위상차를 가진 FB3의 출력을 입력한다.

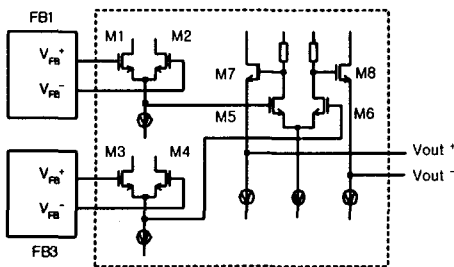


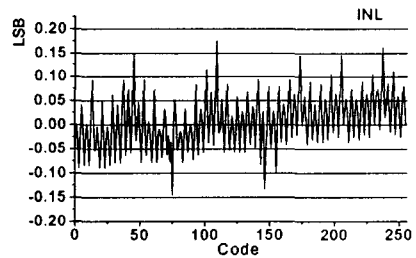
그림 5. 트랜지스터 차동쌍 폴딩 회로의 구조
Fig. 5. Transistor differential pair folding circuit.

두 개의 트랜지스터 차동쌍을 구성하는 NMOS 트랜지스터 4 개(M1~M4)가 잘 매칭되어 있다면 각 차동쌍의 공통 소오스 전압 V_{SD1} 과 V_{SD2} 는 완전 차동 전압의 형태로 출력된다. 앞서서도 언급했듯이 차동쌍 구조를 가진 두 개의 NMOS 트랜지스터가 폴딩 회로로 동작하도록 설계하기 위해서는 몇 가지 조건을 만족시켜야 한다. 본 논문에서는 채널변조효과를 무시하기 위하여 차동쌍에 사용되는 NMOS의 L 값을 1.0 μm 로 하였으며 이득을 높이기 위하여 W 값을 10.0 μm 로 하였다. 각 차

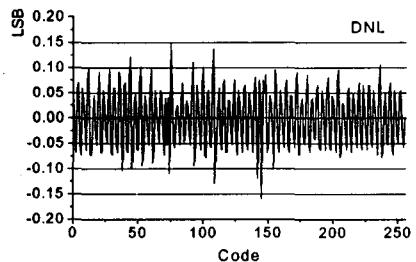
동쌍의 싱크 전류 I_S 는 50 μA 가 되도록 하였다. 입력전압은 (10) 식에서 $V_{ref} \gg |V_{in}|$ 인 조건을 만족할 수 있도록 약 300mVpp의 폴딩 전압을 2.25V의 직류전압에 인가하여 입력하였다. 트랜지스터 차동쌍에서 출력되는 폴딩 신호의 크기는 매우 작아 전압비교기를 직접 구동시키기에는 부족한 크기이므로 증폭기를 통하여 전압비교기를 구동시킬 수 있는 크기만큼 증폭해야 한다.

IV. 모의실험 결과

제안한 2 단 폴딩 구조를 사용한 폴딩 ADC는 2.5V 단일 전원을 사용하며 0.25 μm 표준 n-well CMOS 제조공정 파라미터를 사용하여 모의실험하였다. 모의실험 도구는 Hspice를 이용하였으며 250MHz의 고속 동작속도와 45mW의 소비전력을 갖는 등 매우 우수한 결과를 얻을 수 있었다. 실험 결과값을 이용하여 계산한 INL과 DNL은 각각 $\pm 0.2\text{LSB}$ 이며 그림 6에 나타내었다.



(a) INL



(b) DNL

그림 6. 250MHz 샘플링 주파수에서의 INL과 DNL

(a) INL (b) DNL
Fig. 6. INL and DNL at 250MHz sampling frequency
(a) INL (b) DNL

그림 7은 5MHz의 사인파를 인가하여 얻은 FFT로서 SFDR은 62dB이다. 10MHz 사인파를 입력하여 얻은 SNDR은 약 45dB로 측정되었다.

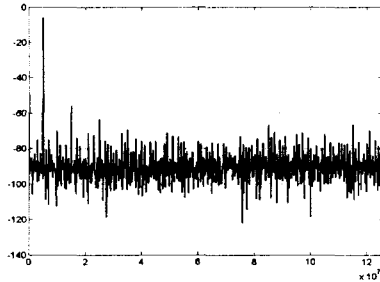


그림 7. 250MHz 샘플링 주파수에서의 FFT
Fig. 7. FFT at 250MHz sampling frequency

표 1은 본 논문에서 설계한 트랜지스터 차동쌍 폴딩 회로를 적용한 폴딩 ADC의 파라미터를 요약한 것이다.

표 1. 모의실험 결과
Table 1. Simulation Results

공정기술	0.25 μ m double-poly 2 metal n-well CMOS
해상도	8 비트
변환속도	250M samples/s
입력전압	1 Vpp
INL/DNL	± 0.2 / ± 0.2 LSB
SFDR(Fin=1MHz)	62.5dB
SNDR(Fin=10MHz)	45dB

V. 결 론

본 논문에서는 VLSI의 내장 회로로 사용하기에 적합하도록 칩 면적이 작고 소비전력이 적은 CMOS 8 비트 2단 폴딩-인터플레이팅 AD 변환기를 설계하였다. 제안한 TDP 폴더를 적용하여 Fine ADC를 구성하는 전압비교기와 인터플레이션 저항의 수를 각각 16 개와 48 개로 줄일 수 있었다. 전압비교기와 인터플레이션 저항 수를 줄임으로서 소비전력과 비선형 에러를 크게 줄일 수 있었다. 250MHz의 샘플링 주파수에서 소비전력은 45mW, INL과 DNL이 각각 ± 0.2 LSB로 계산되었다. SNDR은 10MHz의 입력신호에서 45dB로 측정되었다. 본 논문에서 제안한 ADC는 고속으로 동작하는 영상

신호 처리용 VLSI의 내장 회로에 적용하면 소비전력과 함께 칩 면적을 크게 줄일 수 있는 장점을 가지고 있다.

참고문헌

- [1] Rob E. J. Van de Grift and Rudy J. Van de Plassche, "A Monolithic 8-Bit Video A/D Converter", IEEE J. of Solid-State Circuits, vol. sc-19, no. 3, pp 376-377, June. 1984.
- [2] ROB E.J. Van de Grift, Ivow.J.M. Rutten, and Martien Van de Veen, "An 8-bit Video ADC Incorporating Folding and Interpolation Techniques", IEEE J. of Solid-State Circuits, vol. sc-22, no. 6, pp 994-953, Dec. 1987.
- [3] P.Vorenkamp,R.Roovers, "A 12b 50MSamples/s Cascaded Folding and Interpolating ADC, ISSCC97 Session8, pp.134-135,442, 1997.
- [4] M. Flynn and B. Sheahan. "A 400-Msample/s, 6-b CMOS folding ADC.", ISSCC98, Session9, 1932-1938, 1998.
- [5] Johan van Valburg and Rudy J. van de Plassche, "An 8-b 650-MHz Folding ADC", IEEE J. of Solid-State Circuits, vol.27, no.12, pp. 1662-1666, Dec. 1992.
- [6] Bram Nauta and Ardie G.W. Venes, "A 70-MS/s 110-mW 8-b CMOS Folding and Interpolating A/D Converter", IEEE J. of Solid-State Circuits, vol.30, no.12, pp. 1302-1308, Dec. 1995.
- [7] Ardie G.W. Venes, and Rudy J. van de Plassche, "An 80-MHz, 80-mW, 8-b CMOS Folding A/D Converter with Distributed Track-and-Hold Processing", IEEE J. of Solid-State Circuits, vol. 31, no. 12, pp. 1846-1853, Dec. 1996.
- [8] Mohammed Ismail and Terri Fiez, "Analog VLSI, Signal and Information Processing", McGraw-Hill Book Co.,pp.205-206, 1994.
- [9] Phillip E. Allen and Dounglas R. Holberg. "CMOS Analog Circuit Design", Saunders College Publishing, pp. 96-103, 1987
- [10] Michael P. Flynn and David J. Allstot, "CMOS Folding A/D Converters with

Current-Mode Interpolation", IEEE J. of Solid-Stat Circuits, vol.31, no.9, pp. 1248-1257, Sep. 1996.

- [11] Michael P. Flynn and Ben Sheahan, "400-Msample/s, 6-b CMOS Folding and Interpolating ADC", IEEE J. of Solid-Stat Circuits, vol.33, no.12, pp. 1932-1938, Dec. 1999.

저자소개

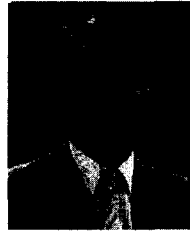


이돈섭(Don-Suep Lee)

1982 성균관대학교 전자공학과 졸업
1984 한양대학교대학원 전자공학과 졸업(공학석사)
1997 한양대학교대학원 전자공학과 박사과정 수료

1996~현재 두원공과대학 소프트웨어개발과 부교수

※관심분야 : AD, DA변환기, 영상신호처리시스템



곽계달(Kae-Dal Kwack)

1974 한양대학교 전자공학과 졸업
1976 한양대학교대학원 전자공학과 졸업(공학석사)
1980 ENSEIHT, I.N.P, France (공학박사)

1982~현재 한양대학교 전자전기컴퓨터공학부 교수

※관심분야 : 반도체회로설계, 나노메모리설계