

---

# 소오스-드레인 기생용량을 개선한 박막트랜지스터 제조공정

허창우\*

## The Fabrication of a-Si:H TFT Improving Parasitic Capacitance of Source-Drain

Chang-wu Hur\*

### 요 약

본 연구는 에치스토퍼를 기존의 방식과 다르게 적용하여 수소화 된 비정질 실리콘 박막 트랜지스터의 제조공정을 단순화하고, 박막 트랜지스터의 게이트와 소오스-드레인간의 기생용량을 줄인다. 본 연구의 수소화 된 비정질 실리콘 박막 트랜지스터는 Inverted Staggered 형태로 게이트 전극이 하부에 있다. 실험 방법은 게이트전극, 절연층, 전도층, 에치스토퍼 및 포토레지스터층을 연속 증착한다. 스토퍼층을 게이트 전극의 패턴으로 남기고, 그 위에 n+a-Si:H 층 및 NPR(Negative Photo Resister)을 형성시킨다. 상부 게이트 전극과 반대의 패턴으로 NPR층을 패터닝하여 그것을 마스크로 상부 n+a-Si:H 층을 식각하고, 남아있는 NPR층을 제거한다. 그 위에 Cr층을 증착한 후 패터닝하여 소오스-드레인 전극을 위한 Cr층을 형성시켜 박막 트랜지스터를 제조한다. 이렇게 제조하면 기존의 박막 트랜지스터에 비하여 특성은 같고, 제조공정은 줄어들며, 또한 게이트와 소오스-드레인간의 기생용량이 줄어들어 동작속도를 개선시킬 수 있다.

### Abstract

The a-Si:H TFTs decreasing parasitic capacitance of source-drain is fabricated on glass. The structure of a-Si:H TFTs is inverted staggered. The gate electrode is formed by patterning with length of 8  $\mu\text{m}$ -16  $\mu\text{m}$  and width of 80-200  $\mu\text{m}$  after depositing with gate electrode (Cr) 1500 Å under corning 7059 glass substrate. We have fabricated a-SiN:H, conductor, etch-stopper and photoresistor on gate electrode in sequence, respectively. The thickness of these thin films is formed with a-SiN:H (2000), a-Si:H(2000) and n+a-Si:H (500). We have deposited n+a-Si:H, NPR(Negative Photo Resister) layer after forming pattern of Cr gate electrode by etch-stopper pattern. The NPR layer by inverting pattern of upper gate electrode is patterned and the n+a-Si:H layer is etched by the NPR pattern. The NPR layer is removed. After Cr layer is deposited and patterned, the source-drain electrode is formed. The a-Si:H TFTs decreasing parasitic capacitance of source-drain has channel length of 8~20  $\mu\text{m}$  and channel width of 80~200  $\mu\text{m}$ . And it shows drain current of 8  $\mu\text{A}$  at 20 gate voltages, Ion/Ioff ratio of 108 and Vth of 4 volts.

### 키워드

parasitic capacitance of source-drain, inverting pattern of upper gate electrode, etch-stopper

### I. 서 론

현재 비정질 실리콘은 광전변환 소자 및 대면적 박막소자에 널리 이용되고 있다. 특히 평판디스플레이(flat panel display: FPD) 기술을 선도하고 있는 active matrix LCD 의 스위칭 소자로써 a-Si:H TFT 그리고 contact image sensor, solar cell 등의 재료로써 널리 응용되고 있다.

TFT-LCD를 대형화, 고정세화하면 게이트 배선의 시상수 RC가 증가하고, 게이트 신호지연에 의한 화질 저하라는 문제가 발생하므로, 게이트 배선 저항과 정전용량의 감소가 필요하게 된다. 더욱이 주사선이 많아짐에 따라서 액정층의 충전시간(TFT의 ON시간)이 짧아지고 보다 짧은 시간으로 충전을 완료시키기 위해서는 TFT의 고성능화가 필요하게 된다.

TFT의 동작속도를 개선시키기 위해서는 게이트와 소오스-드레인간의 기생용량을 매우 작게 하는 방안이 있으나 현재 게이트와 소오스-드레인간의 기생용량을 줄이기 위하여 여러 회사에서 자기 정렬방식을 사용하여 특성을 향상시키는 연구가 선진국의 여러 기업체를 선두로 활발하게 진행되어 왔다.

본 논문에서는 에치스트퍼를 기존의 방식과 다르게 적용하여 수소화 된 비정질 실리콘 박막 트랜지스터의 제조공정을 단순화하고, 박막 트랜지스터의 게이트와 소오스-드레인간의 기생용량을 줄이고자 한다.

### II. 에치스트퍼 a-Si:H TFT 의 제작 및 특성

비정질실리콘(a-Si:H)은 본 실험에서는 Plasma Enhanced Chemical Vapor Deposition(PECVD) 방법으로 증착 하였다. 증착 조건(SiH<sub>4</sub> 유량, Chamber 압력, RF Power, 기판온도)에 따라 비정질실리콘의 전도도,Optical Band Gap, 증착율 등 전기 광학적 특성이 달라진다.

비정질실리콘의 증착조건을 달리 하여 실험했을 때 SiH<sub>4</sub> 유량에 따라 Photo 및 Dark Conductivity 는 감소하며, Dark Conductivity 의 경우 10<sup>-9</sup>~10<sup>-11</sup> (S/cm), Photo Conductivity 의 경우 10<sup>-4</sup>~10<sup>-6</sup> (S/cm) 내에서 변화 하였다. 또한 Optical Band Gap 은 1.7~1.8 eV 로써 SiH<sub>4</sub> 의 유량이 증가함에 따라 1.0에서 6.0 (Å/sec)의 증착율로 증가한다. 이상과 같이 SiH<sub>4</sub> 의 유량에 따라 전도율과 Optical Band Gap 사이에는 Trade off 관계가 있어 원하는 전도도 및 Optical Band Gap을 SiH<sub>4</sub> 의

유량으로써 조절 할 수 있다. 그러나 Chamber 압력에 대해서는 전도도 및 Optical Band Gap은 변화가 거의 없었으며 증착율은 1.0~3.0 (Å/sec) 정도로 압력에 비례하였다. 또한 RF 전력에 대해서도 전기 광학적 특성 변화는 거의 없다.

수소화된 비정질 실리콘 박막의 Si 와 H 의 Bond 관계를 나타내고 있다. Fundamental Infrared Absorption Mode 의 주파수는 진동 Dipole 의 질량과 Dipole을 포함하는 원소사이의 Bond 크기에 의존한다. a-Si:H 박막에 대한 Vibration Mode 의 Type 과 파수 2000cm<sup>-1</sup>에서 SiH Stretching Mode 로 존재하고 파수 635cm<sup>-1</sup>에서 Rocking Mode 로 있음을 알 수 있다. 800~900 cm<sup>-1</sup> 의 Weaking Bonds 에 나타난 Bond는 SiH<sub>2</sub> 의 Vibration Mode에 의한 것이다. 그러므로 본 실험에서 제작한 a-Si:H 박막은 Stretching/Rocking Mode 의 Si-H Bonding 이 존재 한다.

게이트 절연층 및 Passivation 막인 a-SiN:H 박막은 SiH<sub>4</sub> 가스와 NH<sub>3</sub> 가스를 혼합하여 PECVD 법으로 제작하였다. NH<sub>3</sub>/SiH<sub>4</sub>가 증가함에 따라 a-SiN:H 의 저항율은 증가하고 굴절율은 감소한다. 또한 RF Power 에 대해서는 RF Power 에 거의 관계가 없다. 그리고 Eopt는 2.61 eV 정도이다.

본 실험에서는 Corning 7059 Glass를 기판으로 게이트 전극(Cr)을 1500 Å 정도 증착하여 Length 8 μm~16 μm , Width 80 μm~200 μm 의 크기로 Pattern 하여 게이트 전극을 형성 하였다. 게이트 전극 위에 a-SiN:H, a-Si:H , a-SiN:H 등을 연속하여 증착하였다. 이때 각 박막의 두께는 a-SiN:H

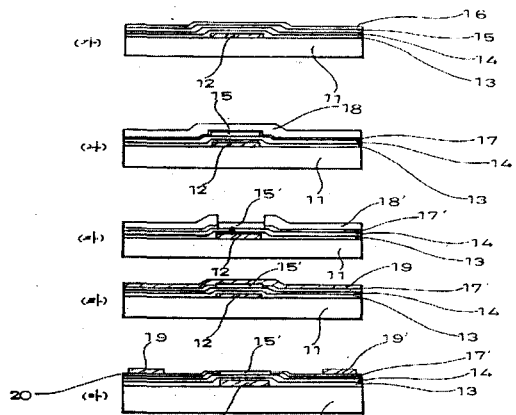


그림1. 에치스트퍼를 사용한 수소화 된 비정질 실리콘 박막 트랜지스터의 제조 공정도 (11:corning glass, 12:Cr, 13:a-SiN:H, 14:a-Si:H, 15:a-SiN:H, 16:PPR, 17:n+a-Si:H, 18:NPR, 19:CrSix, 20:n+a-Si:H)

: 2000 Å, a-Si:H:500 Å, a-SiN:H : 2000 Å으로 형성 하였다. 그 위에 PPR(Positive Photo Resistor) 층을 스핀 코팅으로 ~1 μm 형성한다. 여기서 a-SiN:H층을 패터닝하고, 그 위에 n+a-Si:H층 및 NPR 층을 형성시킨다. 하부 Cr층을 마스크로 하여 기판 유리쪽에서 UV(Ultra Violet)를 조사한다. 다음에 현상용액에 담그면 Cr 게이트층과 동일한 형태의 패턴으로 PR층이 형성되고, 그 PR층을 마스크로하여 에치스트퍼 a-SiN:H층을 RIE 식각한다. RIE 장비는 PECVD의 RI Mode를 사용 하였다. 이때 사용한 RIE 가스는 CHF<sub>3</sub> 와 O<sub>2</sub>를 혼합하여 사용하였다. 다음으로 남아있는 PR층을 제거하고 그 위에 n+a-Si:H층을 500 Å 정도 증착한 후 NPR층을 스핀코터로 코팅한다. 이어서, 게이트패턴과 반대 패턴으로 NPR층을 패터닝하여 n+a-Si:H층을 CF<sub>4</sub>+O<sub>2</sub> 가스로 RIE 하였다. 식각하고 남아있는 PR층을 제거한다. 유리기판 쪽에서 Cr 게이트 전극을 마스크로 하여 UV 빛을 조사하고 현상시키면 게이트전극과 반대의 패턴으로 NPR층이 패터닝된다. 패터닝된 게이트전극과 반대 패턴의 NPR층을 마스크로 하여 n+a-Si:H층을 식각하고 남아있는 NPR층을 제거한다. 다음에 그림1. (라)에 도시된 바와같이 Cr층을 증착한 후 패터닝시켜 소오스-드레인 전극을 형성시켜 박막 트랜지스터를 제조한다. 마지막으로 Cr층을 증착한 후 250℃로 50분간 가열하여 CrSi<sub>3</sub>를 수백 Å정도 형성하고, 마스크를 이용하여 소오스-드레인을 형성한다. 이상과 같이 형성된 수소화 된 비정질 실리콘 박막 트랜지스터는 자기정렬 방법을 기존의 방식과 다르게 적용함으로써 박막 트랜지스터의 제조공정을 단순화하고, 박막 트랜지스터의 게이트와 소오스-드레인간의 기생용량 C<sub>gs</sub>, C<sub>gd</sub> 등이 현저히 줄어들어 트랜지스터의 동작속도를 향상시킬 수 있으며, 비정질 실리콘 전도층의 두께를 얇게 만들 수 있어 박막 트랜지스터의 직렬저항을 줄일 수도 있어 채널 컨덕턴스가 개선된다. 또한 Cr 실리사이드로 소오스-드레인의 접합이 전도성이 우수한 오염성 접합이 되어 박막 트랜지스터의 특성이 향상된다.

이렇게 제작된 샘플들의 전기적 특성을 측정하기 위하여 KARL SUSS (독일) 제품의 Probe Station 과 Kithley 제품의 4145A Parameter Analyser 측정 장치를 사용하여 I-V 특성, V<sub>th</sub>, Ion/Ioff 등의 특성을 구하였다. (그림2,3,4)

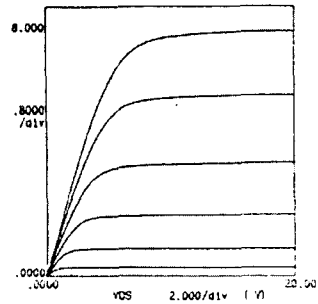


그림2. 에치스트퍼 a-Si:H TFT 의 I-V 특성

(그림2,3,4) 에서 보는 바와 같이 자기정렬 a-Si:H TFT 의 경우 게이트 전압 20 Volts에서 포화 전류가 8μA 정도이고 Ion/Ioff 는 108 , V<sub>th</sub> 는 4Volts 정도였다.

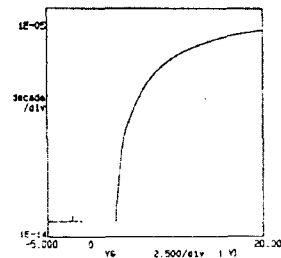


그림3. 에치스트퍼 a-Si:H TFT 의 Ion/Ioff 특성

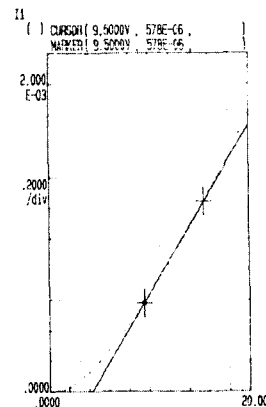


그림4. 에치스트퍼 a-Si:H TFT 의 Vth 특성

이러한 특성으로 보아서 본 논문의 자기정렬 a-Si:H TFT 의 경우 전기적 특성은 별 차이 없이 기존의 자기정렬 a-Si:H TFT 의 경우에 비해서 제조공정을 단순화하여 마스크의 수를 줄일 수 있

며, 공정단가도 상당히 낮출 수 있는 공정이 될 수 있다.

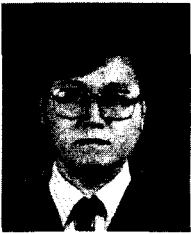
#### IV. 결 론

현재 a-Si:H TFT에 대한 필요성이 LCD 구동용 Transistor, 이미지 Sensor 및 광소자 구동등에 매우 절실히 요구되며 그 연구가 활발히 진행되고 있다. 특히 LCD 디스플레이의 경우 박막트랜지스터의 공정 단가가 높고 전류 구동력 및 구동속도가 낮아 이를 개선하기 위하여 공정을 단순화하고 전류 구동속도를 높이기 위하여 공정 수 및 마스크 수를 줄이고, 기생 저항 및 용량을 줄이고자 하는 노력이 보다 더 많이 연구되고 있다. 이 시점에서 자기정렬 a-Si:H TFT의 공정을 개선하고, 기생용량을 줄일 수 있는 구조를 개발하는 연구는 매우 필요하다. 본 연구는 자기정렬 방법을 기존의 방식과 다르게 적용하여 수소화 된 비정질 실리콘 박막 트랜지스터의 제조공정을 단순화하고, 박막 트랜지스터의 게이트와 소오스-드레인간의 기생용량을 줄인다. 본 연구의 수소화 된 비정질 실리콘 박막 트랜지스터는 Inverted Staggered 형태로 게이트 전극이 하부에 있다. 실험 방법은 게이트전극, 절연층, 전도층, 에치스토퍼 및 포토레지스터층을 연속 증착하였다. 스토퍼층을 게이트 전극의 패턴으로 남기고, 그 위에 n+a-Si:H 층 및 NPR(Negative Photo Resister)을 형성시켰다. 하부 게이트 전극과 반대의 패턴으로 NPR층을 패터닝하여 그것을 마스크로 n+a-Si:H 층을 식각하고, 남아있는 NPR층을 제거한다. 그 위에 Cr 층을 증착한 후 패터닝 하여 소오스-드레인 전극을 위한 Cr 층을 형성시켜 박막 트랜지스터를 제조하였다. 이렇게 제작된 샘플들의 전기적 특성을 측정하여 기존의 박막 트랜지스터에 비하여 특성은 우수하고, 제조공정이 줄어들었음을 확인하였다. 이상의 특성에서 본 논문에서 사용한 자기정렬 방식의 a-Si:H TFT를 사용하였을 경우 TFT의 공정 단가를 낮추어 현재 많은 소자에 이용되고 있는 a-Si:H TFT의 응용 폭을 상당히 확대시킬 수 있으리라 생각되며 HDTV의 디스플레이 로써 각광을 받고 있는 TFT를 사용한 AM LCD FAX에 사용되고 있는 Contact Image Sensor등에도 적합한 특성을 구할 수 있으리라 기대된다.

#### 참고문헌

- [1] Chang W. Hur, " Method of Making Thin Film Transistors", United States Patent, Patent No.5,306,653, Apr. 1994.
- [2] R.V.R. Murthy, Mechanisms underlying leakage current in inverted staggered a-Si:H thin film transistors, Fourth Symp. on Thin Film Transistor Technologies, Boston, Nov. 1-6, 1998.
- [3] 허창우, 이문기, 김봉열, "강유전성 PbTiO<sub>3</sub> 박막의 형성 및 계면특성", 대한전자공학회 논문지, 26권 7호, pp.83-89, 1989
- [4] A. Nathan, Correlation between leakage current and overlap capacitance in a-Si:H TFTs, IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensor, Karuizawa, Japan, June 10-12, 1999.
- [5] 이규정, 류광렬, 허창우, "산화물 반도체 박막 가스센서 어레이의 제조 및 수율 개선", 한국해양정보통신학회 논문지 vol.6, No.2, pp. 315-322, 2002
- [6] 허창우, "강유전성 박막의 형성 및 수소화 된 비정질실리콘과의 접합 특성", 한국해양정보통신학회 논문지 vol.7, No.3, pp. 468-473, 2003
- [7] 허창우, 이문기, 김봉열, "강유전성 PbTiO<sub>3</sub> 박막의 형성 및 계면특성", 대한전자공학회 논문지, 26권 7호, pp.83-89, 1989
- [8] K. Aflatooni, a-Si:H Schottky diode direct detection pixel for large area x-ray imaging, IEEE IEDM, December 7-10, Washington, D.C., 1997.
- [9] 윤재석, 허창우, "게이트 산화막에 따른 n-MOS FET의 금속 플라즈마 피해", 한국해양정보통신학회 논문지 vol.3, No.2, pp. 471-475, 1999.

#### 저자소개



**허창우(Chang-wu Hur)**

1991.2 : 연세대학원 전자공학과  
공학박사

1986.9~1994.2 : 금성사 중앙  
연구소

1994.3~현재 : 목원대학교 IT공  
학부 부교수

※관심분야 : 반도체공학 및 VLSI 설계