

# TDM/DATA 통합시스템용 백플레인 설계 및 구현

정희원 양 충 열\*, 이 종 현\*, 김 환 우\*\*

## Design and Implementation of Converged Backplane for TDM/Data System

Choong-reol Yang\*, Jong-hyun Lee\*, Whan-woo Kim\*\* *Regular Members*

### 요 약

본 논문에서는 음성과 데이터를 통합한 다양한 멀티미디어 서비스를 통합적으로 제공할 수 있는 차세대 통신 시스템으로 개발중인 160 Gbps 급 TDM/Data 통합 시스템의 백플레인 구조를 제시하였다. 상용 부품을 사용하여 설계 및 제작된 백플레인 구조에서 10 Gbps 이상의 전송성능을 검토하고 입증하였다.

*키워드* : TDM, 차세대통합망, 통합 백플레인

### ABSTRACT

This paper will discuss the Design and Implementation of common Backplane for TDM/Data System. Transmission performance of over 10Gbps in proposed commom or converged backplane architecture was discussed and demonstrated using readily available components.

*Key words* : TDM, NGcN, convergence backplane

### I. 서 론

최근 인터넷 문화가 급속히 확산되면서 음성에서 광대역 초고속 통신환경으로 급격히 전환되고 97년 이후 음성 트래픽이 5%, 데이터 트래픽이 300% 증가 함에 따라 대부분의 공공 및 민간 통신 네트워크 들은 음성 트래픽으로부터 이더넷이나 IP를 포함하는 데이터 트래픽으로 향하는 근본적인 전환에 직면하고 있다. 이는 전형적인 서킷기반의 SONET/SDH 전송 네트워크에 부담을 가중시키고 있다. 왜냐하면 SONET/SDH (동기식 광통신망/동기식 디지털 계위)가 TDM (시분할 다중) 트래픽을 위해 설계되었지 데이터 통신과 같은 예측하기 어려운 트래픽 흐름을 위해 설계된 것이 아니기 때문이다.

따라서 전화망 (PSTN), 인터넷, 비동기 전송 모드 (ATM), 전송망, 무선망 등의 서로 다른 망을 하

나의 공동된 망으로 구조를 단순화하여 음성(voice)과 데이터를 통합한 다양한 멀티미디어 서비스를 통합적으로 제공할 수 있는 차세대 통신 네트워크 및 시스템이 요구되고 있다. 최근 ITU-T, ETSI, IETF 등 국제 NGcN 관련 표준화 기관들의 NGcN (차세대 통합망) 표준화 연구가 활발히 논의되고 있어 머지않아 관련 시스템이 통신시장에 나올 것으로 기대된다.

백플레인을 이용하여 10 Gbps 데이터를 성공적으로 전송하기 위해서는 채널 설계 그리고 능동소자 기술이 함께 고려될 때 가능하다.

본 논문은 그림 1에 보인 160 Gbps급 (full duplex) TDM/Data 통합 시스템을 위한 백플레인의 설계 및 구현에 대하여 기술한다. 이를 위해 I장 서론에 이어 II장에서는 관련연구를 제III장에서는 160 Gbps TDM/Data 통합 시스템 백플레인 고속 신호선에 대하여 기술한다. 제IV장에서 시험 및 고

\* (cryang@etri.re.kr) 한국전자통신연구원 광전달망기술팀

\*\* (wwkim@cnu.ac.kr)

논문번호 : #040053-0202, 접수일자 : 2004년 2월 2일

찰을 수행하고, 제 V장에서 결론을 맺는다.

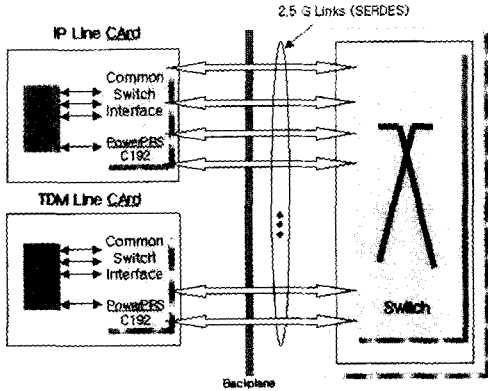


그림 1. TDM/Data 통합 시스템

## II. 관련연구

시스템 개발 추세가 고속 동작, 고성능 및 저가격을 요구하므로 시스템 신호 요구조건도 자연스럽게 이에 맞추어 고속 설계, 저전력 소모, 저전압 동작 및 낮은 잡음조건을 고려하여 고속 데이터의 처리를 위해 나온 데이터 표준으로서 LVDS (Low Voltage Differential Signaling)를 채택하였다. 잘 아는 바와 같이 TTL은 +5 V와 0 V 논리회로인데 0에서 +5 V까지 올라가다 보니 많은 시간이 필요하다. 그래서 고속 신호처리를 위해 나온 것이 ECL이며 이는 -1.2 V 기준으로 0.8V로 스윙 (swing)한다. 그러나 음전압을 사용하므로 다소 귀찮은 면이 있기 때문에 나온 것이 LVDS 이다. LVDS는 +1.2 V를 기준전압으로 0.4 V의 저전압 스윙을 하므로 매우 빠른 속도를 제공한다. 이 밖에 LVDS는 잡음 개선, EMI 영향 개선, 저전력 소모, 간단한 종단 등의 장점을 제공한다.

그림 3에 디퍼런셜 모드의 토폴로지를 나타내었고 이 때 100 ohm 종단 신호를 나타내었다.

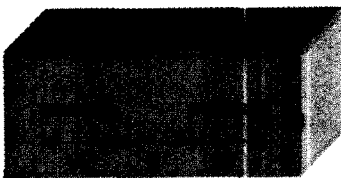


그림 2. Strip-line

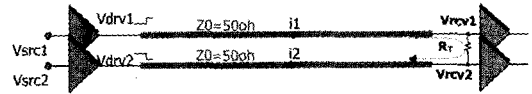


그림 3. 디퍼런셜 모드 토폴로지

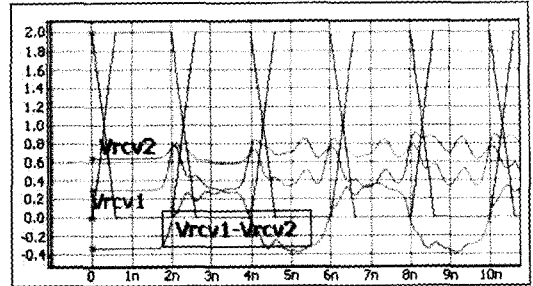


그림 4. 디퍼런셜 모드 파형 (100 ohm 종단)

Strip-line에 대한 디퍼런셜 (differential) 임피던스는 다음 식으로 산출된다.

$$Z_{Diff} = 2 \times Z_0 [1 - 0.347 \times \exp(-2.9 \times s/h)]$$

다음은 PCB 상에서 LVDS를 설계할 때 고려하여야 할 사항이다.

- 가능한 가깝게 디퍼런셜 전송선을 배치할 것.
- 디퍼런셜 전송선간 거리는 전체 길이에 대해 일정할 것.
- 통과, 90도 회전 같은 불연속 개소를 최소화할 것.
- 가능한한 리시버에 가깝게 종단저항을 배치할 것.
- LVDS 층은 다른 신호 (Single-ended-signal) 층에서 분리될 것. 만약 부득이 같은 층에서 다른 신호와 함께 사용될 경우에는 누화 영향을 피하기 위해 다른 신호로부터 적어도 12 mm 이상 떨어져 배치할 것 등이다.

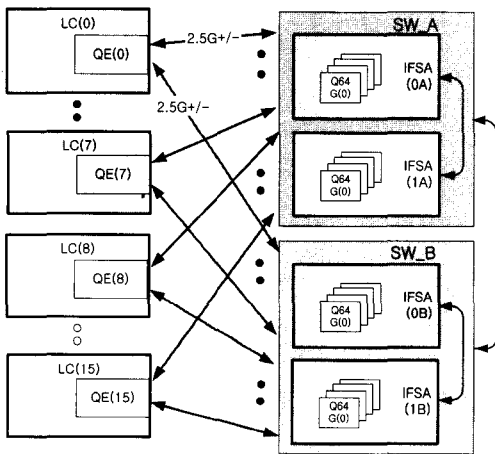
## III. 160 Gbps TDM/Data 통합 시스템 백플레인 고속 신호선

### 1. 범용 스위치패브릭 모듈

그림 5는 IBM 소자를 이용하여 스위치 패브릭 모듈을 구성하는 경우의 연결도를 보여준다. 각 라인 카드는 10G 용량의 큐잉엔진 (QE)을 가지고 16

매의 보드로 160 Gbps의 용량을 가질 수 있다. 라인 카드는 이중화된 스위치 카드 “A”와 “B”에 2.5 Gbps의 디퍼런셜 신호선으로 연결되고 아울러 포트 단위의 타이밍 신호와 out-band 신호가 연결되어 있다. 스위치 카드의 큐잉엔진과 라인카드는 백플레인을 통하여 10G CSIX (Common Switch Interface) 인터페이스를 갖는다.

320 Gbps의 확장성 (Scalability) 용량은 160 Gbps 용량에 사용된 동일한 스위치 카드를 2매 (“1A”, “1B”) 더 추가 실장함으로써 이중화와 함께 구현된다. 단, 이 경우에는 CSIX 권고 패턴 길이를 만족시키기 위해 그림 7의 백플레인에서 스위치 보드의 위치가 중앙에 온다.



- (Notes)
1. LC(Line Card)당 20G 용량 기준임.
  2. QE(Queue Engine)는 IBM(C-192, 2개 실장)기준임
  3. 전체 : 320G 구성, 노란색 블록 구성시 : 160G 구성임
  4. IFSA(Interconnection and Fabric Switch PBA:가)에서 IBM(O64G, 4개 실장) 기준임
  5. 확장성 위한 IFSA0과 1 사이의 신호 고려 필요
  6. 이중화 를 위한 IFSA(A)와 (B)사이의 신호 고려 필요
  7. IFSA와 QE보드는 상용소자 제작사에 무관하게 실장됨.
  8. 이중화 : 1+1 frame switch card redundancy 제품

그림 5. 범용 스위치 패브릭 모듈의 연결도

2. 160 Gbps TDM/Data 통합시스템 백플레인

<표 1>에 PCB 재질간 유전율(Dielectric constant), Loss tangent, 가격 등의 특성[2]을 비교 하였다. FR-4는 1 GHz 까지는 신호의 감쇄나 전달 특성이 비교적 좋으나 그 이상에서는 감쇄 특성이 좋지않은 것으로 파악되었다. 이에 비해 GETEK 이나 ROGERS 등 기타 다른 저유전율 원판은 그림 6에서 보는 바와 같이 고주파에 강하고 1 GHz 이상에서도 신호감쇄 및 전달 특성이 좋다. <표 1>에서 손실은 전송선으로 전달되는 주파수가 커짐에 따라 고속신호 전송시 전체 감쇄에 주된 영향을 미

치는 dielectric loss로서 설계할 때 주의깊게 고려해야 하는 인자이다. 가격 인자는 12층 백플레인 보드에서 산출한 것이다.

<표 1> PCB 재질 비교

| 재질          | 유전율 | 손실    | 온도 ((C) | 습도흡수 (%) | 상대적 비용 |
|-------------|-----|-------|---------|----------|--------|
| FR-4        | 4.4 | .018  | 180     | .1       | 1      |
| GETEK       | 3.9 | .012  | 180     | .12      | 1.1    |
| ROGERS 4350 | 3.5 | .004  | 280     | .06      | 2.1    |
| ARLON CLTE  | 2.9 | .0025 | 288     | .04      | 6.8    |

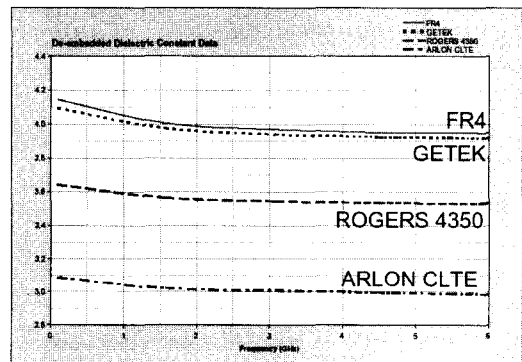


그림 6. 재질별 유전율 특성비교

그림 7은 160G급 차세대 전송 시스템을 위한 백플레인 구조이다. QoS (Quality of Service) 를 보장하기 위해 좌로부터 스위치 2매, 라인 카드 6매, 그리고 우측에 프로세서 보드 2매를 실장하여 1+1 redundancy 를 제공하기 적절한 구조로 제안된다. 백플레인 보드는 스위치 카드와 라인 카드를 1+1 redundancy를 갖도록 이중화 구조(working/protection)로 연결하는 기능을 가지며 두 스위치 카드와 라인 카드들 간의 신호선은 케이블 방식에 의한 송수신 디퍼런셜 신호로 구성된다. 그림에서 보는 바와 같이 10Gbps급 16 포트 구성되는 160 Gbps 용량의 스위치 카드와 2.5 Gbps 속도의 라인 카드는 케이블 솔루션으로서 서로 고속 케이블 (Hard Metric HM-Zd)로 연결되므로 패턴에 의한 전송선 연결은 없다. 만약 패턴으로 연결되는 경우 상호 보드간 인터페이스 속도가 10 Gbps로서 고속 인터페이스가 패턴 또한 1+1 redundancy 구조로 밀도가 매우 높아질 것이 예상된다. 더구나 송수신 전송선의 길이와 간격을 일정하게 하고 직선에 가깝도록

배선하지 않으면 신호검출에 어려움이 따를 수 있다. 따라서 PCB 재질을 저유전율인 재질로 바꾸어야만 가능하기 때문에 기존의 방법[1]에 비해 시스템 설계가 어렵고 비용 또한 크게 증가된다. 본 설계에서 백플레인의 전송선 선폭과 전송선 사이의 거리는 각각 8 mil, 10 mil (Edge-to-edge)이며 16층으로 설계되었다. 그리고 사용한 copper는 1 oz와 1/2 oz가 임피던스의 큰 차이가 없으나 내층 및 외층 공히 1 oz 이다. 백플레인 위에서 고속 신호선의 연결 방법은 다음과 같다. 즉,

- unlink 관련 신호들은 1:1 HM-Zd 케이블로 연결한다.
- 신호선의 임피던스는 50 ohm (10 %가 되도록 한다.
- 디퍼런셜 신호선 간의 임피던스는 100 ohm (10 %가 되도록 한다.
- 디퍼런셜 신호선 간의 skew는 2 ps 이내가 되도록 한다.

그 밖에 백플레인 클럭 신호선 라우팅과 프로세서 보드를 위한 라우팅은 ATM (Asynchronous Transfer Mode) 백플레인 설계 규격[5]에서 제시하는 백플레인, 라인 카드 및 네트워크 카드를 위한 설계 요구조건을 최대한 수용하여 설계하였다. ATM 백플레인 설계 규격에 따르면, 백플레인, 네트워크 카드 및 라인 카드가 각각 다른 클럭 버스 와 데이터 버스 구현 룰을 제시하고 있다. <표 2>에 대표적인 백플레인 클럭 버스 설계 룰을 나타내었다.

< 표 2 > 백플레인 클럭 버스 설계 룰

|        |                                    |
|--------|------------------------------------|
| 슬롯간 거리 | 슬롯간 전송선 거리는 1인치 이내일 것              |
| 임피던스   | 65 ohm (10 %                       |
| 종단 저항  | 버스는 V+에 대해 24 ohm(5 % 폴업저항으로 종단될 것 |
| 버스 라우팅 | Printfiled 를 통해 단일 트랙으로 라우팅 될 것    |
| 버스 간격  | 보드상에서 임의의 전송선과 최소 50mil 이상 거리를 둘 것 |

### 3. 고속 커넥터 케이블

일반적으로 스위치 카드와 라인 카드간 연결은 백플레인에서 PCB 패턴으로 연결하는데 이는 전송선의 길이가 길어짐에 따라 신호선의 감쇄가 많이

발생하고 지연 또한 길어지는 것으로 알려져 있다. 더구나, 1G 이상의 고속일 경우 패턴 길이가 20 cm 이상이면 지터(Jitter), 지연 및 손실 등의 감쇄 정도가 더욱 크게 발생한다[2]. 그러므로 디퍼런셜 신호선 처리에 적합한 구조를 갖는 고속 케이블 헤더 어셈블리가 제안된다.

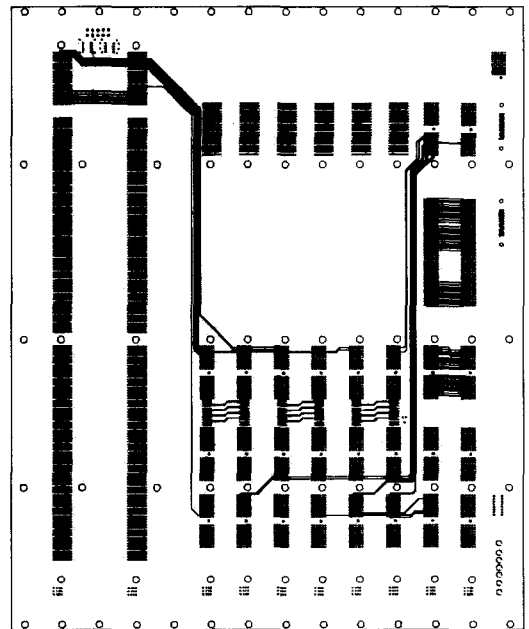


그림 7. 160G 스위치 카드와 라인 카드간 연결을 위해 제안된 새로운 백플레인 형상

설계된 스위치 카드와 라인 카드의 크기는 가로 450 mm, 세로 550 mm 이고 백플레인 보드의 크기는 폭 480 mm, 높이 580 mm 로서 매우 큰 편이다. 따라서 그림 3에서 보는 바와 같이 스위치 카드에서 라인 카드까지 전송선의 길이가 최대 26" 이상 길어짐을 알 수 있으며 이는 CSIX 인터페이스 (Common Switch Interface) 에서 권고하는 패턴 (전송선) 거리 20 cm를 훨씬 웃도는 것으로 신호의 감쇄가 많이 발생하고 전송지연 또한 커져[1] 패턴에 의한 설계가 부적절함을 알 수 있다.

따라서 본 시스템은 스위치 카드와 라인 카드 각각의 임출력부는 그림 9와 같은 고속 하드 메트릭 커넥터[3]를 사용하고 고속 케이블 헤더 어셈블리[4]를 이용하여 백플레인 보드를 통해 인터페이스를 제공한다. 스위치 카드 (QE)와 라인카드는 서로 2.5 Gbps 인터페이스를 가지므로 1 m 길이의 고속 케이블에 의한 접속 방법을 최선의 방법으로 채택하

였다. 그림 8에서 보는 바와 같이 기존의 스위치 카드와 라인카드간 연결된 백플레인 구조는 많은 라우팅을 필요로 한다. 따라서 감쇄, 지터 및 노이즈 등 성능 감쇄가 수반되고 최대 설계 용량은 10 Gbps I/O 속도를 가정한다고 하더라도 시스템 설계 용량은 160 Gbps 에 불과하지만 본 논문에 제안된 방법에 따르면 160 Gbps ~ 수백 기가급 까지 성능 감쇄가 없는 우수한 성능의 시스템 설계가 가능하다.

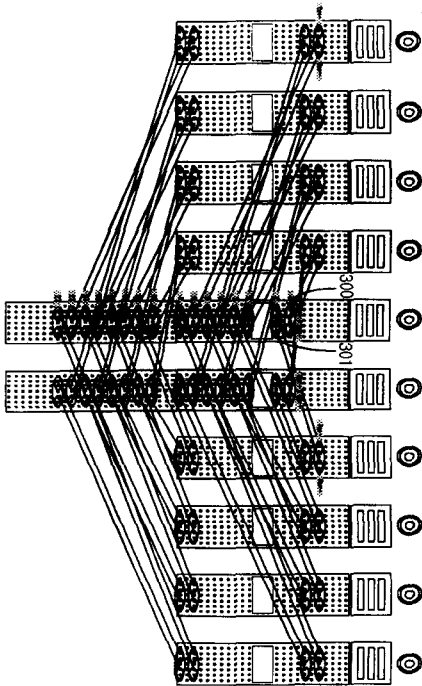


그림 8. 기존의 스위치 카드와 라인 카드간 연결된 백플레인 구조

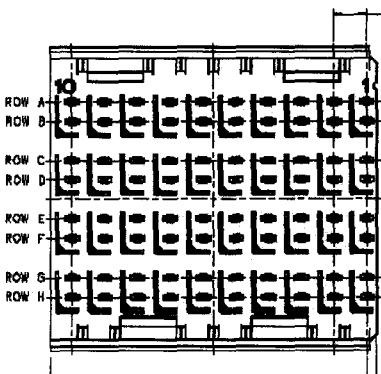


그림 9. 제안된 고속 케이블 헤더 어셈블리

#### IV. 시험결과 및 고찰

전송선 시뮬레이션은 Synopsys의 Hspice를 사용하여 시뮬레이션하고 드라이버와 리시버는 Vitesse의 VSC880/970 LVDS I/O 모델이고 커넥터 사이의 구간이 백플레인의 신호선을 나타낸다. 유전체는 유전상수 4인 FR-4를 사용하였다. 설계된 전송선은 선폭 8 mil, 전송선 사이의 간격 10 mil, 백플레인에서 GND와의 거리는 스트립 구조에서 그라운드가 신호선 위에 있을 때는 16 mil, 아래에 있을 때는 6 mil이고, 1 oz copper를 사용하였다. 이와 같이 구성하여 layer의 임피던스를 시뮬레이션한 결과 50 ohm을 나타내었으며 이는 요구된 임피던스에 부합된다.

시험 구성은 그림 10과 같으며 시험환경은 다음과 같다.

- 9x1GbE port (Packet analyzer)
- 1x1GbE port (L2 switch)
- 68 byte fixed length
- With VLAN ID
- 48-Hour duration

<표 3>은 그림 10의 시험 구성도에서 측정장비(MD1230A, Data Quality Analyzer)를 통해서 10Gbps의 데이터 패킷을 전송하고 스위치를 통해 수신한 시험결과로서 데이터 패킷에 대한 error 나 loss는 없었으며 Packet loss는  $1.1 \times 10^{-11}$ 으로 측정되었다.

시험결과에 따르면, FR-4에 의한 백플레인 채널 설계 (구조, 부품선정 및 제작)와 고속 케이블 선정을 적절히 할 때 시스템 요구조건을 만족하는 수준의 10 Gbps 데이터 전송이 가능한 것으로 나타났다.

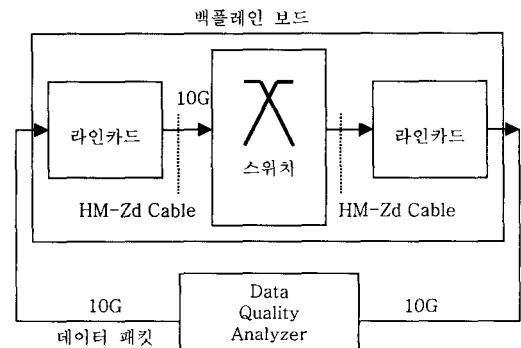


그림 10. 시험 구성도

〈표 3〉 패킷 송수신시험 결과

| Errors For LOOPBACK 01_03  | Count              |
|----------------------------|--------------------|
| Link State                 | Link Up            |
| Line Speed                 | 1000 Mbps          |
| Duplex Mode                | Full               |
| Frames Sent                | 244,541,879,896    |
| Valid Frames Received      | 244,541,879,893    |
| Bytes Sent                 | 16,628,847,832,656 |
| Bytes Received             | 16,628,847,832,656 |
| Fragments                  | 0                  |
| Undersize                  | 0                  |
| Oversize and Good CRCs     | 0                  |
| CRC Errors                 | 0                  |
| Vlan Tagged Frames         | 244,541,879,893    |
| Flow Control Frames        | 0                  |
| Dribble Errors             | 0                  |
| Collisions                 | 0                  |
| Late Collisions            | 0                  |
| Collision Frames           | 0                  |
| Excessive Collision Frames | 0                  |
| Oversize and CRC Errors    | 0                  |
| User Defined Stat 1        | 0                  |
| User Defined Stat 2        | 0                  |
| Capture Trigger (UDS 3)    | 244,541,879,893    |
| Capture Filter (UDS 4)     | 244,541,879,893    |

### V. 결론

본 논문에서는 음성과 데이터를 통합한 다양한 멀티미디어 서비스를 통합적으로 제공할 수 있는 차세대 통신 시스템으로 개발중인 160 Gbps 급 TDM/Data 통합 시스템으로 제안되는 백플레인 구조를 제시하였다. 그리고 본 시스템을 위해 스위치 카드와 2.5G급 라인 카드간 연결을 PCB 패턴 연결 방식이 아닌 백플레인을 통하여 케이블에 의한 연결방식으로 구현하고 기존의 방법보다 성능이 우수하고, 유지보수가 더 용이하며 비용이 저렴한 시스템 설계가 가능함을 보였다. 본 논문에서는 기존의 백플레인이 많은 라우팅을 필요로 하고 따라서 감쇄, 지터 및 노이즈 등 성능 감쇄가 수반되며 시스템 최대 설계 용량은 10G I/O 속도를 가정한다 해도 160 bps 에 불과하지만 제안된 백플레인에 의한 방법에 따르면 160 Gbps ~ 수백 기가급까지 성능 감쇄가 없는 우수한 성능의 시스템 설계가 실험을 통하여 가능함을 보였다.

※본 연구는 정보통신부 선도과제로 수행중임

### 참고 문헌

[1] 이상우, “고속라우터용 백플레인 설계 및 구현,” 대한전자공학회 추계종합학술대회 논문집 제23

권 제2호, pp. 275~278, 2000.11.

- [2] Chad Morgan, Dave Helster, “The Impact of PWB Construction on High-Speed Signals,” Technical Seminar H412, AMP incorporated, DESIGNCON99.
- [3] AMP P/N 1469074-1, HM-Zd 4 pair male header 1.8 mm tail length, for backplane.
- [4] AMP P/N 1713372-1, 0.5mm, 4pair Zd cable Ass’y 5 column, 1to 1 wiring pattern.
- [5] AMP, Implementing the TranSwitch CellBus Bus in Compact PCI Applications, Report #99GC001, Rev. 0.1, March 12, 1999.

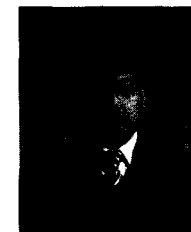
양 충 열 (Choong Reol. Yang) 정회원



1983년 2월 전국대학교  
전자공학과 (학사)  
1998년 8월 충남대학교  
대학원전자공학과 (석사)  
2004년 8월 충남대학교 대학원  
전자공학과 (박사수료)  
1997년 ~ 현재 한국전자통신

연구원, 책임연구원  
관심분야 : 신호처리, 디지털통신  
(cryang@etri.re.kr)

이 종 현 (Jong-Hyun, Lee) 정회원



1981년 2월 성균관대학교  
전자공학과 (학사)  
1983년 2월 성균관대학교  
대학원 전자공학과 (석사)  
1992년 2월 성균관대학교  
대학원 전자공학과 (박사)  
1983년 3월~ 현재 한국전자

통신연구원, 광전달망연구팀  
팀장, 책임연구원  
관심분야 : 광통신 시스템, 전송시스템

김 환 우 (Whan.Woo, Kim)

정회원



1977년 2월 서울대학교

전자공학과 (학사)

1979년 2월 한국과학기술원

전기전자공학과 (석사)

1988년 6월 University of

Utah, USA (Ph. D)

1979 년 ~ 현재 충남대학교 전자공학과 교수

관심분야 : 신호처리, 디지털통신, 이동통신

(wwkim@cnu.ac.kr)