

RPCVD를 이용한 실리콘 게르마늄 이종 접합 바이폴라 트랜지스터 제작 및 특성 분석

Fabrication and characterization of the SiGe HBTs using an RPCVD

한태현¹, 서광열^{1,a}

(Tae-Hyeon Han¹ and Kwang-Yell Seo^{1,a})

Abstract

In this paper, non-self-aligned SiGe HBTs with f_T and f_{max} above 50 GHz have been fabricated using an RPCVD(Reduced Pressure Chemical Vapor Deposition) system for wireless applications. In the proposed structure, in-situ boron doped selective epitaxial growth(BDSEG) and $TiSi_2$ were used for the base electrode to reduce base resistance and in-situ phosphorus doped polysilicon was used for the emitter electrode to reduce emitter resistance. SiGe base profiles and collector design methodology to increase f_T and f_{max} are discussed in detail. Two SiGe HBTs with the collector-emitter breakdown voltages (BV_{CEO}) of 3 V and 6 V were fabricated using SIC(selective ion-implanted collector) implantation. Fabricated SiGe HBTs have a current gain of 265 ~ 285 and Early voltage (V_A) of 102 ~ 120 V, respectively. For the $1 \times 8 \mu m^2$ emitter, a SiGe HBT with $BV_{CEO} = 6$ V shows a cut-off frequency, f_T of 24.3 GHz and a maximum oscillation frequency, f_{max} of 47.6 GHz at I_C of 3.7 mA and V_{CE} of 4 V. A SiGe HBT with $BV_{CEO} = 3$ V shows f_T of 50.8 GHz and f_{max} of 52.2 GHz at I_C of 14.7 mA and V_{CE} of 2 V.

Key Words : SiGe, SiGe HBT, RPCVD, IDP

1. 서 론

최근 셀룰라, PCS, IMT-2000 등 무선 통신 시장의 활성화로 고주파 반도체 소자에 대한 수요가 급증하고 있다. 이와 같은 무선 통신용 반도체 칩은 GaAs MESFET이나 AlGaAs/GaAs HBT 등 화합물 반도체로 제작했으나 최근 들어 실리콘 기판을 이용한 실리콘 게르마늄 이종 접합 바이폴라 트랜지스터(SiGe HBT)가 대안으로 주목받고 있다. SiGe HBT는 1987년 IBM[1]에 의해 처음 발표된 이래 꾸준히 연구되어 최근에는 800 MHz~2 GHz 대역의 개인 휴대 단말기의 송 수신단용 RFIC 제

작에 활용되고 있다. SiGe HBT는 실리콘 기판 상에 소량의 게르마늄이 첨가된 실리콘 게르마늄($Si_{1-x}Ge_x$) 단결정 박막을 성장하여 베이스 박막으로 사용함으로써 실리콘 기판 상에 쉽게 이종 접합을 구현할 수 있는 장점을 가지고 있다. 실리콘 반도체의 안정된 공정 기술과 저가의 대구경 웨이퍼를 사용함으로써 가격과 양산성 측면에서 기존의 화합물 반도체 소자에 비해 경쟁력을 확보하고 있다고 볼 수 있다[2]. 또한, CMOS 소자와 결합하여 쉽게 SiGe BiCMOS를 구현할 수 있기 때문에 시스템 단일 칩을 추구하는 시스템 IC 제작에 적합한 소자 기술로 평가받고 있다[3,4].

실리콘과 게르마늄은 4.2 %의 격자 상수 차이를 갖는데 이와 같은 격자 상수의 차이로 인해 실리콘 기판에 성장된 실리콘 게르마늄 단결정 박막은 임계 두께(critical thickness) 이하에서는 격자 결함을 유발하지 않고 압축 스트레인(compressive strain)

1. 광운대학교 전자재료공학과

(서울시 노원구 월계동 447-1)

a. Corresponding Author : kyseo@daisy.kw.ac.kr

접수일자 : 2004. 4. 30

1차 심사 : 2004. 6. 10

심사완료 : 2004. 6. 22

을 갖는다. 스트레인을 갖는 실리콘 게르마늄 단결정 박막은 실리콘의 에너지 밴드 갭 보다 작고 게르마늄의 에너지 밴드 갭 보다 큰 에너지 밴드 갭을 갖는다. Ge의 조성을 증가시키면 Ge 조성에 비례하여 에너지 밴드 갭이 감소하므로 SiGe 베이스 박막내의 Ge량을 선형적으로 변화시키면 전도대상에 drift field를 생기게 할 수 있다. 그림 1은 실리콘 바이폴라 트랜지스터와 SiGe HBT의 에너지 밴드 갭을 도시한 그림이다[5]. Ge 량을 베이스-컬렉터 접합 계면에서 에미터-베이스 접합 계면으로 선형적으로 감소시키면 그림 1과 같이 베이스의 전도대에 drift field($\Delta E_{g,Ge}(grade)$)가 형성된다. 에미터-베이스 접합에 순방향 전압이 인가되면 에미터에서 베이스로 주입된 전자는 drift field에 의해 쉽게 컬렉터로 천이하게 된다. 또한, 에미터-베이스 접합 계면의 Ge은 에미터-베이스 접합의 전도대의 에너지 밴드 offset($\Delta E_{g,Ge}(0)$)을 형성시켜 에미터에서 베이스로의 전자 주입을 증가시켜 트랜지스터의 전류 이득을 증가시킨다. SiGe HBT에서 전류 이득은 $\Delta E_{g,Ge}(0)$ 에 지수함수적으로 비례하여 증가한다.

따라서, SiGe HBT는 Si BJT에 비해 전류 이득이 크기 때문에 동일한 전류 이득을 얻으면서 베이스 도핑 농도를 높게 하거나 얇은 베이스를 형성할 수 있다. 바이폴라 트랜지스터에 있어서 베이스 농도를 높게 할 경우, Early 전압과 최대 진동 주파수(f_{max})가 증가하지만 전류 이득과 차단 주파수(f_T)는 낮아지고, 베이스를 얇게 하면 전류 이득과 f_T 는 증가하지만 베이스 저항의 증가로 f_{max} 가 감소한다. 바이폴라 트랜지스터의 성능 지수인 f_T 와 f_{max} 는 위와 같이 서로 trade-off 관계에 있기 때문에 동시에 증가시키는 것은 어려운 문제이다.

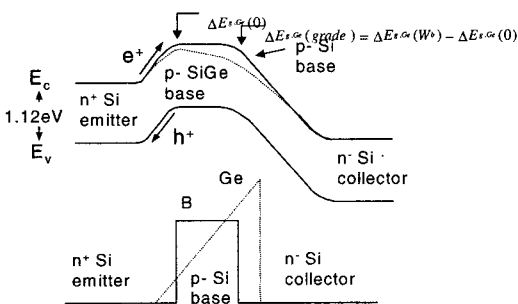


그림 1. 실리콘 바이폴라 트랜지스터 및 실리콘 게르마늄 이중 접합 바이폴라 트랜지스터의 에너지 밴드 다이어그램.

Fig. 1. Energy band diagram of Si BJT and SiGe HBT.

SiGe HBT에서는 베이스 박막내의 Ge 분포 및 에미터-베이스 접합 계면에서의 Ge 량을 적절히 조절함으로써 이와 같은 문제를 해결할 수 있다.

본 논문에서는 f_T 와 f_{max} 를 동시에 증가시키는 관점에서 실리콘 게르마늄 베이스 박막 및 컬렉터 도핑 농도를 설계하고, 베이스 저항을 최소화 할 수 있는 소자 구조 및 공정 방법을 적용하여 실리콘 게르마늄 이중 접합 바이폴라 트랜지스터를 제작하였다.

2. 소자 제작

실리콘 게르마늄 이중 접합 바이폴라 트랜지스터 제작 공정은 기존의 바이폴라 트랜지스터와 달리 실리콘 게르마늄 베이스 박막의 스트레인 이완으로 인한 격자 결함 유발을 방지하기 위하여 저온 공정으로 진행되어야 한다. 기존의 이온 주입에 의한 에미터와 베이스 다결정 실리콘 전극 형성은 저온에서 열처리할 경우 불순물의 활성화 부족으로 저항이 증가하여 트랜지스터의 성능이 저하되는 문제가 있다. 이와 같은 공정의 제약을 해결하기 위해서 본 논문에서는 실 시간으로 불순물이 주입된 다결정 실리콘을 베이스 및 에미터 전극으로 사용하였다. 다결정 실리콘 박막을 기상 화학 증착법으로 증착하는 동시에 불순물을 주입하는 경우는 이온 주입 방법 보다 불순물 활성화가 용이하기 때문에 저온 열처리에서도 낮은 면 저항을 얻을 수 있다. 본 논문에서는 베이스 전극 저항을 낮추기 위해서 티타늄 실리사이드 공정을 사용하였으며, 기존의 공정과 달리 에미터 전극 형성에 앞서 티타늄 실리사이드 베이스 전극 형성하는 특징을 갖는다. 본 논문의 실리콘 게르마늄 이중 접합 바이폴라 트랜지스터의 단면 구조도는 그림 2와 같으며, 다음과 같은 공정 순서로 제작되었다. 비 저항이 18 ~ 22 Ωcm 인 p형 실리콘 기판의 일부분에 비소(As)을 이온 주입하고 고온 열처리하여 n+ 매몰층(Buried layer)을 형성한 다음, 웨이퍼 전면에 불순물이 첨가되지 않은 단결정 실리콘 컬렉터 박막을 성장하였다. 컬렉터 박막 성장 시 n+ 매몰층으로부터 불순물의 외확산을 최소화하도록 박막 성장 조건을 조절하였다.

그림 3은 컬렉터 박막을 RBS (Rutherford backscattering spectrometry)로 분석한 결과이다. Random spectrum과 channeling spectrum의 RBS yield ratio는 5.8 %로 분석되었으며, 이로부터 양질

의 단결정 박막이 성장되었음을 확인하였다. 소자 격리를 위해 4.5~5.0 μm 깊이의 트렌치를 파고 다결정 실리콘을 채운 후 기계 화학적 연마(CMP) 방법으로 트렌치 이외의 다결정 실리콘을 제거한 다음, 통상적인 방법으로 LOCOS 산화막을 성장하였다. 다결정 실리콘은 산화막 보다 트렌치를 채우기가 쉽고, 산화막과 CMP 선택비가 좋기 때문에 트렌치 공정이 용이하다. 컬렉터 저항을 줄이기 위해 n^+ 컬렉터 플러그를 형성시킨 다음, 활성 영역의 컬렉터 도핑을 실시하였다. 컬렉터 도핑은 트랜지스터의 컬렉터-베이스 접합 용량(C_{jc})을 줄이기 위하여 그림 2와 같이 에미터의 아래 영역만 선택적으로 고농도 n -형 이온을 주입하는 SIC (Selective ion-implanted collector) 방법을 사용하였다. 이와 같이 컬렉터의 일부분만 도핑 농도를 높이는 방법은 f_T 를 증가시키는 동시에 베이스-컬렉터의 접합 용량의 증가로 인한 f_{max} 의 감소를 줄일 수 있다. 트랜지스터의 접합 항복 전압(BV_{CEO})이 3 V와 6 V가 되도록 컬렉터를 설계하기 위하여 도핑 농도를 달리 하여 SIC 이온 주입을 하였다.

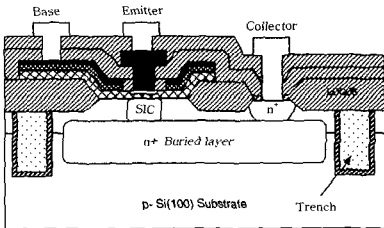


그림 2. 실리콘 게르마늄 이종 접합 바이폴라 트랜지스터 구조.

Fig. 2. Device structure of an SiGe HBT.

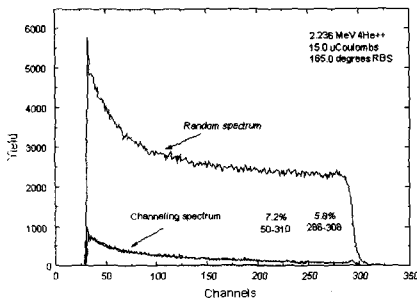


그림 3. 컬렉터 박막의 RBS 스펙트럼.

Fig. 3. RBS spectra of the collector layer.

SIC 이온 주입 후 1,000 $^{\circ}\text{C}$, 질소 분위기에서 30 분간 열처리하여 인을 확산시켰으며, 이때 이온 주입에 의한 격자 손상이 제거되도록 하였다. 소자 격리 및 SIC 공정이 완료된 기판 상에 실리콘 게르마늄 베이스 박막을 성장하였다. 실리콘 게르마늄 단결정 박막 성장을 위해 사용된 장비는 ASM사의 Epsilon-one으로 매엽식 방식의 CVD 시스템이다. 실리콘 게르마늄 단결정 박막 성장에 앞서 900 $^{\circ}\text{C}$, 수소 분위기에서 10분간 고온 열처리하여 실리콘 표면의 잔류 산화막을 제거하고 실리콘/실리콘 게르마늄/실리콘 다층 박막을 베이스 박막으로 성장하였다. 실리콘과 LOCOS 산화막으로 구성된 실리콘 기판의 전면에 실리콘 게르마늄을 성장시키기 위하여 먼저 불순물이 첨가되지 않은 실리콘 박막을 seed 층으로 성장하고, 650 $^{\circ}\text{C}$ 에서 SiH_4 및 GeH_4 가스를 이용하여 실리콘 게르마늄 박막을 450 \AA 두께로 성장하였다. 이때, 챔버 압력은 40 torr로 하였다. 실리콘 게르마늄 박막의 붕소 도핑 농도는 5×10^{19} atoms/ cm^3 으로 하였으며, Ge은 컬렉터쪽에서 에미터쪽으로 선형적으로 감소시켰다. 실리콘 게르마늄 박막 내의 Ge은 박막 성장 및 에미터 열처리에 의해 실리콘 게르마늄 단결정 박막의 스트레인이 이완되는 것을 방지하기 위하여 최대 10 %로 하였다. 실리콘 게르마늄 박막 위에는 에미터 접합 형성을 위해 수 백 \AA 두께의 실리콘 박막을 성장하였다.

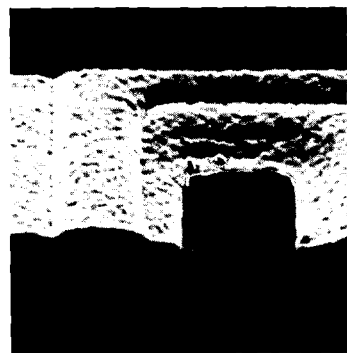


그림 4. 실리콘 게르마늄 베이스 박막 성장이 완료된 소자 단면도.

Fig. 4. A cross-section of the device after SiGe base epitaxial layer growth.

실리콘 게르마늄 박막 위에 성장된 실리콘 박막의 두께는 트랜지스터의 전류 이득 및 에미터-베이스

접합의 누설 전류에 영향을 주기 때문에 에미터 열처리 및 베이스 도핑 농도에 따라 신중히 결정되어야 한다.

그림 4는 베이스 박막이 완료된 소자의 AFM (Atomic force microscope) 단면 사진이다. 산화막 위에는 다결정 박막이 성장되며 실리콘 단결정 박막 위에는 단결정 박막이 성장됨을 볼 수 있다.

다음은 에미터가 형성될 활성 영역을 산화막으로 마스킹하고 베이스 전극이 형성될 부분에 붕소가 도핑된 실리콘 박막을 선택적으로 성장시켰다. 이 박막은 BDSEG(In-situ boron doped selective epitaxial growth)층이라 한다. BDSEG 층은 베이스 전극 저항을 감소시키고 이후 티타늄 실리사이드(TiSi₂) 형성 시 베이스-컬렉터 접합이 단락되는 것을 막고 또한, 티타늄 실리사이드가 형성되는 영역의 붕소 농도를 일정하게 유지하여 오픈 접촉을 좋게 하는 역할을 한다. 뿐만 아니라, 비활성 베이스 영역에 이온 주입 및 열처리에 의한 붕소의 측면 확산으로 인하여 베이스 폭이 넓어지는 것을 막을 수 있다. 베이스 저항을 줄이기 위해 Ti(200 Å)/TiN(300 Å) 박막을 웨이퍼 전면에 스퍼터링하고 열처리하여 베이스 전극 영역의 BDSEG 층 위에만 선택적으로 티타늄 실리사이드를 형성하였다. 티타늄 실리사이드는 다결정 실리콘 보다 면 저항이 월등히 작기 때문에 f_{max} 를 증가시키기 위해서 매우 유용하다. 특히, 실리콘 게르마늄 박막의 스트레인 이완을 막기 위해 고온 열처리 공정을 할 수 없는 SiGe HBT 제작에 있어서 반드시 필요하다고 볼 수 있다. 본 논문에서 티타늄 실리사이드의 면 저항은 2 ~ 3 Ω/□ 으로 측정되었다.

다음은 2,000 Å 두께의 저온 산화막을 웨이퍼 전면에 적층하고 에미터 영역을 식각하여 실리콘에 노출되도록 하였다. 에미터 접합 형성 및 에미터 전극 형성을 위해서 실시간 인이 주입된 다결정 실리콘(IDP, In-situ phosphorus doped polysilicon)을 650 °C에서 2,000 Å 두께로 웨이퍼 전면에 적층하였다. IDP 박막은 이온 주입 후 열처리 하는 경우보다 불순물 활성화가 용이하여 저온 급속 열처리 공정으로 낮은 면 저항 값을 얻을 수 있기 때문에 SiGe HBT 공정 및 SiGe BiCMOS 공정에서 아주 중요한 공정 중의 하나라고 볼 수 있다. 특히, IDP 공정 전 웨이퍼 세정 공정은 IDP 박막 특성 뿐 아니라 실리콘과 IDP 계면의 특성에 큰 영향을 주는 것으로 보고되고 있다[6,7].

IDP 박막 내의 불순물 활성화와 동시에 에미터 접합 형성을 위해 에미터 열처리를 실시하였다. 에

미터 열처리는 실리콘 게르마늄 박막의 스트레인 이완을 막기 위해 가능한 낮은 온도에서 짧은 시간에 실시해야 한다. 본 논문에서는 다결정 실리콘의 면 저항을 줄이기 위하여 IDP 박막을 저온에서 재결정화한 다음 800 °C에서 수 초 동안 급속 열처리를 하였으며, 열처리 후 다결정 실리콘의 면 저항은 60 Ω/□ 을 얻었다. 이와 같은 결과는 이온 주입 후 동일한 열처리로는 얻을 수 없는 값으로 IDP 박막의 특징이라고 볼 수 있다.

그림 5는 제작 공정이 완료된 SiGe HBT의 단면도를 보여 주는 주사 전자 현미경 사진이다.

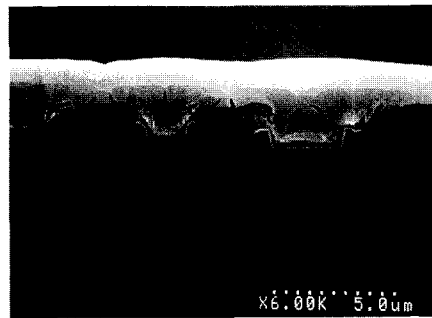


그림 5. 제작 공정이 완료된 SiGe HBT의 주사 전자 현미경 사진.

Fig. 5. A SEM photograph of the fabricated SiGe HBT.

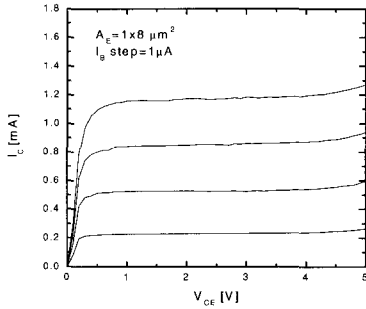
3. 결과 및 고찰

본 절에서는 컬렉터 설계에 따른 트랜지스터의 성능을 분석하기 위하여 SIC 농도를 달리하여 제작된 SiGe HBT의 전기적 특성을 비교 분석하였다.

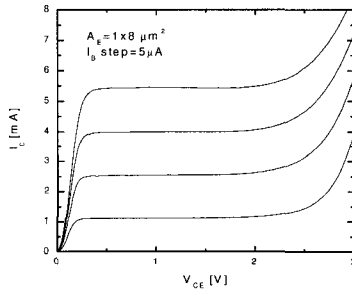
그림 6은 에미터 면적이 1×8 μm² 인 SiGe HBT의 전류-전압 출력 특성 곡선이다. 그림 6의 (a)는 트랜지스터의 항복 전압을 높이기 위하여 SIC 이온 주입량을 낮게 한 경우이고 (b)는 트랜지스터의 f_T 를 증가시키기 위해 SIC 이온 주입량을 증가시킨 경우이다. 두 트랜지스터의 BV_{CEO} 는 각각 6 V와 3 V로 측정되었다. Low SIC인 트랜지스터의 베이스-컬렉터 및 에미터-베이스 접합 항복 전압은 각각 17 V와 3.4 V로 측정되었으며, high SIC인 트랜지스터에서는 각각 5.5 V와 3.5 V로 측정되었다.

또한, 두 트랜지스터의 Early 전압은 베이스 도핑을 증가시킨 효과로 102 ~ 120 V로 큰 값을

얻을 수 있었다. 에미터 면적이 $1 \times 8 \mu\text{m}^2$ 인 트랜지스터의 에미터 저항은 5 ~ 6 Ω 로 낮은 값을 얻었으며, 이는 IDP를 에미터 전극으로 사용했기 때문으로 생각된다.



(a) Low SIC



(b) High SIC

그림 6. 제작된 SiGe HBT의 전류-전압 특성.

Fig. 6. I-V characteristics of the fabricated SiGe HBTs.

그림 7은 컬렉터 도핑을 달리한 두 트랜지스터의 컬렉터 전류 변화에 따른 전류 이득 특성을 측정된 결과이다. Low SIC인 경우, 트랜지스터의 전류 이득은 $I_c = 1.8 \text{ mA}$ 에서 최대 285를 얻었고, high SIC인 경우는 $I_c = 12.0 \text{ mA}$ 에서 최대 265를 얻었다. 전류 이득은 두 경우 비슷한 값을 보였지만, 전류 이득이 최대인 컬렉터 전류는 high SIC인 트랜지스터가 6배 이상 큰 것을 알 수 있다. 또한, low SIC의 경우, 고 전류 영역에서 전류 이득이 급격히 감소를 보였는데, 이는 컬렉터에 전자가 과도하게 주입됨에 따른 베이스 폭 증가 현상이 컬렉터 도핑이 낮은 경우에 더 쉽게 발생하기 때문이다.

그림 8은 제작된 트랜지스터의 대표적인 Gummel 특성 곡선이다. V_{BE} 가 낮은 영역에서 베이스 누

설 전류가 관찰되었다. 이것은 에미터-베이스 접합에서의 붕소 농도가 높기 때문에 발생한 접합 터널링 전류의 증가로 생각되며, 실리콘 게르마늄 박막 위에 성장된 실리콘 박막의 두께를 증가시키면 누설 전류를 감소시킬 수 있을 것으로 생각된다. 그림 8에서 컬렉터 전류의 이상 계수가 1.0에 근접한 것으로 보아 $650 \text{ }^\circ\text{C}$, 40 torr에서 성장된 실리콘 게르마늄 박막의 결정성은 양호한 것을 알 수 있다.

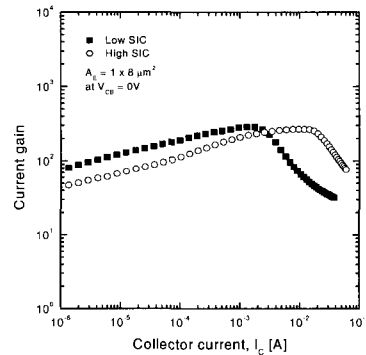


그림 7. 제작된 SiGe HBT의 전류 이득 특성.

Fig. 7. Current gain versus collector current of the fabricated SiGe HBTs.

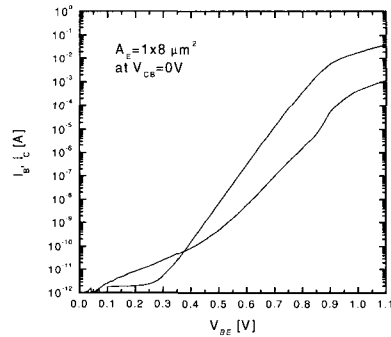


그림 8. 제작된 SiGe HBT의 대표적인 Gummel 특성 곡선.

Fig. 8. Typical Gummel plot of a fabricated SiGe HBT.

SiGe HBT는 베이스와 컬렉터 접합 계면에 기생 전위 장벽의 형성되지 않도록 하기 위해서 베이스와 컬렉터 접합은 실리콘-게르마늄 내에서 형성되

어야 한다. 실리콘 게르마늄 박막에서 붕소가 확산 되는 것을 고려하여 붕소가 첨가되지 않은 실리콘 게르마늄 박막을 베이스 박막 성장 전에 성장하면 붕소의 확산을 실리콘 게르마늄 박막 내에 한정시킬 수 있다. 베이스와 컬렉터 접합 계면에 기생 전위 장벽이 생긴 경우는 베이스에서 컬렉터로 주입되는 전자의 흐름을 방해하기 때문에 트랜지스터의 전류 이득 및 차단 주파수가 낮아진다. 기생 전위 장벽이 형성되었는지 유무는 그림 9와 같이 트랜지스터의 컬렉터-베이스 접합에 인가된 전압의 변화에 따라 전류 이득의 변화를 측정하여 알 수 있다. 기생 전위 장벽이 생긴 경우는 컬렉터 베이스 전압이 증가함에 따라 전류 이득이 크게 증가하는 현상이 발생하는데, 그림 9에서 볼 수 있듯이 제작된 SiGe HBT는 V_{CB} 의 증가에 따라 전류 이득의 변화는 거의 없었다.

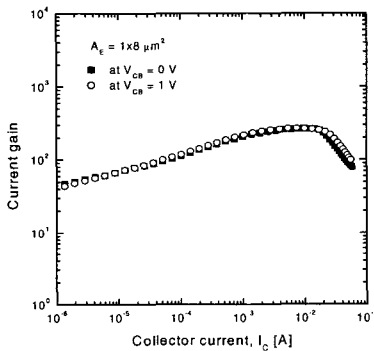


그림 9. 컬렉터-베이스 전압을 달리 했을 때 컬렉터 전류 변화에 대한 전류 이득 특성.

Fig. 9. Current gain versus collector current with different collector - base bias voltages.

그림 10은 low SIC 및 high SIC 트랜지스터의 컬렉터 전류 변화에 대한 차단 주파수 및 최대 진동 주파수의 변화를 보여 주고 있다. 그림 10의 주파수 특성을 얻기 위하여 먼저 트랜지스터와 open 및 short 패턴의 s-파라미터를 각각 측정하였다. 트랜지스터의 패드 및 금속 배선에 의한 기생 용량 및 인덕턴스 성분은 open 및 short 패턴으로부터 측정된 s-파라미터를 이용해서 de-embedding 하여 제거하였다. 캐패시턴스 성분은 y-파라미터로 변환하여 제거하였고, 인덕턴스 성분은 z-파라미터로 변환하여 제거하였다. De-embedding된 s-파라미터

를 이용하여 소 신호 전류 이득, h_{21} 과 단방향 전력 이득(unilateral power gain)을 측정 주파수 함수로 도시하고 각각의 크기가 1이 되는 주파수를 f_T 와 f_{max} 로 하였다. 그림 10에서 볼 수 있듯이, 동일한 V_{CE} 전압에서 측정된 f_T 와 f_{max} 값은 큰 차이를 보였다. Low SIC의 경우 f_T 와 f_{max} 는 2.4 mA의 컬렉터 전류에서 최대 값을 보였으며, 각각 20.6 GHz와 40.1 GHz였다. 반면, high SIC인 경우는 컬렉터 전류가 14.7 mA일 때 f_T 와 f_{max} 는 최대 값을 보였으며, 각각 50.8 GHz와 52.2 GHz였다.

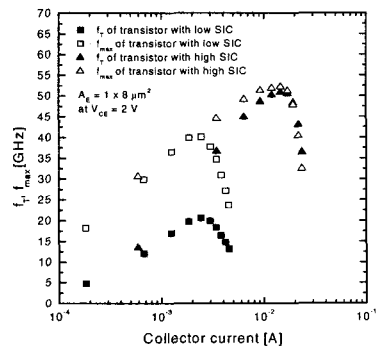


그림 10. 에미터 면적이 $1 \times 8 \mu\text{m}^2$ 인 SiGe HBT의 컬렉터 전류 변화에 대한 f_T , f_{max} 특성.

Fig. 10. f_T and f_{max} versus collector current for a SiGe HBT with $A_E = 1 \times 8 \mu\text{m}^2$.

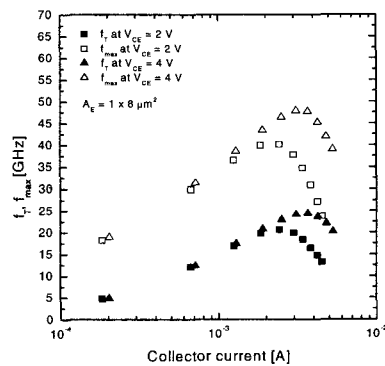


그림 11. V_{CE} 전압을 달리 했을 때 컬렉터 전류 변화에 대한 f_T , f_{max} 특성.

Fig. 11. f_T and f_{max} versus collector current for different V_{CE} voltages.

High SIC인 트랜지스터는 컬렉터 두께 및 도핑

농도를 최적화하여 BV_{CEO} 가 3 V로 낮아지는 대신에 f_T 와 f_{max} 를 동시에 증가시키는 결과를 얻었다. 동작 전압의 폭이 크지 않은 고속 디지털 회로나 광 전송용 회로 제작에 응용할 수 있을 것으로 생각된다.

Low SIC인 트랜지스터는 컬렉터 두께가 high SIC 보다 두껍고 컬렉터 도핑 농도가 낮아 f_T 가 다소 낮게 제작되었다. 그렇지만 BV_{CEO} 가 6 V로 크기 때문에 전력증폭기와 같은 응용 분야에 적용할 수 있을 것으로 생각된다.

그림 11은 V_{CE} 를 2 V에서 4 V로 증가시켰을 때 high SIC 인 트랜지스터의 고주파 특성을 보여 주고 있다. $V_{CE} = 4$ V인 경우 f_T 와 f_{max} 의 최대값은 컬렉터 전류가 3.7 mA에서 각각 24.3 GHz와 47.6 GHz로 측정되었으며, $V_{CE} = 2$ V인 경우 보다 각각 4.3 GHz와 7.6 GHz 증가하였다.

4. 결론

본 논문에서는 티타늄 실리사이드 베이스 전극을 다결정 실리콘 에미터 전극 보다 먼저 형성하는 비자기 정렬 SiGe HBT를 제작하여 f_T 와 f_{max} 가 동시에 50 GHz 이상 되는 우수한 고주파 특성을 얻었다.

컬렉터 설계를 달리하여 BV_{CEO} 가 3 V와 6 V인 두 종류의 SiGe HBT를 제작하였고, 제작된 트랜지스터의 전류 이득과 Early 전압은 각각 265 ~ 285와 102 ~ 120 V를 얻었다.

$BV_{CEO} = 3$ V인 SiGe HBT의 경우, f_T 와 f_{max} 는 $V_{CE} = 2$ V, $I_C = 14.7$ mA에서 최대 50.8 GHz와 52.5 GHz를 얻었으며, $BV_{CEO} = 6$ V인 SiGe HBT는 $V_{CE} = 4$ V, $I_C = 3.7$ mA에서 각각 24.3 GHz와 47.6 GHz의 f_T 와 f_{max} 값을 얻었다.

제작된 SiGe HBT는 성능이 우수하여 PCS나 IMT2000 등의 무선 통신 시스템의 송수신단 RFIC나 광 통신용 IC 제작에 활용할 수 있을 것으로 생각된다.

참고 문헌

- [1] S. S. Iyer, G. L. Patton, S. L. Delage, S. Tiwari, and J. M. C. Stork, "Silicon-germanium base heterojunction bipolar transistors by molecular beam epitaxy", IEEE IEDM Tech. Dig., p. 874, 1987.
- [2] D. L. Hareme, K. Schonenberg, M. Gilbert, D. Nguyen-Ngoc, J. Malinowski, S.-J. Jeng, B. Meyerson, J. D. Cressler, R. Groves, G. Berg, K. Tallman, K. Stein, G. Hueckel, C. Ker-marrec, T. Tice, G. Fitzgibbons, K. Walter, D. Colavito, T. Houghton, N. Greco, T. Kebede, B. Cunningham, S. Subbanna, J. H. Comfort, and E. F. Crabbe, "A 200 mm SiGe-HBT technology for wireless and mixed-signal applications", IEEE IEDM Tech. Dig., p. 437, 1994.
- [3] K. Washio, "SiGe HBT and BiCMOS technologies for optical transmission and wireless communication systems", IEEE Transactions on Electron Devices, Vol. 50, No. 3, p. 656, 2003.
- [4] D. L. Hareme, E. F. Crabbe, J. D. Cressler, J. H. Comfort, J. Y. -C, Sun, S. R. Stiffler, E. Kobeda, J. N. Burghartz, M. M. Gilbert, J. C. Malinowski, A. J. Dally, S. Ratanaphanyarat, M. J. Saccamango, W. Rausch, J. Cotte, C. Chu, and J. M. C. Stork, "A high-performance epitaxial SiGe-base ECL BiCMOS technology", IEEE IEDM Tech. Dig., p. 19, 1992.
- [5] D. M. Richey, J. D. Cressler, and A. J. Joseph, "Scaling issues and Ge profile optimization in advanced UHV/CVD SiGe HBTs", IEEE Transactions on Electron Devices, Vol. 44, p. 431, 1997.
- [6] Takashi Uchino, Takeo Shiba, Toshiyuki Kikuchi, Yoichi Tamaki, Atsuo Watanabe, and Yukihiro Kiyota, "Very-high-speed silicon bipolar transistors with in-situ doped polysilicon emitter and rapid vapor-phase doping base", IEEE Transactions on Electron Devices, Vol. 42, p. 406, 1995.
- [7] Takashi Hashimoto, Takahiro Kumauchi, Tomoko Jinbo, Kunihiko Watanabe, Eiichi Yoshida, Hideo Miura, Takeo Shiba, and Yoichi Tamaki, "Interface controlled IDP processes technology for 0.3 μ m high-speed bipolar and BiCMOS LSIs", BCTM Tech. Dig., p. 181, 1996.