

## SDH와 SONET망의 동기화를 위한 포인터 해석기의 FPGA 구현

## FPGA Implementation of a Pointer Interpreter for SDH/SONET Network Synchronization

이 상 훈\*, 박 남 천\*, 신 위 재\*

Sang-Hoon Lee\*, Nam-Chun Park\*, Wee-Jae Shin\*

## 요 약

본 논문에서는 동기식 광전송망인 SDH와 SONET망의 동기화를 위해 적용되는 포인터 해석기의 FPGA 구현을 다룬다. 설계된 포인터 해석기는 포인터 추출 모듈과 포인터 해석 모듈로 구성된다. 포인터 추출 모듈은 6480진 카운터, 시프트레지스터, 포인터 워드 동기화 블록으로 구성되며, 51.84 Mb/s AU-3/STS-1 프레임 데이터에서 프레임 동기신호에 의해 H1, H2 포인터 워드 값을 찾고 이를 8 분주하여 바이트 레벨의 6.48 Mb/s로 동기화 시킨다. 포인터 해석 모듈은 majority vote, 포인터 워드 유효·무효 검사, 포인터 정렬판단, NORM, AIS, LOP 상태 검사 블록들로 구성되며, 포인터 추출 모듈에서 추출한 동기화된 포인터 워드를 포인터 상태 천이 알고리즘에 의하여 주요 포인터 상태인 LOP, AIS, NORM으로 해석하고 포인터 정렬을 판단한다. VHDL로 설계하여 Xilinx Virtex XCV200PQ240 FPGA 칩으로 구현된 포인터 해석기의 시뮬레이션 결과는 프레임 데이터에서의 포인터 워드의 정확한 추출과 추출된 포인터 값에 따른 각종 포인터 상태를 판단함을 보여주었다. 본 논문에서 제시한 포인터 해석기는 광전송시스템의 수신 중단노드에서 155 Mb/s STM-1/STS-3 프레임의 포인터 해석을 위해 적용할 수 있어 SDH와 SONET망 모두에 활용할 수 있는 이점이 있다.

## Abstract

This paper describes FPGA implementation of a pointer interpreter which can support a synchronization of SDH(or SONET)-based transmission network. The pointer interpreter consists of a pointer-word extractor and a pointer-word interpreter. The pointer-word extractor which is composed of mod-6480 counter, shift register and pointer synchronizing block, finds out the H1 and H2 pointer word from a 51.84 Mb/s AU-3/STS-1 data frame and then performs the synchronizing with a 6.48 Mb/s by dividing them in 8. Based on the extracted pointer word, pointer-word interpreter analyzes pointer states such LOP, AIS and NORM according to pointer state-transition algorithm. It consists of a majority vote, a pointer word valid/invalid check, a pointer justification, and a pointer state check. The simulation results of Xilinx Virtex XCV200PQ240 FPGA chip shows the exact pointer word extraction and correct decision of pointer status based on extracted pointer word. The proposed pointer interpreter is suitable for pointer interpretation of 155 Mb/s STM-1/STS-3 frame.

**Key words** : SDH, SONET, Pointer interpreter, LOP, STM, STS

## I 서 론

\*경남대학교 전자공학과

접수 일자 : 2004. 3. 04      수정 완료 : 2004. 7. 15

논문 번호 : 2004-1-7

\*본 논문은 2001년도 경남대학교 학술연구조성비의 지원에 의해 수행되었음

광대역중합정보통신망(B-ISDN)의 하부구조에 가장 널리 사용되는 통신 방식은 SDH(Synchronous Digital Hierarchy)와 SONET(Synchronous Optical Network)이다. 오늘날 SDH/SONET 전송시스템은 10 Gb/s의 데이터 전송율을 가지며 WDM 광링크를 이용할 경우 수백 Gb/s의 초고속 데이터를 전송할 수 있다. SDH는 1988년

ITU-T에 의해 기존 PDH(Plesiochronous Digital Hierarchy) 신호를 포함한 다양한 형태의 데이터를 광 네트워크를 통해 초고속 데이터 전송이 가능하도록 정의한 동기식 디지털 통신의 국제 표준이고, SONET은 1985년 Telcordia(Bellcore)에 의해서 제안된 복미식 광통신 방식이다. SDH 및 SONET은 저속의 디지털 신호를 시분할 다중화 방식을 사용해 고속의 데이터 프레임으로 형성하는데 그 처리과정은 매핑(mapping), 정렬(aligning), 다중화(multiplexing), 포인터처리(pointer processing)이다. 이중 포인터 처리는 포인터의 정위치 정렬(positive stuffing)과, 부위치 정렬(negative stuffing) 수행에 의해 탄성버퍼(elastic buffer)로 전송망의 지터(jitter)나 원더(wander)에 대응할 수 있어 전송망의 동기화 유지에 중요한 역할을 수행한다.[1-2] 아울러 포인터 값에 의한 유료부하(payload) 데이터들의 동적인 할당을 가능케 하여 유사 동기식 하위 신호들인 SDH tributary units(TUs)와 SONET virtual tributaries(VTs)들을 손쉽게 접속시킬 수 있고, LOP(Loss Of Pointer), AIS(Alarm Indication Signal)등 포인터의 상태를 알려주어 통신망 관리 및 유지보수를 손쉽게 할 수 있다.

이와 같은 포인터 해석 기능을 수행하는 기존의 소자로 Texas Instruments사에서 개발한 SONET STS(Synchronous Transport Signal)-1 overhead terminator(TDC3001)[3]와 PMC-Sierra사의 VT/TU payload aligner/processor(PM5361)[4]가 있다. TDC3001은 전송시스템의 수신단에서 수행되는 포인터 해석 기능 외에 송신단을 위한 포인터 생성 기능도 포함하고 있어 포인터 해석만이 필요할 때는 회로의 낭비가 발생한다. 또한 SONET STS-1 프레임에 만 적용할 수 있는 제한점이 있다. 반면에 PM5361은 SDH STM-1 및 SONET STS-3을 모두 지원하는 범용 포인터 해석 프로세서이다. 하지만 이 소자는 SDH와 SONET의 모든 하위계위 신호들을 처리하기 위해 내부 동작 클럭 주파수가 51.84 MHz의 정수 분주율이 아닌 19.44 MHz로 동작하기 때문에 클럭 분주회로가 복잡하고, 상대적으로 소비전력이 큰 단점이 있다.

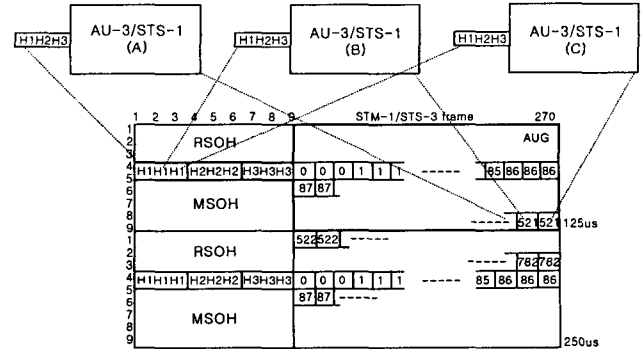
따라서 본 논문에서는 SDH 표준안[5-7]과 SONET 표준안[8]을 모두 만족시키고 클럭 분주회로를 51.84 MHz의 정수 분주율인 6.48 MHz로 간결화 하여 프레임 데이터의 바이트 처리가 용이한 포인터 해석기를 FPGA로 구현하였다.[9]

## II. 본 론

### 1. AU-3/STS-1 포인터 해석

그림1은 SDH와 SONET망에서 사용하는 3-그룹의 AU-3/STS-1 프레임 데이터들이 바이트 교직 다중화(byte interleaving multiplexing)에 의해 구성되는 AUG(Administrative Unit Group)/STS-3의 포인터 오프

셋 주소 값을 보여준다. AUG/STS-3는 155 Mb/s 프레임 데이터에서 다중화기 구간오버헤드(Multiplex Section Overhead)와 재생기 구간오버헤드(Regenerator Section Overhead)만이 제거된 SDH/SONET 기본 전송프레임의 직전단계의 데이터 프레임으로써 이후 전송시스템의 수신 단에서 바이트 교직 역 다중화 과정을 거쳐 다시 3-그룹의 AU-3/STS-1 프레임으로 분리된다. 따라서 SDH(또는 SONET) 전송망은 AU-3(또는 STS-1) 프레임 단위로 포인터를 해석한다.



MSOH(Multiplex Section OverHead)  
RSOH(RegeneratorSection OverHead)

그림 1. AU-3/STS-1 포인터 주소 값

Fig. 1. AU-3/STS-1 pointer offset numbering

그림2는 AU-3/STS-1 포인터 해석 상태도 이다. 포인터 해석 시 수행하는 기능은 포인터 워드 추출, 포인터 상태(LOP, AIS, NORM) 검출, NDF(New Data Flag) 검출, PJ(Pointer Justification) 판단, 프레임 오프셋 추출 등이 있다. 즉 전송망의 이벤트 발생조건에 따라서 정상 상태(NORM), 포인터유실상태(LOP)와 경보지시상태(AIS) 사이로 서로 천이하게 되므로 전송망의 동기화를 관리한다. 표1은 그림2의 포인터 상태천이를 위한 포인터 발생 이벤트에 관한 설명이다.

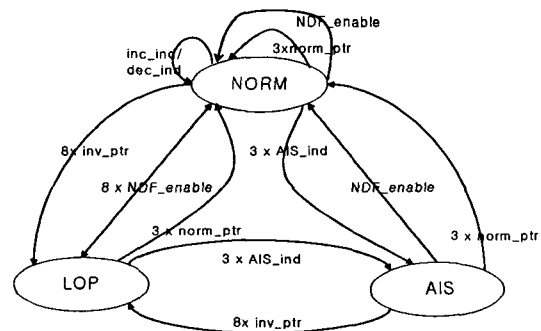


그림 2. 포인터 해석 상태도

Fig. 2. Pointer interpretation diagram

표 4. 포인터 상태전이 조건  
Table 4. Pointer transition conditions

상태	발생조건
inc_ind	NDF가 disable 상태이고 I-비트들이 모두 반전되어 있으며, 3프레임 이전에 NDF_enable, inc_ind, dec_ind 이벤트가 없는 경우에 발생된다.
dec_ind	NDF가 disable 상태이고 D-비트들이 모두 반전되어 있으며, 3프레임 이전에 NDF_enable, inc_ind, dec_ind 이벤트가 없는 경우에 발생된다.
3 x norm_ptr	NDF가 disable 상태이고 포인터 값이 유효범위 안에 있을 때 norm_ptr 상태가 되고, 이 이벤트가 3프레임 연속일 때를 의미한다. 8xinv_ptr 보다 우선순위가 앞선다.
NDF_enable	포인터 값이 유효범위 안에 있고 NDF '1001' 값에 3비트 이상이 정합 될 때 발생된다.
3 x AIS_ind	포인터 바이트 H1, H2의 값이 모두 1일 때 AIS_ind가 발생하며 이것이 3프레임 연속일 때를 의미한다.
8 x inv_ptr	포인터 값이 유효범위를 초과하거나 유효범위는 만족하나 NDF가 enable 되어 있지 않고 그 값이 매 프레임마다 변화하는 경우에 inv_ptr 이벤트가 발생하며 이것이 연속으로 8프레임 발생할 때를 의미한다.
8xNDF_enable	NDF_enable 8프레임 연속발생 할 때를 의미한다.

2. 포인터 해석기 설계

그림2에서의 포인터 해석 상태도에 근거하여 본 논문에서 제시한 포인터 해석기의 전체 구성도는 그림3과 같다. 포인터 추출 모듈(pointer finder)은 입력 AU-3/STS-1 데이터 프레임 중 포인터 워드(pointer word)를 추출하는 기능을 수행하고, 포인터 해석 모듈(pointer interpreter)은 포인터 추출 모듈로부터 추출된 포인터 워드를 근거로 전송망의 상태를 판단하는 기능을 수행한다.

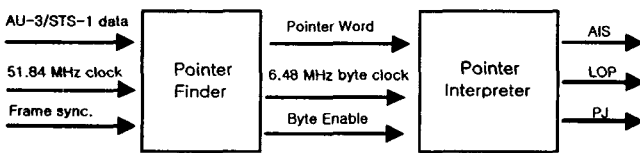


그림 3. 포인터 해석기의 구성도  
Fig. 3. Pointer interpreter architecture

2.1 포인터 추출 모듈

SDH/SONET의 다중화 및 역 다중화 과정은 바이트 중심으로 행해지나 실제 전송 네트워크는 비트 스트림 방식으로 이루어지고 있다. 따라서 수신 노드에서의 프레임 처리는 비트 스트림으로부터 데이터를 바이트 화 시

키는 과정이 필요하게 된다. 포인터 추출 모듈은 상위 링크로부터 역 다중화된 AU-3/STS-1 프레임의 비트 스트림으로 받게 되고 이를 바이트 화 하기 위해 8비트 시프트 레지스터를 사용한다. AU-3/STS-1 프레임의 클럭 주파수는 51.84 MHz 이므로 바이트 화에 따른 클럭은 6.48 MHz가 된다. 이 주파수는 포인터 추출 모듈 내부의 카운터 회로로부터 주파수 분주를 통해 얻게 되고 레지스터 이후 모든 내부 회로는 이 주파수에 동기된다. 카운터 회로는 9행 x 90바이트 열 x 8비트 = 6480진 카운터로 동작하는데 이는 AU-3/STS-1 프레임 내의 포인터 값을 찾기 위함이다. AU-3/STS-1 포인터의 위치는 전체 810 바이트 중 211, 212번째 바이트이다. 그림4는 AU-3/STS-1 포인터 바이트 H1, H2의 구성을 나타낸 것이다. I, D는 정, 부 위치정렬이 있음을 알리는 비트들로서 I-비트의 값들이 모두 반전되면 정 위치정렬을 의미하고 D-비트의 값이 반전되면 부 위치정렬이 된다.

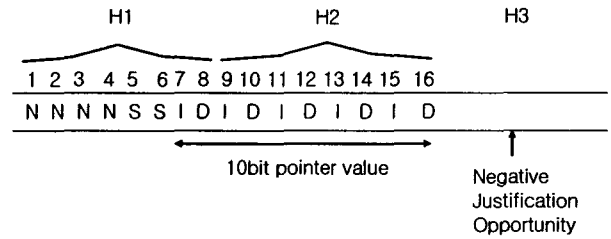


그림 4. 포인터 바이트(H1, H2) 구성  
Fig. 4. Pointer byte(H1, H2) coding

NDF의 4개의 N-비트들은 포인터 값이 변경되었음을 알리기 위해 쓰이며 1비트 에러 발생에 대비하여 NDF enable '1001', NDF disable '0110' 중 3비트 이상이 정합 되면 해당 상태로 판단하는 majority vote 회로로 구성한다. 이상과 같이 I, D 비트들과 NDF 비트들의 반전은 해당 이벤트 발생을 수신 단에서 용이하게 검출할 수 있게 한다. 또한 I, D로 표시된 비트 7~16까지의 10비트는 동기식 유효부하 공간 내에 VC(Virtual Container)-3 혹은 STS-1 SPE(Synchronous Payload Envelope) 유효부하들의 시작점을 나타내는 포인터 오프셋 값이다. 따라서 AU-3/STS-1 포인터 주소범위는 0~1023까지 가능하나 유효범위는 0~782로 규정한다. 포인터 바이트의 5번, 6번 비트인 SS 비트들은 AU-3과 AU-4 등의 데이터 프레임의 종류를 구별하기 위해 사용되는데 포인터 해석에 있어서는 특별히 규정하지 않는다. 결국 포인터 워드는 총 16비트로 구성된 포인터 바이트 H1, H2 중에서 SS-비트들을 제외시킨 14비트 병렬 데이터로 재구성된다. 그림5는 설계된 포인터 추출 모듈의 세부 구성도 이다.

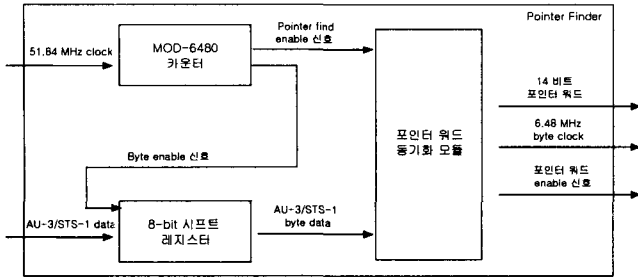


그림 5. 포인터 추출 모듈 구성도  
Fig. 5. Pointer Finder Module

### 2.2 포인터 해석 모듈

그림6은 포인터 해석 모듈의 구성도 이다. 포인터 해석 모듈은 바이트 클럭 6.48 MHz로 재구성되어 SS비트들을 제외한 동기화된 14비트 포인터 워드로부터 포인터 상태들과 PJ(Pointer Justification)를 판단한다. 포인터는 LOP, AIS, NORM 상태로 구분되며 그림2의 포인터 상태 다이어그램에서처럼 하나의 상태에서 다른 상태로의 천이는 연속된 이벤트 발생에 의해 이루어진다.

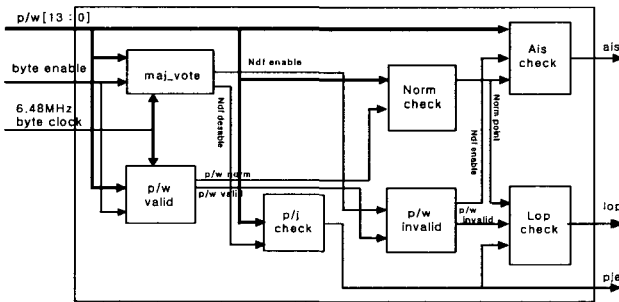


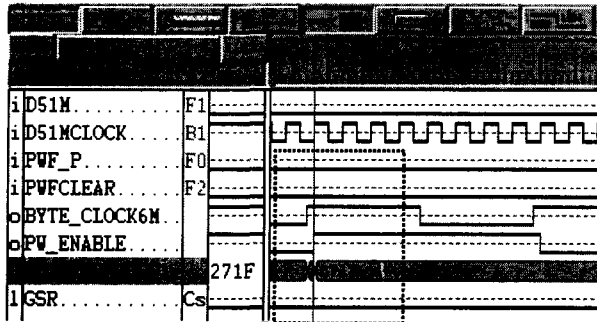
그림 6. 포인터 해석 모듈 구성도  
Fig. 6. Pointer Interpreter module

이러한 이벤트 발생 여부의 판단은 포인터 해석 모듈내의 NDF 검출기, 포인터 유효범위 검사기, NORM 상태 검출기, AIS 상태 검출기, LOP 상태 검출기, PJ 검사기에 의해 수행된다. majority vote 회로로 구성된 NDF 검출회로는 NDF가 enable 상태(1001)인지 disable 상태(0110)인지를 판단하는데 1비트 에러에 대한 보호를 위해 3비트만 정합되면 받아들여진다. AIS 검출회로에서는 포인터 워드가 3-프레임 연속 전부 '1'로 수신될 때 (3×AIS\_ind)에 AIS 상태로 판단하여 신호를 발생한다. NORM 상태 검출기 회로에서는 NDF disable 상태이고 포인터 값이 유효한 값을 갖고 있을 때는 norm\_ptr 상태로, NDF enable 상태이고 포인터 값이 유효한 값을 갖고 있을 때를 NDF\_enable 상태로 간주한다. 그리고 동작 중에 발생할 수 있는 형태(norm\_ptr, NDF\_enable, AIS\_ind, incr/decr\_ind)의 어떤 형태가 검출되는 경우를 무효 포인터(inv\_ptr)로 규정한다. LOP 검출회로에서는 NDF\_enable 또는 inv\_ptr의 경우가 8-프레임 연속해서

계속되는 상태를 감시하여 이를 LOP 상태로 출력한다. LOP 상태에서 벗어나는 경우는 norm\_ptr가 연속해서 3-프레임 수신되거나 AIS 상태가 검출되는 경우이다. PJ 검사기에서는 포인터 위치정렬을 판단한다. 먼저 NDF disable 상태에서 포인터 값 중 5개의 I-비트 중 3비트가 반전되어 있고, 동시에 3개의 D-비트가 반전되어 있지 않고 이전 3-프레임 전에 NDF\_enable 또는 inc/dec\_ind 이 발생되지 않은 경우 inc\_ind로 간주한다. 또한 inc\_ind 의 조건에서 5개의 D-비트 중에서 3비트 이상이 반전되어 있고 I-비트가 반전되어 있지 않은 경우 dec\_ind로 간주한다.

### 3. 시뮬레이션 및 결과

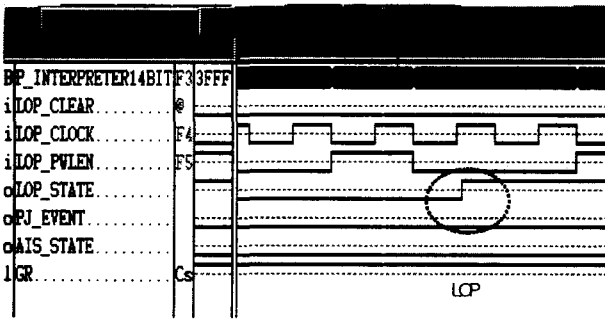
본 논문에서는 그림3에서 제시한 포인터 해석기의 포인터 추출 모듈과 포인터 해석 모듈을 VHDL로 설계한 후 Xilinx FPGA를 이용해서 구현하였다. 시뮬레이션 과정은 포인터 추출 모듈 부분과 포인터 해석 모듈 부분으로 나누어 수행하였다. 먼저 포인터 추출 모듈의 시뮬레이션 과정은 AU-3/STS-1 프레임 주파수 51.84 MHz(T=19.2ns)에 위상 동기된 AU-3/STS-1 프레임 데이터를 비트 스트림으로 입력하여 바이트 클럭 6.48 MHz에 동기된 14비트 포인터 워드를 정확히 추출하는지 확인하는데 있다. 본 논문에서는 포인터 추출을 간단히 하기 위해 포인터 바이트를 제외한 모든 프레임 데이터 값을 '0'으로 입력시켰다. 둘째로 포인터 해석 모듈에 대한 시뮬레이션 과정은 바이트 클럭 6.48 MHz에 동기화된 포인터 워드로부터 포인터 상태 확인과 PJ 판단을 정확히 수행하는지를 확인하는데 있다. 포인터 해석 시 시뮬레이션 수행시간을 줄이고 출력 결과를 신속히 확인하기 위해 3-프레임 주기마다 포인터 워드를 삽입시켰다. 설계된 회로들의 시뮬레이션 결과들은 Xilinx 타이밍 시뮬레이션을 통해 얻었으며 입력은 포인터 상태와 PJ를 확인할 수 있도록 가상의 프레임 데이터와 포인터 값으로 하였다. 그림7은 포인터 추출 모듈에 프레임 데이터 즉 포인터 값을 1001 0011 0001 1111(931F)로 입력했을 때의 결과로 SS비트를 제외한 바이트 주파수 6.48 MHz에 동기된 포인터 워드 10 0111 0001 1111(271F)을 정확히 추출함을 알 수 있다. 그림8은 포인터 해석 모듈에 유효범위를 벗어난 포인터 값(27FF)을 8-프레임 연속으로 입력시켜 얻은 결과이다. 설계된 포인터 해석 모듈은 8 x inv\_ptr 이벤트 발생에 대해 LOP 상태를 판단하여 출력함을 보여준다. 아울러 포인터 값이 모두 1인 '3FFF'를 포인터 해석 모듈에 연속적으로 3 프레임 입력시켰을 때 경보지시상태(AIS)를 출력 하였다. 또한 NORM 상태에서 포인터 워드 내에 I-비트가 3개 이상 반전이 되도록 '1B03'에서 '18A9'를 입력하고 다시 3-프레임 주기 이후 D-비트가 3개 이상 반전이 되도록 '1B04'에서 '1A54'를 입력시켰을 때 PJ를 판단함을 알 수 있었다.



프레임 데이터로부터 바이트 클럭에 동기화된 pointer값 추출

포인터 워드 추출 값	
H1	H2
1001--11	00011111
NNNNSSID	IDIDIDID

그림 7. 포인터 워드 추출  
Fig. 7. Pointer word extraction



포인터 워드 입력 값	
H1	H2
1001--11	11111111
NNNNSSID	IDIDIDID

그림 8. 포인터유실상태(LOP) 출력  
Fig. 8. LOP(Loss Of Pointer) output

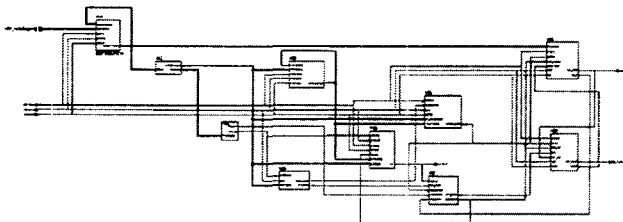


그림 9. 설계된 포인터 해석기

Fig. 9. Pointer interpreter circuit diagram

그림9는 설계된 포인터 해석기의 top 블록을 보여주고, 구현된 FPGA 칩에 대한 주요 spec을 표2에 요약하였다.

표 2. 포인터 해석기 FPGA 칩  
Table 2. Pointer interpreter FPGA summary

Target FPGA	Virtex XCV200PQ240
System Gates	236,666 gates(22%)
Function	AU-3/STS-1 프레임의 포인터 해석
Input Data rate	51.84 Mb/s
Input Clock	51.84 MHz
Internal Clock	6.48 MHz
Throughput	155 Mb/s (51.84 Mb/s x 3-ch)
Power Supply	+5V
Power dissipation	under 1.0W
Package	240pin PQFP

### III 결론

본 논문에서는 SDH와 SONET 표준안에 따른 포인터 해석을 수행하기 위한 포인터 해석기를 포인터 추출 모듈과 포인터 해석 모듈로 나누어 설계하고 이를 Xilinx FPGA를 사용해 구현하였다. 타이밍 시뮬레이션 결과는 설계된 회로가 SDH/SONET 규격에서 제시한 포인터 해석 알고리즘에 따라 정확히 동작함을 보여 주었다. 설계된 소자는 광전송시스템의 수신 중단 노드에서 3xAU-3으로 구성된 SDH STM-1 및 SONET STS-3 프레임 데이터의 포인터 해석부분에 적용될 수 있다.

### 참고 문헌

- [1] P. Sholander, C. Autry and H. Owen, "Mapping Wander in SONET/SDH Adaptive Threshold Modulation Pointer Processors", IEEE International Conference on Communication, Vol. 3, pp.1587-1591, 1997.
- [2] R. G. Kusyk, W. A. Krzymien, and T. E. Moore, "Analysis of Techniques for the Reduction of Jitter caused by SONET Pointer Adjustments", IEEE Transactions on Communications, Vol.42 No.2/3/4, pp.2036-2050, 1994.
- [3] SONET STS-1 Overhead Terminator (TDC3001), ATM and SONET Broadband Solutions for LAN and WAN Applications, Texas Instruments, 1994.
- [4] VT/TU Payload Aligner/Processor(PM5361), Broadband Networking Silicon Solutions, PMC-Sierra, 1995.
- [5] ITU-T Recommendation G.708, "Network Node Interface for the Synchronous Digital Hierarchy", Mar. 1993.

- [6] ITU-T Recommendation G.709, "Synchronous Multiplexing Structure", Mar. 1993.
- [7] ITU-T Recommendation G.783(Annex B), Algorithm for Pointer Detection", Jan. 1994.
- [8] Synchronous Optical Network(SONET) Transport Systems Common Generic Criteria, Bellcore Technical Reference TR-NWT-000253, 1991.
- [9] 황선원, 조성, 이상훈, 김성진, "SDH 전송망의 AU-3 포인터 해석 회로", 한국신호처리·시스템학회 하계학술대회논문집, pp.85-88, 2002.



이 상 훈(Sang-Hoon Lee)  
1984년 고려대학교 전기공학과  
1987년 고려대학교 전기공학과(공학석사)  
1998년 고려대학교 전기공학과(공학박사)  
1987년-1991년 삼성전자(주) PC개발실  
주임연구원

1991년-1995년 한국전자통신연구원 선임연구원  
1995년-2001년 한서대학교 전자공학과 조교수  
2001년-현재 경남대학교 전자전기공학부 조교수  
관심분야 : 고속디지털회로, FPGA, ASIC설계



박 남 천(Nam-Chun Park )  
1978 년 경북대학교 전자공학과  
1980 년 경북대학교 전자공학과(공학석사)  
1987 년 경북대학교 전자공학과(공학박사)  
1980 년-현재 경남대학교 전자 전기공학  
부 교수

1995.7-1996.2 미국 RPI 객원 교수  
관심분야 : 디지털신호처리



신 위 재(Wee-jae Shin)  
1975년 동아대학교 전자공학과  
1979년 동대학원 전자공학과(공학석사)  
1989년 동대학원 전자공학과(공학박사)  
1996년-1997년 대한전자공학회 부산경남  
지부장

1998년-1999년 대한전자공학회 학술위원  
1998년 일본 Kyushu 대학 객원교수  
2000년-현재 한국신호처리·시스템학회 부회장  
1983년-현재 경남대학교 전기전자공학부 교수  
관심분야 : 시스템지능제어 및 자동화, 신호처리