

# AND Gate PDP의 Floating 방전특성에 관한 연구

(A Study on the Characteristics of Floating Discharge in the AND Gate PDP)

엄정덕\*

(Jeong-Duk Ryeom)

## 요 약

새로 제안된 기체방전 AND gate를 3전극 면방전 AC PDP에 적용하기 위하여 DC-AC floating 방전을 사용한 어드레스 방전 특성을 해석하였다. 실험결과 Y 전극을 floating 전극으로 한 floating 방전을 이용하여 어드레스 방전을 개시시킬 수 있었으며 표시방전을 유지시킬 수 있었다. 또한 floating 방전과 타이밍을 일치시켜 보조전극에 DC 프라이밍 방전을 일으켜 줌으로써 floating 방전 공간에 공간전하를 충분히 공급해 주어 그 결과 데이터 전압을 100[V] 까지 낮출 수 있었다. 이 DC-AC floating 방전을 사용한 구동방식은 100[V]의 어드레스 동작마진을 얻을 수 있었다.

## Abstract

The gas discharge AND gate which have been newly proposed is applied to three electrode surface discharge AC PDP. The address discharge characteristics by the DC-AC floating discharge by which Y electrode is made floating electrode is analyzed. The address discharge can be begun by using the floating discharge from the experiment result. Moreover, the display discharge can be sustained. The DC priming discharge that the floating discharge is matched to timing is generated in a supplementary electrode. As a result, space charge is supplied enough to the space of the floating discharge and the data voltage is lowered up to 100[V]. Driving method to use this DC-AC floating discharge is able to obtain the address operation margin of 100[V].

Key Words : Plasma display panel, cost reduction, AND gate PDP, floating discharge, driving scheme

## 1. 서 론

플라즈마 디스플레이 패널(plasma display panel 이하 PDP)은 대화면화가 용이하고 영상정보의 표현

방식이 디지털화되어 있는 유일한 디스플레이로 디지털 HDTV용으로 가정 적합한 디스플레이라고 할 수 있다[1]. 그러나 현재 PDP는 화면 대각크기 기준으로 인치(inch)당 30만원 수준의 고가이므로 PDP를 대중화시키는 데 이 가격적인 측면이 가장 큰 장애가 되어왔다. 일본의 선진 업체들은 인치당 10만원 이하가 되어야만 PDP의 수요가 늘어날 것으로 보고 있다[2].

\* 주저자 : 경주대학교 컴퓨터정보시스템공학부 조교수  
Tel : 054-770-5290, Fax : 054-744-5295

E-mail : marine@kyongju.ac.kr

접수일자 : 2004년 8월 17일

1차심사 : 2004년 6월 24일

심사완료 : 2004년 7월 15일

개발단계에서 PDP는 재료비 중 공정 재료비와 회로 재료비의 비율이 1:1 정도로 알려져 있다. 양산화가 진행되면 공정 재료비는 대량생산이라는 특성상 그 비율이 줄어든다. 그러나 회로부분은 범용 부품들을 주로 쓰기 때문에 양산화 되어도 재료비의 감소 폭이 크지 않아 그 비중이 상대적으로 증가하게 된다. 결국 공정 재료비 대 회로 재료비의 비율이 1:4 정도가 될 것으로 전문가들은 예상하고 있다. 그러므로 PDP의 가격을 저감시키기 위해서는 회로 재료비를 낮추는 것이 필수적이며 획기적으로 회로 재료비를 낮출 수 있는 연구는 PDP의 시장 확대 측면에서 아주 큰 의의를 갖는다고 할 수가 있다. PDP는 수평주사 및 데이터 써넣기 기능을 수행하기 위하여 고전압 FET들로 집적된 구동 IC를 다수 사용한다. 이러한 소자들은 값이 매우 비싸다. 그러므로 이러한 고전압 IC의 개수를 줄이는 것은 곧 회로 재료비 절감에 매우 효과적인 역할을 한다.

기체방전은 비선형 특성을 가지며 이를 이용하면 AND gate, OR gate, NOT gate 등 기본적인 논리회로를 구성하는 것이 가능하다[1]. 이러한 기체방전이 가지는 논리 특성은 다른 디스플레이에는 없는 PDP만의 장점으로 이러한 기체방전의 논리기능을 사용하여 수평주사를 수행하면 PDP의 고전압 구동회로 수를 획기적으로 저감시킬 수 있고 이는 곧 고가의 고전압 구동 IC의 개수 저감으로 이어지므로 가격 절감에 큰 영향을 미친다고 할 수 있다[3][4][5].

이전 연구에서는 구동회로 수 저감을 위한 새로운 기체방전 AND gate 소자를 제안하였고[6], 이를 이용한 DC floating 방전 시험을 통하여 PDP에의 적용 가능성을 검증하였다[7]. 본 연구에서는 실제로 PDP를 구동시키기 위해 필요한 AC floating 방전을 이용한 어드레스 방전 실험을 수행하여 AC floating 방전의 특성을 해석하였고 이를 상용화 되어 있는 3전극 면 방전 AC PDP에 적용하여 상품화 가능성을 검증하였다.

## 2. DC-AC floating 방전의 동작 원리

그림 1은 실험에 사용된 PDP 패널의 전극구조로

서 상용화되어 있는 3전극 면방전 AC PDP의 전극 구조에 AND gate를 위한 DC 방전영역을 추가로 설치한 패널이다. 이 패널의 DC 방전영역에는 세로방향으로 전극A가 설치되어 있으며 가로방향에는 보조전극 Ex와 Ya전극이 설치되어 있다. AC 방전영역은 기존 PDP와 동일하게 세로방향으로 데이터 전극이 설치되고 가로방향으로 전극 X, Y가 설치되어 있다. 여기서 X전극과 Ex전극은 서로 분리되어 있고 Y전극과 Ya전극은 동일전극이나 AC측과 DC측을 구별하기 위하여 별도의 명칭을 부여하였다.

Y1전극을 전기적으로 분리시키고(floating) A전극과 데이터 전극사이에 적당한 전압을 인가하면 A와 Y1사이에 DC방전③이 일어나고 동시에 Data와 Y1사이에서도 AC방전④가 일어난다. 이 방전들은 전기적으로 분리된 Y1전극을 사이에 두고 일어나므로 이를 floating 방전이라 한다. AC방전④는 방전공간에 벽전하가 축적되면서 소멸되고 이때 전류의 흐름이 끊어지므로 자연스럽게 DC방전③도 소멸한다. 이러한 floating 방전의 신뢰성을 향상시키기 위하여 floating 방전과 시간적으로 동일한 타이밍에 프라이밍 방전①, ②를 일으켜 방전공간에 하전입자를 공급한다. 위에서 서술한 어드레스 방전으로 AC 방전 영역의 표시셀에 벽전하를 축적시키고 이를 이용하여 표시방전을 유지시키는 것은 종래의 PDP 구동기술과 동일하다.

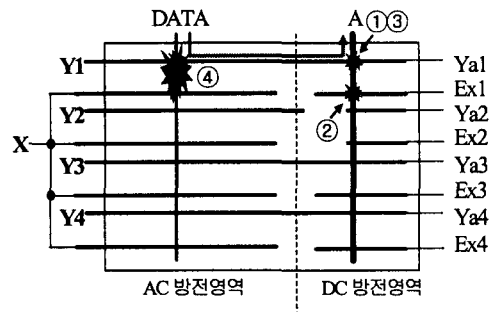


그림 1. 실험용 PDP의 전극구조  
Fig. 1. Electrode structure of the test PDP

## 3. 실험방법

본 연구에서는 새롭게 고안한 DC-AC floating 방

AND Gate PDP의 Floating 방전특성에 관한 연구

전의 PDP 적용 가능성을 검증하기 위하여 AC floating방전④를 어드레스 방전으로 하고 이를 이용하여 표시방전을 유도하는 실험을 수행하였다. 그림 2는 실험에 사용된 PDP의 외관으로 AC 방전영역과 DC 방전영역으로 나누어 전극이 설치되어있다.

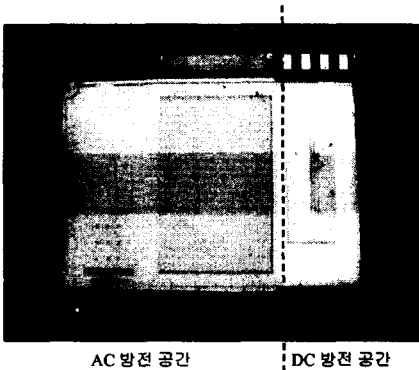


그림 2. 실험용 PDP의 외관  
Fig. 2. External appearance of Test PDP

그림 3은 실험에 사용된 구동펄스의 타이밍도이며 AC 부분과 DC 부분의 구동펄스를 함께 나타내었다. AC 부분은 상용화 되어있는 구동방식인 ADS 구동방식을 근간으로 하였고 어드레스 구간에 DC-AC floating 방전을 위한 구동기술을 첨가하였다. 동작원리는 먼저 초기화 구간에 AC 프라이밍 방전으로 AC 방전영역의 셀 전체를 초기화하고 어드레스 구간에서 전극 A-Y-Data 사이의 floating 방전에 의해 어드레스 방전을 일으킨 후 표시방전 유지구간에 표시방전 유지펄스를 패널 전면에 인가하여 어드레스 방전에 의해 벽전하가 축적된 셀만 표시방전이 유지되도록 하였다.

그림 4는 본 연구에 사용된 실험장치의 구성도이다. 본 실험장치는 퍼스널 컴퓨터와 제어용 펄스 타이밍 발생기, 각 전극에 고전압 펄스를 공급하는 전극 구동회로들 그리고 각종 전원으로 나누어져 있다. 퍼스널 컴퓨터는 디지털 시스템 설계용 S/W가 인스톨되어 있어 구동펄스의 타이밍을 설계, 시뮬레이션 한 후 펄스 발생부의 FPGA를 프로그래밍하는데 사용된다. 펄스 발생부는 FPGA와 몇 개의 멀티비트 레이터를 사용하여 설계된 각종 펄스들의 폭 및 인가타이밍을 미세 조정하는 것이 가능하다. 각종 전

극구동회로부는 직접 PDP에 인가하는 고전압 펄스를 발생시키는 부분으로 고전압 FET들의 스위치쌍으로 되어있는 인버터 회로들로 구성되어 있다. 또한 Y전극 구동회로의 중간에는 필요한 타이밍에 Y전극을 전기적으로 분리(floating)시킬 수 있는 floating 스위치회로가 내장되어 있다. 전원공급장치는 로직전원, 포토커플러용 전원 및 PDP 구동용 고전압 전원등의 각종 DC 전압들을 공급하기 위한 전원들로서 각각 선형 전원을 이용하여 전압 조절이 가능하게 하였다. 이 시스템에는 광파이버와 828 [nm]의 파장에서 최고 감도를 가지는 발광다이오드 및 광신호 증폭기로 이루어진 광출력 검출장치가 구비되어 있어 각종 펄스의 타이밍과 동기화 방전의 시간적 특성을 측정할 수 있도록 되어 있다.

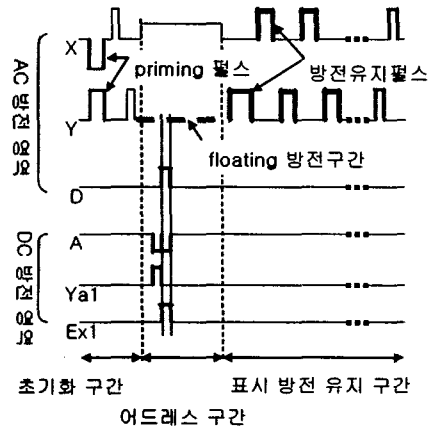


그림 3. 실험에 사용한 구동펄스 타이밍도  
Fig. 3. Timing chart of driving pulses used in the experiments

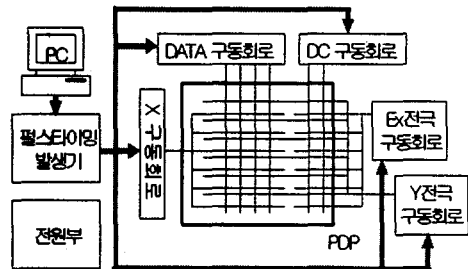


그림 4. 실험용 PDP 구동회로 시스템의 구성도  
Fig. 4. Diagram of test PDP driving circuit system

### 4. 실험결과

그림 5는 본 연구에 사용된 어드레스 기간에 일어나는 DC-AC floating 방전의 펄스 타이밍을 자세히 나타낸 것이다. 여기서 ②, ③, ④는 전술한 바와 같이 floating 방전과 이에 동기되어 일어나는 프라이밍 방전이며 ①은 DC floating 방전③을 용이하게 하기 위하여 방전공간에 하전입자를 생성시키는 방전으로서 모든 방전에 선행시켜 방전을 일으킨다. 실험에서는 floating 방전에 의한 AC address 방전 발생 여부 및 이를 이용한 PDP 셀 구동 가능성을 검토하였으며 floating 방전의 특성으로서 AC floating 방전의 동작마진을 측정하였고 프라이밍방전②의 영향을 측정하였다.

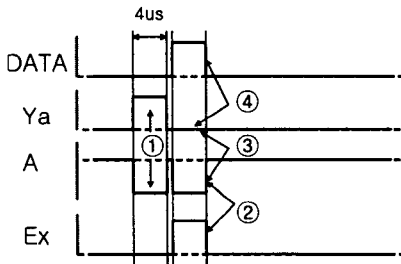


그림 5. 어드레스 구간내의 floating 방전 펄스의 타이밍도  
 Fig. 5. Pulse timing chart of floating discharge within address period

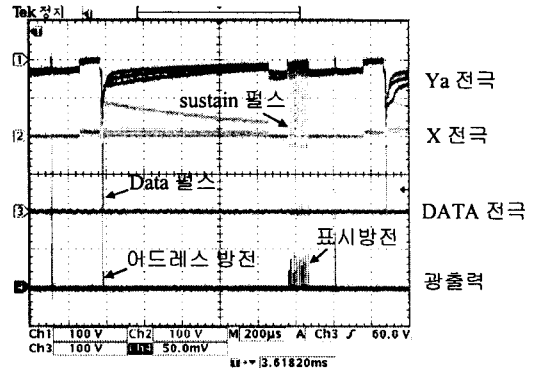
그림 6은 실험결과로서 육안으로 관측되는 PDP의 구동 상태를 CCD 카메라로 측정하고 이때 일어나는 AC floating 방전인 어드레스 방전의 광출력을 측정한 것이다. 그림 6의 (a)에 보이는 것은 어드레스 기간 이후에 오는 표시방전 유지기간의 발광 상태이며 왼쪽에서부터 G-R-B-G-R-B-G-R의 8개 셀이 발광하고 있는 것을 알 수가 있다. 또한 (b)의 광출력을 보면 데이터 펄스가 인가된 타이밍에 제대로 어드레스 방전이 일어나고 있음을 알 수 있으며 이로인해 표시방전이 유지되고 있음을 볼 수 있다. 이 결과들로부터 제안된 구동방식이 현재 상용화 되어 있는 PDP의 구조 및 구동방식에 적절히 적용될 수 있음을 알 수가 있다.

그림 7은 어드레스 방전 부분의 광출력만을 자세

히 측정된 것으로 data 펄스가 인가되어있는 타이밍에 어드레스 방전이 제대로 일어나고 있음을 알 수 있다.



(a) 실험용 PDP 구동 영상  
 (a) Driving image of the test PDP



(b) 인가펄스와 각 펄스에 대한 광출력  
 (b) Impressed pulses and light output of each pulses

그림 6. DC-AC floating 방전 실험 결과  
 Fig. 6. Experimental results of DC-AC floating discharge

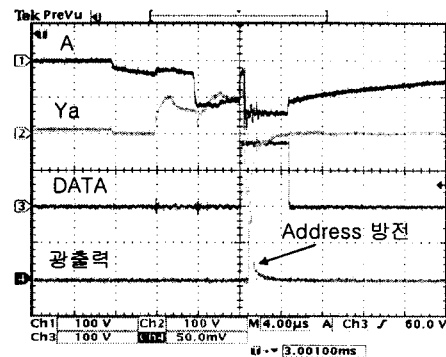


그림 7. 어드레스 방전의 광출력  
 Fig. 7. Light output of address discharge

그림 8은 선행방전 ①과 프라이밍 방전 ②가 인가 되어 있을 때 어드레스 동작마진을 측정하는 것이다. 여기서 어드레스 동작 마진이라고 함은 AC floating 방전에 의해 어드레스 방전이 일어날 수 있는 Data 전극 인가전압의 최대와 최소 사이의 전압 폭으로 이 영역 안에서는 floating 방전에 의한 어드레스 동작이 가능함을 의미한다. 어드레스 방전은 A전극의 전압과 Data전극의 전압의 합으로 결정되므로 A전극 전압이 높아질수록 D전극 전압은 낮아지는 것이 자명하다. 그러나 그림에서 알 수 있는 것과 같이 프라이밍 방전의 강도를 결정해주는 Ex전극 인가전압이 증가하면 최소 어드레스 전압은 거의 변화가 없으나 최대 어드레스 전압은 점점 작아진다. 이는 프라이밍 방전이 점차 강해지면 어느 정도까지는 floating 방전에 미치는 영향은 동일하나 그 이상으로 강해지면 프라이밍 방전에서 발생한 공간전하가 floating 방전의 신뢰성을 향상시키는데 작용하는 것 뿐만이 아니고 floating 방전 자체에도 영향을 준다는 것으로 볼 수가 있다. 그 결과 어드레스 동작마진은 좁아지므로 대면적의 PDP를 구동한다고 생각한다면 그리 바람직한 현상은 아닐 것이다. 그러므로 이 실험의 경우에서 프라이밍 방전은 방전이 일어나는 한계 내에서 작을수록 좋으며 A 전극의 전압을 적당히 높여줌으로써 데이터 전극이 부담하는 전압을 낮출 수가 있다. 실험결과 어드레스에 필요한 동작마진은 60[V] 이상 확보되었다.

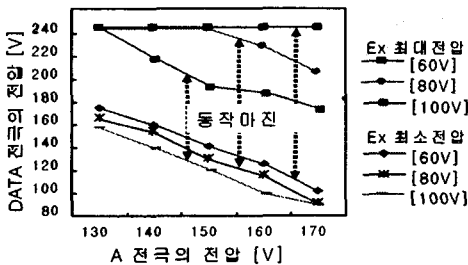
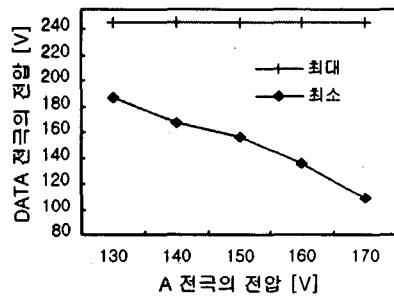


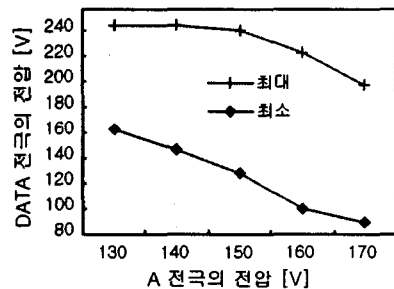
그림 8. A 전극 전압과 어드레스 동작마진과의 관계  
Fig. 8. Relation between A electrode voltage and address operating margin

그림 9는 프라이밍 방전에 의한 방전 신뢰성을 측정하는 것으로서 프라이밍 방전이 있을 때와 없을 때

의 어드레스 동작마진을 측정하는 것이다. 여기서 방전의 신뢰성은 방전 개시에 필요한 전압이 낮아지는 정도로 판단하였다. 그림 9의 (a)와 (b)를 보면 어드레스 최대전압은 프라이밍 방전 유무에 관계없이 일정하다고 할 수 있다. 그러나 어드레스 최소 전압은 프라이밍이 있는 경우가 없는 경우에 비해서 30[V] 정도 낮아짐을 알 수 있다. 프라이밍 방전으로 방전 공간에 공간전하를 공급하여 줌으로써 DC floating 방전이 낮은 전압에서도 쉽게 일어난다고 가정하면 동일한 AC floating 방전 조건에서도 D-Y-A 간에 인가해야하는 전압은 낮아질 수 있음을 알 수 있다. 그러므로 프라이밍 방전을 사용하여 floating 방전 조건을 최적화시키면 어드레스에 필요한 데이터 전극 인가 전압은 100[V] 근방까지 낮출 수 있고 어드레스 마진도 100[V] 정도까지 확보할 수 있다.



(a) 프라이밍 방전이 없을 때의 어드레스 방전특성  
(a) Characteristics of address discharge without priming discharge



(b) 프라이밍 방전이 있을 때의 어드레스 방전특성  
(b) Characteristics of address discharge with priming discharge

그림 9. 프라이밍 방전과 어드레스 방전특성과의 관계  
Fig. 9. Relation between priming discharge and characteristics of address discharge

## 5. 결 론

본 연구에서는 PDP 가격 절감을 목표로 고안된 새로운 AND gate PDP의 핵심 기술인 DC-AC floating 방전을 사용하여 3전극 면방전 AC PDP를 구동할 수 있는지에 대해 연구하였다. 본 연구에서 고안한 기술은 AND gate의 출력으로 사용되는 DC 방전에 의해 DC floating 방전이 일어나고 이로 인하여 AC 어드레스 방전공간에 인가되는 전압이 증가하면서 AC floating 방전이 일어나도록 되어있다. 그리고 AC floating 방전이 어드레스 방전의 역할을 하여 PDP 화소에 벽전하를 형성하고 표시방전유지 시간에 표시발광을 하도록 고안되었다. 실험결과 위에서 서술한 제 기능들이 제대로 동작하는 것을 확인하였다.

본 연구에서는 어드레스 마진을 측정함으로써 DC-AC floating 방전의 특성을 해석하였는데 그 결과 프라이밍 방전은 어드레스 방전전압을 낮추는 효과도 가져오지만 프라이밍 전압이 너무 높으면 오히려 floating 방전의 동작마진이 좁아질 수도 있다는 것을 알았다. 실험결과 프라이밍 방전을 적용한 경우에 Data 전압을 100[V] 수준까지 낮출 수가 있었으며 100[V] 정도의 넓은 address 동작마진을 얻을 수가 있었다.

본 연구는 한국과학재단 목적기초연구(과제번호: R05-2002-000-01477-0)의 지원으로 수행되었으며, 관계부처에 감사드립니다.

## References

- [1] 御子柴 茂生, "플라즈마디스플레이最新技術", ED 리サーチ社, 1996.
- [2] 編輯部編, "2001年の Flat Panel Display 市場", 電子技術, 1999-7号, pp.9-12, 1999.
- [3] Jerry D Schermerhorn et al., "Discharge-Logic Drive Schemes", Proc. of the SID Vol.16/2 Second Quarter pp.81-85, 1975.
- [4] Larry F Weber et al., "A New Gas Discharge Logic Technique that Reduces Circuit Complexity for AC Plasma Display Panels", Conf. Record of IDRC, pp. 502-505, Kobe, Japan, 1983.
- [5] M. Ishii et al., "Reducing the Number of Scan Drivers in AC FDPs by an Order of Magnitude Using Gas-Discharge AND Logic", Digest of SID, pp. 283-286, 1998.
- [6] Jeongduk Ryeom et al., "A Study on the New Discharge Logic Device for the Plasma Display Panels", J of KIEE, Vol.16, No.1, pp.13~19, 2002.1.
- [7] Jeongduk Ryeom, "A Study on the New Discharge AND Gate and Drive Scheme for the Cost Down of the FDPs", J of KIEE Vo.52, No.6, pp.267-273, 2003. 6.

## ◇ 저자소개 ◇

### 염정덕 (廉正德)

1960년 5월 14일생. 1987년 서울대학교 공과대학 전기공학과 졸업. 1989년 서울대학교 대학원 전기공학과 석사과정 졸업. 1992년 서울대학교 대학원 전기공학과 박사과정 졸업. 1992년~1995년 LG전자(주) 영상미디어연구소 선임연구원. 1996년 일본 전기·통신대학 외국인연구자. 1997년~1999년 삼성SDI(주) 기술본부 선임연구원. 2000년~현재 경주대학교 컴퓨터정보시스템공학부 조교수.