

논문 2004-41CI-4-5

ALTERA 임베디드 기가비트 트랜시버 테스트

(ALTERA Embedded Gigabit Transceiver Measurement for PCI Express Protocol)

권 원 옥*, 박 경*, 권 혁 제**, 윤 석 한***

(Won-Ok Kwon, Kyoung Park, Hyuk-Je Kwon, and Suk-Han Yoon)

요 약

본 논문은 FPGA 임베디드 기가비트 트랜시버의 테스트에 관한 방법과 측정 결과를 다룬다. 실험에 사용한 디바이스는 Altera 사의 Stratix GX 디바이스로 범용 고속 프로토콜을 지원하는 트랜시버(GXB)이다. 본 논문은 차세대 IO 버스로 대두되는 PCI Express 직렬 프로토콜을 GXB에 구현하였다. PCI Express 규격에 맞게 생성된 GXB 모듈은 타이밍 시뮬레이션을 거쳐 하드웨어 구현과 테스트를 수행하였다. 트랜시버 테스트 방법으로 GXB 내부 블록 테스트, GXB 신호 무결성 테스트, GXB 입출력 버퍼 및 온칩 터미네이션 테스트, GXB 프로토콜 테스트의 네 가지 검증 절차를 거쳤다. 본 논문을 통해 FPGA 임베디드 트랜시버의 설계방법과 테스트 절차, 측정 결과를 제시한다.

Abstract

In this paper, a design and measurement method for FPGA embedded gigabit-transceiver is presented. Altera's Stratix GX device which is general purpose transceiver called GXB was used for implementing PCI Express transceiver. PCI Express is the generation high performance serial I/O bus used to interconnect peripheral devices. After GXB was set follow by PCI Express specifications, the design has been verified by timing simulation and implemented as hardware. We tested it as follow. First GXB internal digital and analog block test, second GXB transmitter signal integrity test called Eye mask test, third GXB high-speed serial I/O buffer and on-chip termination test and the last GXB protocol test. This paper shows all the design and measurement procedure about FPGA embedded gigabit-transceiver.

Keywords: Embedded Transceiver, High speed serial protocol, Measurement, FPGA, Stratix GX, PCI Express

I. 서 론

FPGA 기술이 발전함에 따라 ASIC에 비해 FPGA의 단점으로 지적되어오던 높은 가격, 제한된 용량, 높은 전력 소비, 낮은 성능 등이 크게 개선되고 있다. 특히 FPGA 내부에 IP 코어를 내장함으로써 기능면에서도 경쟁력을 갖추어 가고 있다.

시스템 연결에 사용되는 전송 프로토콜이 고속, 직렬화 됨에 따라 고속 직렬 버스용 트랜시버 사용이 일반화 되었다. 백플랜, I/O 연결, 라인카드 연결, LAN, SAN에서 동작속도가 기가비트로 넘어가면서 FPGA에서 이를 지원하기 위해 CDR(Clock Data Recovery) 기능을 포함하는 기가비트 트랜시버를 내장한 제품이 출시되기 시작했다. 이렇게 고속 직렬버스 프로토콜을 지원하는 트랜시버를 FPGA 내부에 내장함으로써 칩 밖으로 인터페이스 되던 외장 데이터 직렬화기(SERDES)를 온 칩으로 대체하게 되었으며 시스템 디자인에도 많은 변화를 가져다 주었다. 직렬버스 트랜시버 내장형 FPGA로 손쉽게 프로토콜 브리지 인터페이스를 구현 할 수 있게 되었다. SERDES 파워소비가 현격히

* 정회원, 한국전자통신연구원 디지털홈연구단
(IDept. Internet Server, ETRI)

** 정회원, 비온드마이크로 개발부
(Dept. R&D, beyondmicro)

*** 정회원, 고려대학교 컴퓨터정보학과
(Dept. Computer and Information Science, Korea University)

접수일자: 2004년3월23일, 수정완료일: 2004년6월30일

줄어들게 되었으며, SERDES와 FPGA 간의 수많은 PCB 패턴들을 제거하여 신뢰성 있고 보다 신속하게 작은 면적으로 PCB 제작이 가능하게 되었다^[1].

현재 SERDES 내장 FPGA 제품으로 Xilinx 사의 Virtex-II Pro, Altera 사의 Stratix GX, Lattice 사의 ORT82G5 제품이 시장에 출시되었다. 이들 제품들은 프로그래머블한 범용적인 기가비트 트랜시버를 내장했으며 600Mbps~3.125Gbps(3.7Gbps) 동작속도를 지원한다. 따라서 Fibre Channel, Gigabit Ethernet, XAUI, Serial Rapid IO, InfiniBand, PCI Express 등의 다양한 고속 직렬 프로토콜을 지원한다.

본 논문은 Altera 사 Stratix GX 디바이스 트랜시버를 사용하여 다중 레인을 지원하는 PCI Express 트랜시버를 구성하여 그 기능을 테스트 하였다. 본 논문을 통해 국내에서 처음으로 검증이 이루어진 Stratix GX 임베디드 트랜시버의 구조와 프로그래밍, 시뮬레이션, 테스트 방법 등에 대해서 고찰한다.

II. 기가비트 트랜시버 구조와 생성

1. 기가비트 트랜시버(GXB) 블록

Altera Stratix GX 디바이스는 범용 외장 SERDES 칩 기능을 FPGA 내부에 내장시킨 제품이다. 내장된 기가비트 트랜시버(GXB)블록은 622Mbps~3.1875Gbps 동작 속도를 지원하며 그림 1과 같이 크게 전송부(Tx), 수신부(Rx)로 나뉘며 각각 아날로그, 디지털 블록이 존재한다.

먼저 아날로그 블록을 살펴보자. GXB 트랜시버의 차동 I/O는 1.5V PCML 규격을 지원한다. 차동출력전압(Vod)은 800mV~1600mV 범위에서 프로그래머블 하다. 온칩 터미네이션(Termination) 저항으로 100Ω, 125Ω, 150Ω을 지원한다. SERDES 블록은 데이터의 직렬, 병렬화를 담당하며, Tx, Rx PLL은 입력 기준주파수에 2, 4, 5, 8, 16, 20 배수의 다양한 채배계수(multiplication factor)를 지원한다. 수신부에는 임베디드된 클록을 복구하는 CDR(clock data recovery) 기능이 있다.

디지털 블록에서는 8B/10B 인코더, 디코더가 내장되어 있으며 송수신 위상보상버퍼(Phase Compensation FIFO)를 통해서 클록 도메인이 다른 인터페이스 로직과 위상 차이를 보정한다. 수신단에는 COM(K28.5) 같은 일정 패턴을 인식하여 그 패턴에 정렬(Alignment)을 수행하는 Word Aligner 블록이 존재한다. 또한 XAUI

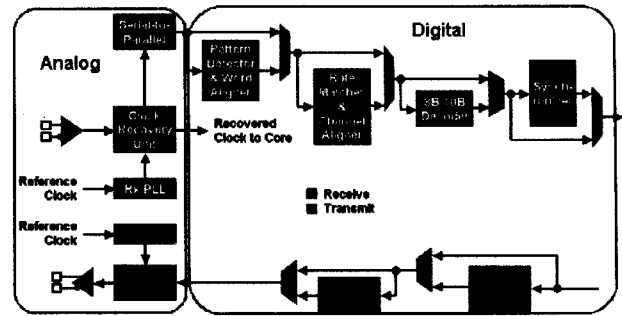


그림 1. Altera Stratix-GX GXB 블록도^[10]
Fig. 1. Altera Stratix-GX GXB block diagram^[10].

프로토콜에서만 사용 가능한 기능으로 다중채널에서 발생하는 스큐(skew)를 제거하는 Channel Aligner 블록과 다중 클록 시스템에서 발생하는 클록 간의 스큐를 제거하는 Rate Matcher 블록이 존재한다.

GXB는 XAUI, SONET/SDH, Gigabit Ethernet, Fibre Channel, InfiniBand, Serial RapidIO, PCI Express, SFI-5, SPI-5 프로토콜을 지원하는 범용적인 고속 직렬 프로토콜용 트랜시버이다. GXB의 프로그램 모드는 Basic, SONET, XAUI 모드로 구분된다.

SONET, XAUI 모드는 각각의 프로토콜에 적합화된 모드이며 그 외 프로토콜은 Basic 모드를 통해서 사용자가 데이터 폭, 입력주파수, 채배계수 등의 여러 파라미터를 설정한다^[10].

2. PCI Express 프로토콜 특징

PCI Express 프로토콜은 PCI나 PCI-X 같은 병렬 연결버스를 대체할 차세대 I/O 버스로, 고속 직렬 점대점(point-to-point) 연결을 가진다^[4]. 현재 규격 1.0a에서는 2.5Gbps 링크 속도를 지원하며 최대 32레인(채널)을 지원한다^[2]. PCI Express 프로토콜은 패킷(Packet) 기반으로 8B/10B 인코딩이 이루어진 데이터를 SERDES를 거쳐 고속의 직렬 차동신호로 전송한다. 수신부에는 CDR을 통해 클록을 복구하고 8B/10B 디코딩이 이루어진 데이터를 PHY 계층으로 전송한다.

3. PCI Express 프로토콜용 GXB 생성

본 논문은 GXB를 PCI Express 프로토콜용 트랜시버로 테스트를 수행하였다. PCI Express 프로토콜은 현재 규격 1.0a가 나왔으며, PCI Express PHY 인터페이스 규격(PIPE) 또한 인텔에서 발표되었다^[3]. PCI Express 프로토콜의 특성상 범용 SERDES로 구현할 수 없는 수신부 감지(Receiver detection), Electrical Idle 감지, Beacon 생성 기능 등의 특수 기능^[2]은 PCI Ex

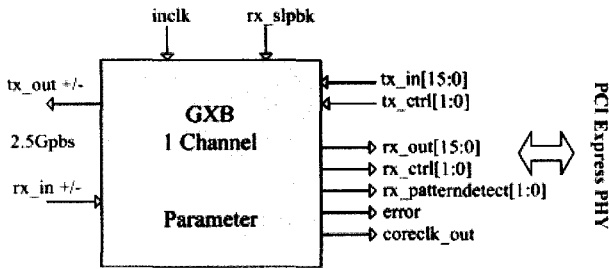


그림 2. GXB 와 PCI Express PHY 인터페이스
Fig. 2. Interface GXB with PCI Express PHY.

표 1. GXB 와 PCI Express PHY 인터페이스 신호
Table 1. Interface signal GXB with PCI Express PHY.

신호	신호 설명
tx_in[15:0]	16비트 PHY 출력 데이터
tx_ctrl[1:0]	tx_in 신호에 대한 컨트롤
rx_in+/-	2.5Gbps 차동 입력
inclk	GXB 입력 기준 클록
rx_slpbk	직렬 루프백 신호
tx_out+/-	2.5Gbps 차동 출력
rx_out[15:0]	16비트 PHY 입력 데이터
rx_ctrl[1:0]	rx_out 신호에 대한 컨트롤
rx_patterndetect[1:0]	COM 심벌 감지
coreclk_out	GXB PLL 출력 클록
error	8B/10B 디코더 disparity 또는 패턴 에러

-press 전용 PHY 칩이 출시되어야 가능하며, 본 논문은 이러한 특수 기능을 제외한 일반적인 PCI Express PHY 규격과 호환되는 트랜시버를 GXB에 임베디드하여 테스트를 수행하였다.

그림 2는 GXB와 PCI Express PHY 인터페이스를 표1은 인터페이스 신호 설명을 나타내고 있다. PCI Express 프로토콜을 위한 2.5Gbps 트랜시버 속도를 설정 할 때 입력 기준주파수(inclk)는 PLL의 채배계수 20을 사용하여 125MHz로 설정할 수 있다. 이때 GXB와 PCI Express PHY 인터페이스 데이터(tx_in, rx_out) 폭은 16bit/ 250MHz 또는 8bit/125MHz 가 가능하다. GXB 수신단의 8비트 16비트 전환 블록인 바이트 병렬기(Byte Deserializer)를 이용하면 16bit/125MHz를 그렇지 않으면 8bit/250MHz의 인터페이스가 된다. 그러나 바이트 병렬기를 사용하지 않으면 FPGA 내부 코어를 250MHz로 구동 시켜야 되므로 16bit/125MHz 인터페이스가 설계에 용이하다.

PCI Express 프로토콜에 호환성 있는 트랜시버를 만들기 위해 다음과 같은 GXB의 내부 파라미터(Parameter) 설정이 필요하다. 8B/10B 인코더, 디코더 기능을 사용하며, 워드 정렬기(Word Alignment)의 신호 감

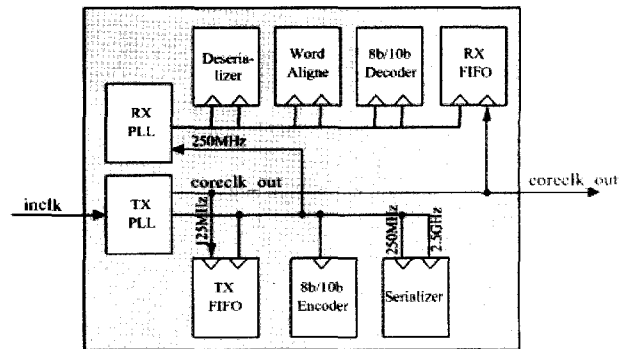


그림 3. PCI Express 용 GXB 클럭 설계
Fig. 3. GXB clock scheme for PCI Express.

지 심벌로 트레이닝 시퀀스(TS)나 스킵(SKIP) 같은 명령집합(ordered-set)의 헤더 심벌인 K28.5 (COM) 신호를 설정한다. 출력차동전압, Vod은 PCI Express 전기 규격에 따라 800mV~1200mV 범위 안의 값을 설정한다. PCI Express 규격에 의하면 두 종단의 클록의 속도차이가 600ppm 넘지 않도록 규정하고 있다^[2]. 따라서 +/-300ppm의 허용한계(tolerance)를 가지도록 CDR 설정이 필요하다. 신호무결성(Signal Integrity) 측면을 고려할 때 외부 터미네이션 저항을 사용하는 것 보다 GXB 내부 터미네이션 저항 사용하는 것이 좋으며 PCB 임피던스 정합을 고려해 100Ω 으로 설정한다. 또한 송신부 PLL의 대역폭은 가급적 높이고 수신부 PLL의 대역폭은 낮추는 것이 프로토콜 송수신의 신뢰성을 높이는 방법이다.

GXB의 내부 클럭 스킴은 여러 가지 방법을 제공하고 있다. 본 논문은 PCI Express를 위한 GXB 클럭 스킴으로 그림 3 과 같이 설정하였다. 125MHz 입력 기준 클록, inclk이 GXB Tx PLL에 입력되며 위상이 바뀐 125MHz PLL 출력 클록(coreclk_out)이 발생한다. 이는 Tx FIFO의 쓰기 클록, Rx FIFO의 읽기 클록으로 사용하며, PCI Express PHY, Link, Transaction 계층의 기준 클록으로 사용한다. PLL 출력 클록인 coreclk_out을 두 배로 채배한 250MHz 클록은 Tx FIFO 읽기 클록, 8B/10B 인코더, Serializer 클록으로 사용하며 Rx PLL의 기준 클록으로도 입력된다. 따라서 GXB와 PHY 인터페이스 클록은 송수신 모두 coreclk_out 클록을 사용한다.

III. GXB 시뮬레이션

II장에서 다룬 PCI Express 트랜시버용 GXB의 인터페이스, 클럭스킴, 파라미터 등을 설정하여 GXB



그림 5. GXB 블록을 직렬 루프백 했을 때 타이밍 시뮬레이션 결과 (x1)
 Fig. 5. Timing simulation result when GXB serial-loopback (x1).

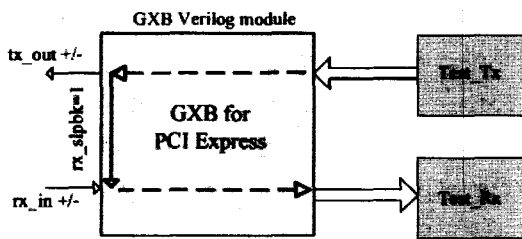


그림 4. GXB 타이밍 시뮬레이션 블록도
 Fig. 4. Block diagram for GXB timing simulation.

Verilog RTL 모듈을 생성 할 수 있다. 생성된 GXB 모듈은 그림 4와 같은 방법으로 GXB 모듈 검증 타이밍 시뮬레이션을 수행 한다.

Test_Tx 블록은 PCI Express PHY 패키지를 생성하는 모듈로써 TS(Training Sequence)인 TS1, TS2, SKP (Skip), EI(Electrical Idle), FTS(Fast Training Sequence) ordered-set^[2]을 생성한다. GXB 블록은 PCI Express용 2.5 Gbps 트랜시버로 구성되어 있다. GXB 차동 직렬 수신입력인 rx_in 신호를 테스트 벤치로 만들기 어렵기 때문에 GXB 수신부 검증을 위해 직렬 루프백 신호인 rx_slpbk를 설정하여 차동 직렬신호의 출력을 차동 입력신호로 루프백 시킨다. 이 때 Test_Rx 블록에서 검출되는 신호가 Test_Tx에서 송신한 신호와 일치할 때 GXB 블록을 검증 할 수 있다. 시뮬레이션은 단일 채널의 GXB를 검증 한 후 다중 채널 GXB를 검증 한다.

GXB에 관련된 라이브러리는 Verilog 형태로 제공되는 파일과 각각의 EDA 툴에 맞게 컴파일된 라이브러리가 제공된다. 본 시뮬레이션은 Altera Quartus II 에서 RTL 합성 코드와 지연성분(sdf: standard delay file) 을 생성하여, Cadence NCVerilog에서 컴파일하여

시뮬레이션을 수행하였다.

그림 5는 단일 레인 GXB의 타이밍 시뮬레이션을 나타내고 있다. Test_Tx 블록에서 생성된 TS1, TS2, SKP 등의 ordered-set들은 GXB 송신부를 거쳐 최종 차동 출력단에서 GXB 수신부로 루프백 된 후 GXB 수신부를 거쳐 Test_Rx 단에 도착한다. Test_Rx에 입력된 데이터는 SKP, FTS, Electrical Idle, TS1, TS2 ordered-set 검출을 통해서 detect_skp, detect_fts, detect_ei, detect_ts1, detect_ts2 신호를 발생한다.

125MHz 입력 기준 클럭(clk)이 Tx PLL에 입력되어 PLL 출력 클럭(coreclk_out)을 생성한다. Test_Tx가 ordered-set을 전송하며, Test_Rx 단에서는 detect 신호를 통해서 송신 패킷과 동일한 패킷이 수신됨을 확인할 수 있다. 또한 rx_patterndetect 신호를 통해서 수신 데이터의 COM 심벌의 감지를 알 수 있다. 다중 레인 시뮬레이션은 GXB 모듈과 Test 블록을 확장하여 단일 레인 시뮬레이션과 동일한 방법으로 수행 가능하며 그 결과 역시 GXB 모든 레인의 송수신이 잘 이루어짐을 확인하였다.

IV. PCB설계 및 테스트

1. 회로 및 PCB 설계

본 실험에 사용된 디바이스는 Altera Stratix GX EP1SGX25DF1020C6ES로 8개의 GXB 트랜시버 채널을 가지고 있다. GXB 블록은 FPGA 뱅크(bank) 14, 15에 위치하고 있다.

Stratix-GX 디바이스는 GXB 용 전원을 구별하여 사용하며 디지털과 아날로그 전원의 분리를 명확히 해야 한다. 또한 고속 직렬 신호의 라우팅 및 Layout 규칙을

엄격히 준수하여 설계해야 된다^[12]. 또한 PCI Express 커넥터 규격에 맞도록 설계가 이루어졌다.

GXB 블록 테스트는 첫째, 직렬 루프백을 사용하여 GXB 내부 검증, 둘째, SMA 커넥터를 통한 GXB 출력단의 신호분석, 셋째, 외부 루프백 보드를 통한 임피던스 정합 검증, 최종적으로 PCI Express 프로토콜 생성 분석기를 통한 프로토콜 검증을 수행하였다. 본 실험에서는 다중레인 테스트를 위해서 4개의 GXB 트랜시버를 사용하여 PCI Express x4 레인을 만들었으며 GXB 한 채널은 신호무결성 테스트를 위해서 SMA 커넥터로 연결하였다.

2. GXB 블록 테스트

가. GXB 내부 직렬 루프백 테스트

목적	GXB의 송수신 디지털, 아날로그 블록의 이상 유무를 검증하기 위함
측정 장비	Agilent 16702B Logic Analyzer

GXB의 내부 송수신 블록 테스트는 그림 6과 같이 GXB의 직렬 루프백 기능을 사용하여 수행된다. 2장 GXB 시뮬레이션 같이 Test_Tx에서 생성된 PCI Express PHY 패킷들이 Test_Rx에서 동일하게 검출되면 그림 1의 GXB 디지털, 아날로그 블록들이 모두 검증이 된다. 이를 위해 Test_Rx 블록에서 수신되는 패킷의 심벌을 검출해서 Logic Analyzer로 확인한다.

그림 7은 x1 GXB 테스트에서 Logic Analyzer에 측정된 결과를 보여준다. Test_Tx에서 GXB에 SKP, FTS, EI, TS ordered-set과 Idle을 전송했을 때 Test_Rx 블록에서 측정한 결과이다. Logic Analyzer의 skp, fts, ei, idle, ts 신호를 통해서 Test_Tx에서 전송한 패킷들이 잘 수신됨을 알 수 있다. 이때 comdetect [1:0] 신호는 GXB 수신단의 16비트(2byte) 출력 데이터(rx_out)에서 COM 심벌을 검출한 결과이다. 실험 결과 모든 하위 바이트(comdetect[0])에 COM 심벌이 검출되었다.

그림 8은 다중 레인 테스트로 x4 GXB에서 테스트를 수행한 결과이다. skp[0]는 첫 번째 레인, skp[1]는 두 번째 레인, skp[2] 세 번째 레인, skp[3] 네 번째 레인에서 SKP ordered-set의 검출 결과이다. x1 링크와 마찬가지로 Test_Rx 블록에서 여러 ordered-set 들이 모든 레인에서 정확히 검출되고 있다. 그러나 x4 레인 실험에서 COM 심벌의 검출 결과는 x1 실험과 다를 수 있다. COM 심벌 감지 신호가 레인별로 검출 위치가

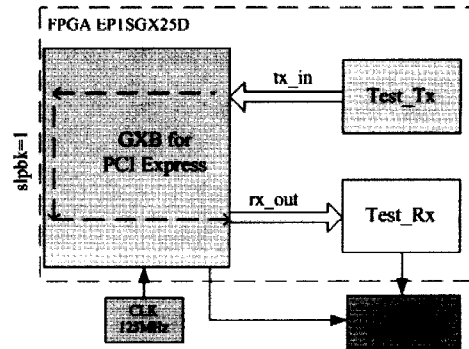


그림 6. GXB 내부 직렬 루프백 테스트 블록도
Fig. 6. Test block diagram for internal GXB using serial-loopback.

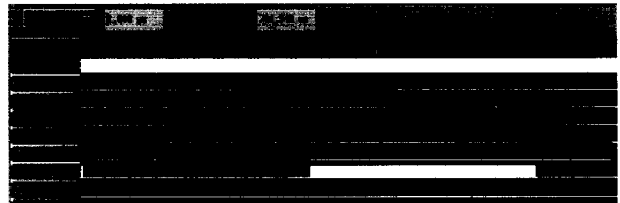


그림 7. Logic Analyzer 측정결과 (x1)
Fig. 7. Logic Analyzer measurement result (x1).

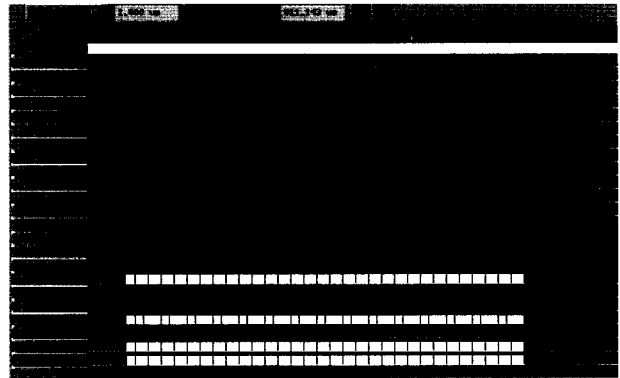


그림 8. Logic Analyzer 측정결과 (x4)
Fig. 8. Logic Analyzer measurement result (x4).

다르다. 첫 번째 네 번째 레인에서는 하위 바이트 (comdetect[0], comdetect[6])에서, 두 번째 세 번째 레인에서는 상위바이트(comdetect[3], comdetet[5])에서 검출됨을 볼 수 있다. 즉 16비트 인터페이스를 사용할 때는 임의로 COM 심벌이 상위 혹은 하위 바이트로 정렬됨을 실험으로 확인할 수 있다. 따라서 다중 레인 수신단에는 COM 심벌을 모두 하위나 상위 바이트로 이동시키는 COM 정렬 블록이 필요하다.

나. 2.5Gbps Signal Integrity 테스트

목적	GXB에서 출력되는 신호의 무결성을 측정하여 PCI Express에서 규정하는 전기규격을 만족하는지 테스트
측정 장비	LeCroy SDA 6000(6GHz, 20GS/s) Real time Oscilloscope

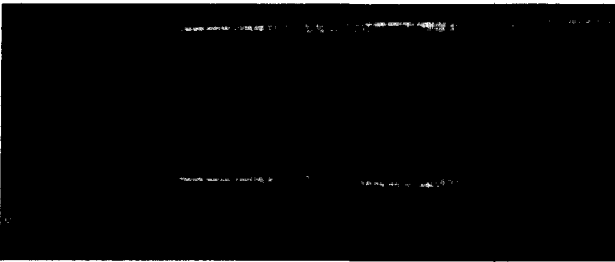


그림 9. Vod=800mV 경우 Eye diagram
Fig. 9. Eye diagram when Vod=800mV.

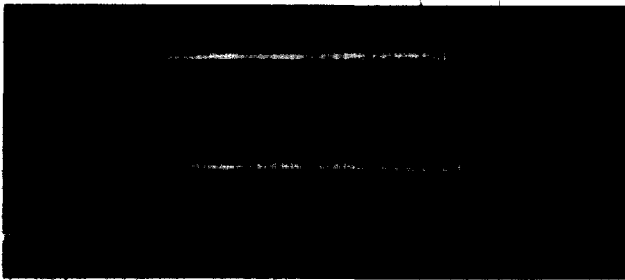


그림 10. Vod=1200mV 경우 Eye diagram
Fig. 10. Eye diagram when Vod=1200mV.

그림 11에서 보듯이 PCB 설계 시 GXB 한 채널에 2.5GHz 신호무결성 측정을 위해 SMA 커넥터를 연결하였다. 2.5GHz 신호 측정 장비로는 6GHz 대역폭에 20G/s 샘플링을 지원하는 고속 직렬 데이터 분석기인 LeCroy SDA6000 장비를 사용했다.

PCI Express 전기규격에 따라 차동출력 전압(Vod)은 800mV~1200mV 범위 값을 설정할 수 있다. 따라서 본 실험은 GXB Vod 값을 800mV와 1200mV으로 설정하여 신호무결성을 측정하였다. 그림 9는 GXB의 Vod 값을 800mV로 설정하여 PCI Express 패킷을 전송할 경우 SMA 송신 커넥터에서 측정된 신호에 PCI Express Eye 송신 마스크를 통과 시킨 모습이다. 2.5Gbps 출력 신호가 정확히 검출되지만 결과에서 보듯이 검출 파형이 Eye 마스크를 침범하고 있다. 따라서 Vod 값을 더 증가 시켜야 됨을 알 수 있다. 그림 10은 Vod 값을 1200mV로 설정했을 때 Eye 패턴이다. 2.5Gbps의 출력 신호가 Eye 마스크의 침범 없이 출력됨을 볼 수 있다. 따라서 PCI Express 용 GXB Vod 값은 1200mV로 설정해야 됨을 알 수 있다.

다. 외부 루프백 테스트

목적	GXB의 입출력 버퍼 및 온칩 터미네이션 저항 검증, 커넥터 및 PCB 임피던스 정합 검증
측정 장비	Agilent 16702B Logic Analyzer, Catalyst PCI Express x16 Loopback PCB

그림 11은 외부 루프백 실험 사진과 블록도를 나타낸

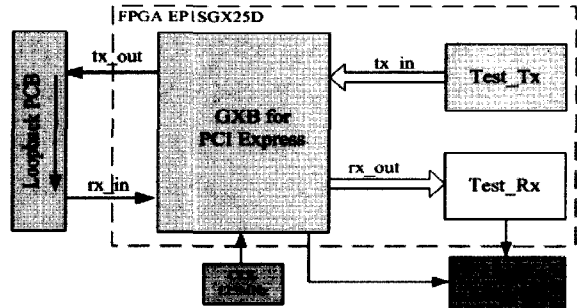
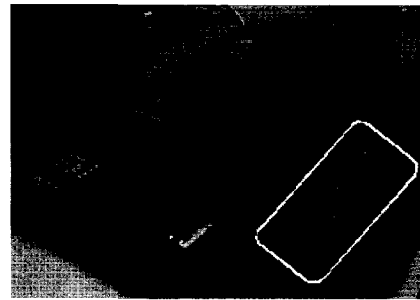


그림 11. 외부 루프백 테스트 사진과 블록도
Fig. 11. Outside loopback test picture and block diagram.

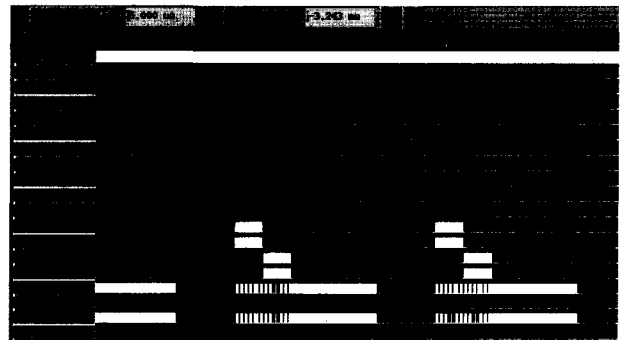


그림 12. 외부 루프백 테스트 결과 (x2)
Fig. 12. Outside loopback measurement result (x2).

다. 본 실험은 임피던스 정합 되어진 Catalyst사의 x16 PCI Express 루프백 PCB를 PCI Express x4 커넥터에 삽입하여 외부 루프백 패스를 만들었다. 본 실험 방법은 내부 루프백 실험과 유사하게 Test_Tx 블록에서 전송한 패킷과 Test_Rx 블록에서 수신한 패킷의 동일성을 검증한다. 본 실험을 통하여 GXB의 입출력 버퍼의 동작과 온칩 터미네이션 저항과 PCI Express PCB 커넥터 및 루프백 PCB의 임피던스 정합을 검증 할 수 있다.

그림 12는 x2 레인의 외부 루프백 실험 결과를 나타내고 있다. SKP, FTS, TS 등 ordered-set이 두 레인에서 모두 잘 감지됨을 알 수 있다. 이로써 GXB 내부 터미네이션 저항과 설계된 PCB의 임피던스 정합을 검증하였다.

	000.000.003.224	000.000.000.064	COM COM COM COM	PAD PAD PAD PAD	PAD PAD PAD PAD	K sym (H)	FTS Num (H)	Rate (H)	Link Ctrl (H)	TS, 40 Bytes (H)	
→	31					01 01 01 01	02 02 02 02	00 00 00 00	4A 4A 4A 4A 4A 4A 4A	→	
←	32	000.000.003.288	000.000.000.064	COM COM COM COM	PAD PAD PAD PAD	PAD PAD PAD PAD	01 01 01 01	02 02 02 02	00 00 00 00	45 45 45 45 45 45 45	→
→	33	000.000.003.352	000.000.000.064	COM COM COM COM	PAD PAD PAD PAD	PAD PAD PAD PAD	01 01 01 01	02 02 02 02	00 00 00 00	4A 4A 4A 4A 4A 4A 4A	→
←	34	000.000.003.416	000.000.000.064	COM COM COM COM	PAD PAD PAD PAD	PAD PAD PAD PAD	01 01 01 01	02 02 02 02	00 00 00 00	45 45 45 45 45 45 45	→
→	35	000.000.003.480	000.000.000.064	COM COM COM COM	PAD PAD PAD PAD	PAD PAD PAD PAD	01 01 01 01	02 02 02 02	00 00 00 00	4A 4A 4A 4A 4A 4A 4A	→
←	36	000.000.003.544	000.000.000.064	COM COM COM COM	PAD PAD PAD PAD	PAD PAD PAD PAD	01 01 01 01	02 02 02 02	00 00 00 00	45 45 45 45 45 45 45	→

그림 14. TS1 패킷의 송수신 모습 (x4)

Fig. 14. TS1 ordered-set transmit and receive at Catalyst PCI Express protocol analyzer (x4).

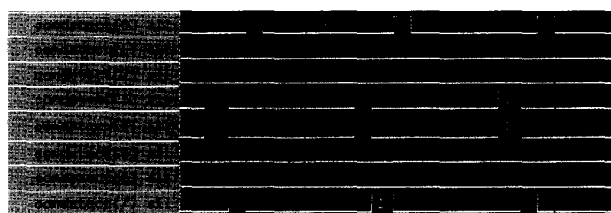


그림 15. TS2 패킷의 COM 심벌 수신 모습 (x4)

Fig. 15. Received COM of TS2 packet at GXB (x4).

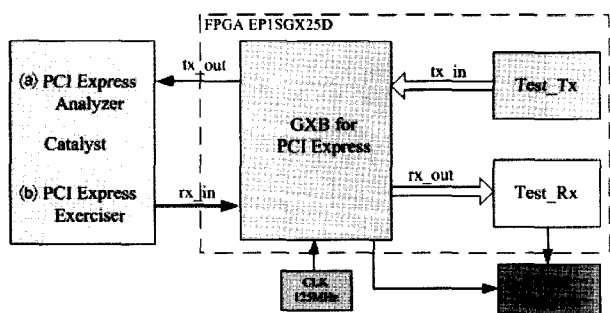


그림 13. PCI Express 프로토콜 호환 검증

Fig. 13. Catalyst PCI Express Analyzer and Exerciser Interface with GXB.

라. PCI Express 프로토콜 호환 테스트

목적	GXB 송수신 신호의 PCI Express 프로토콜 검증
측정 장비	Catalyst x4 PCI Express Analyzer and Exerciser(SPX-4), Catalyst PXP-100 Back Plan, Agilent 16702B Logic Analyzer

PCI Express 프로토콜 검증을 위해 Catalyst사의 PCI Express 프로토콜 분석기(Analyzer)와 생성기(Exerciser)를 사용하여 GXB 송수신부의 호환성을 검증하였다. 그림 13은 측정 사진과 블록도를 나타내고 있다. 프로토콜 분석기는 GXB에서 출력되는 2.5 Gbps PCI Express 패킷을 받아 분석하며, 프로토콜 생성기는 GXB로 PCI Express 패킷을 전송한다. GXB에서 수신

된 패킷은 Test_Rx 블록에서 심벌을 감지하여 Logic Analyzer로 신호를 출력한다.

그림 14는 x4 링크에서 TS ordered-set 신호를 송수신할 때 Catalyst 패킷 분석기에 잡힌 화면이다. 오른쪽 화살표(→)로 표시된 패킷은 GXB에서 전송되어 Catalyst 분석기로 입력되는 패킷이다. 네 라인 모두에서 COM 심벌이 잡히고 다음 라인번호, 링크번호, FTS 값 등이 잡히며 마지막으로 TS1의 식별자인 4Ah 값을 볼 수 있다. 즉 GXB에서 송신되는 TS1 패킷이 분석기에서 잘 잡힘을 볼 수 있다. 반대로 왼쪽 화살표(←)는 Catalyst 생성기에서 송신되는 TS2 패킷(식별자 45h)을 보여주고 있다. 이때 GXB 수신 측에는 수신되는 TS2 패킷이 수신됨을 패턴 감지 블록과 연결된 Logic Analyzer를 통해 확인 할 수 있다.

본 실험을 통해서 GXB의 송수신 트랜시버는 PCI Express 프로토콜에 적합함을 알 수 있었으며, 특히 다중 라인을 사용할 때 발생하는 전송 스큐가 Catalyst 분석기가 디스큐 하는데 문제가 없음을 확인했다. 그러나 그림 15에서 보듯이 Catalyst 프로토콜 생성기에서 입력 되어 GXB 수신기에서 출력되는 TS2 패킷의 COM 심벌을 보면 네 라인간의 스큐가 존재함을 볼 수 있다. 두 번째, 세 번째 라인은 동일한 시점에 COM이 수신되며 다음에 네 번째 마지막으로 첫 번째 라인에서 COM이 수신된다. 즉 2심벌의 스큐가 발생하였다. 따라서 이들 스큐를 제거하는 디스큐 블록을 GXB 수신단

다음 블록에 반드시 추가해야 올바른 데이터를 수신할 수 있음을 알 수 있다.

V. 결 론

본 논문을 통하여서 FPGA 임베디드 기가비트 트랜시버의 유용성과 적용분야에 대해서 살펴보았다. 특히 Altera사의 Stratix GX 디바이스의 기가비트 트랜시버 GXB의 PCI Express용 트랜시버로서 호환성을 검증하였다. 검증 절차로 먼저 PCI Express 규격에 적합한 GXB 인터페이스, 클록 스킴, 파라미터 설정 등을 수행하였다. 이렇게 만들어진 GXB RTL 모듈을 테스트 모듈과 함께 직렬 루프백을 사용하여 타이밍 시뮬레이션을 수행하여 GXB의 송수신 기능을 검증하였다. 이후 Stratix GX FPGA를 사용하여 회로와 PCB를 설계한 후 GXB 블록 테스트를 수행하였다. 첫째, GXB 내부 아날로그와 디지털 블록의 검증을 위해 직렬 루프백 테스트를 수행하였다. 둘째, 신호무결성 테스트를 위해 송신 Eye 패턴의 PCI Express 마스크 테스트를 수행하였다. 셋째, 온칩 터미네이션 저항 및 PCB, 커넥터의 임피던스 정합 테스트를 위해 외부 루프백 보드를 사용하여 실험을 수행하였다. 마지막으로 Catalyst 사의 PCI Express 프로토콜 생성기, 분석기를 통해 GXB의 호환성을 테스트 하였다. 테스트는 단일 레인과 다중 레인에서 모두 이루어졌다.

테스트 결과 GXB 블록은 단일, 다중 레인에서 모두 PCI Express 전기 규격과 프로토콜에 호환됨을 알 수 있었다. 그러나 고속 직렬 프로토콜의 다중 레인에서 반드시 필요한 레인간의 스큐 제거 블록이 XAUI 프로토콜만 지원 되는 것이 아쉬운 점이었다.

본 논문은 GXB를 PCI Express 프로토콜과의 호환성을 검증했으나 다른 직렬 프로토콜 역시 본 논문과 동일한 과정으로 그 기능을 검증 할 수 있다. 본 논문은 FPGA 임베디드 고속 직렬 트랜시버의 테스트 방법에 대한 일련의 과정을 제시함에 중요한 의미가 있다.

참 고 문 헌

- [1] 권원옥, 박경, 김명준, "고속 직렬 트랜시버 내장 FPGA의 기술동향", 주간기술동향, 1110호, pp16-24, 2003년 8월 27일
- [2] PCI Special Interest Group, PCI Express Base Specification, Revision 1.0a, Apr 2003.
- [3] Intel, PHY Interface for the PCI Express Archi

- tecture, Version 1.0, June 2003.
- [4] Ravi Budruk, Don Anderdson and Tom Shanley, PCI Express System architecture, pp. 9-11, Mind Share Inc., 2003.
- [5] Edward Solari and Brad Congdon, The Complete PCI Express Reference, Intel Press Inc., 2003.
- [6] Mayhew, D. and Krishnan, V., "PCI Express and Advanced Switching: Evolutionary Path to Building Next Generation Interconnects," High Performance Interconnects, 2003. Proceedings. 11th Symposium on, pp. 2129, Aug. 2003.
- [7] Xilinx, RocketIO Transceiver User Guide, pp 77-78, March 2003.
- [8] InfiniBand Trade Association, InifiBand Architecture Specification, Release 1.0, Oct. 2000.
- [9] ALTERA application note 237, Using High-Speed Transceiver Blocks in Stratix GX Devices, Nov 2002.
- [10] ALTERA, Stratix GX Transceiver Users Guide v0.3, pp.6-12, July 15, 2003.
- [11] PCI Special Interest Group, PCI Express Card Electromechanical Specification Revision 1.0a, April 15, 2003.
- [12] Intel, PCI Express Board Design Guidelines, June 2003.
- [13] Catalyst, PCI Express development solutions, 2003.

저 자 소 개



권 원 옥(정회원)
 1996년 경북대학교
 전자공학과 학사 졸업
 2001년 경북대학교
 전자공학과 석사 졸업
 2001년~2002년 LG전자 정보통신
 연구원

2002년~현재 한국전자통신연구원 연구원(디지털
 홈연구단 인터넷서버그룹 하드웨어플랫폼팀)
 <주관심분야: 고속신호무결성분석, ASIC 설계>



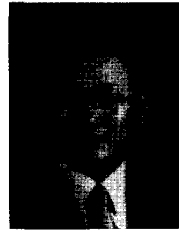
박 경(정회원)
 1991년 전북대학교
 컴퓨터공학 학사 졸업
 1993년 전북대학교
 컴퓨터공학 석사 졸업
 1993년~현재 한국전자통신연구원
 선임연구원

(디지털홈연구단 인터넷서버그룹 하드웨어플랫폼팀
 팀장)
 2004년~현재 고려대학교 전산학과 박사과정
 <주관심분야: 컴퓨터구조, 마이크로프로세서구조,
 병렬처리, 상호연결망>



권 혁 제(정회원)
 1995년 전북대학교
 자원공학과 학사 졸업
 1997년 전북대학교
 전자공학과 석사 졸업
 1999년 전북대학교
 전자공학과 박사수료

2001년~2004년 아라리온(주) 첨단기술연구소
 연구원
 2004년~현재 비온드마이크로 연구원
 <주관심분야: 디지털, 아날로그 ASIC 설계>



윤 석 한(정회원)
 1977년 고려대학교
 전자공학과 학사 졸업
 1986년 한국과학기술원
 전산학과 석사 졸업
 1995년 고려대학교 전자공학과
 컴퓨터공학 박사 졸업

1977년~1985년 한국전자기술연구소 선임 연구원
 1985년~2000년 한국전자통신연구원 책임연구원
 2000년~2001년 시큐어넷컴(주) 대표이사
 2001년~2003년 한국전자통신연구원 책임연구원
 (부장)
 2003년~현재 고려대학교 컴퓨터정보학과 부교수
 <주관심분야: 고성능컴퓨터구조, 마이크로프로세
 서, 임베디드 시스템, 병렬처리>

