

논문 2004-41SD-7-13

고속 블록 터보 코드 복호 알고리즘 및 하드웨어 구조 설계

(A High Speed Block Turbo Code Decoding Algorithm and Hardware Architecture Design)

유 경 철*, 신 형 식**, 정 윤 호**, 김 근 회***, 김 재 석**

(Kyungchul Yoo, Hyungshik Shin, YunHo Jung, Kunhoe Kim, and Jaeseok Kim)

요 약

본 논문에서는 고속 블록 터보 코드 복호 알고리즘을 제안하고 이를 하드웨어로 검증하였다. 멀티미디어 무선 데이터 통신 시스템은 높은 에러 정정 능력을 가진 채널 부호 방식을 요구한다. 블록 터보 코드는 블록 코드의 특성으로 인하여 다양한 코드율과 패킷 크기를 지원할 수 있으며, 터보 코드의 연판정 반복 기법으로 높은 성능을 보인다. 하지만, 반복 기법과 외부정보 연산의 복잡한 구조로 때문에 복호 시간이 긴 단점을 갖고 있다. 이러한 긴 복호 시간의 문제점을 해결하기 위하여 제안된 복호 알고리즘은 외부정보 연산단계에서 이를 해결하였다. 외부정보 연산을 할 때 채널 정보를 이용하여 채널 정보 상태에 대한 임계치를 정한 후, 채널 정보가 좋은 비트에 대해서 외부 정보 연산 과정을 생략하는 대신 높은 신뢰도의 값을 할당함으로써 외부정보 연산이 감소되는 고속 복호기를 구현하였다. 채널 상태를 나타내는 임계치를 복호기의 입력인 신뢰도(Log Likelihood Ratio, LLR)가 가우시안 분포를 이루게 된다는 점에 착안하여 평균과 표준편차의 선형 조합으로써 결정하였다. 제안된 알고리즘을 Verilog-HDL을 이용하여 설계한 결과 기존 블록 터보 코드 복호 알고리즘에 비하여 약 30%의 외부정보 연산량과 복호시간이 감소 되었고, 약 20K logic gate와 32Kbit의 메모리를 포함하였다.

Abstract

In this paper, we propose a high speed block turbo code decoding algorithm and an efficient hardware architecture. The multimedia wireless data communication systems need channel codes which have the high-performance error correcting capabilities. Block turbo codes support variable code rates and packet sizes, and show a high performance due to a soft decision iteration decoding of turbo codes. However, block turbo codes have a long decoding time because of the iteration decoding and a complicated extrinsic information operation. The proposed algorithm using the threshold that represents a channel information reduces the long decoding time. After the threshold is decided by a simulation result, the proposed algorithm eliminates the calculation for the bits which have a good channel information and assigns a high reliability value to the bits. The threshold is decided by the absolute mean and the standard deviation of a LLR(Log Likelihood Ratio) in consideration that the LLR distribution is a gaussian one. Also, the proposed algorithm assigns '1', the highest reliable value, to those bits. The hardware design result using verilog HDL reduces a decoding time about 30% in comparison with conventional algorithm, and includes about 20K logic gate and 32Kbit memory sizes.

Keywords : BTC, Turbo codes, channel information, LLR

I. 서 론

정보 통신의 급격한 발전에 따라 음성위주의 서비스

에서 데이터, 영상 신호와 같은 멀티미디어 무선통신 서비스에 대한 비중이 높아지고 있다. 특히 무선 랜 시스템 등과 같은 멀티미디어 통신에서는 보다 우수한 성능을 갖는 채널 부호 방식이 요구된다. 이러한 시스템은 무선 채널의 특성상 데이터를 전송하는 경우, 채널 상에서 발생할 수 있는 페이딩, 간섭, 잡음 등의 여러 가지 원인에 의해서 오류가 발생할 확률이 높다. 그러므로 무선 채널의 환경에서 이용되는 채널 부호화 기술은 왜곡된 신호로부터 전송된 정보를 보호하기 위해 높은 성능을 필요로 한다^[1-2]. 특히, 대표적인 예가 현재

* 정회원, 삼성전자 통신연구소
(Samsung Electronics)

** 정회원, 연세대학교 전기전자공학과
(Dept. of Electrical and Electronic Eng., Yonsei Univ.)

*** 정회원, (주)C&S technology

※ 본 연구는 정보통신부 대학 IT 연구센터 육성, 지원 사업의 결과로 수행되었습니다.

접수일자: 2004년3월3일, 수정완료일: 2004년6월1일

IMT-2000 시스템에 사용되고 있는 컨벌루션 터보 코드이다^[3]. 하지만, 컨벌루션 터보 코드는 컨벌루션 부호화 방식으로 인하여 높은 코드율과 다양한 패킷 사이즈를 지원하는 데 문제점을 가지고 있다. 또한, 무선 랜 시스템 등과 같은 멀티미디어 데이터 통신에는 높은 전송률을 지원하기 위하여 높은 코드율과 다양한 패킷 사이즈를 지원할 수 있는 채널 부호 방식이 요구된다.

이러한 시점에서 1998년 Pyndiah^[4]는 블록 코드와 터보 코드의 개념을 합하여 블록 터보 코드를 제안하였다. 블록 터보 코드는 블록 코드에 연접 부호 방식을 사용하여 부호화함으로써 다양한 코드율과 다양한 패킷 사이즈를 지원할 수 있다. 또한 블록 터보 코드는 블록 코드의 복호 방식인 대수 복호기(algebraic decoder)의 사용으로 인하여 컨벌루션 터보 코드의 복호기인 MAP(Maximum A Posteriori)이나 SOVA(Soft Output Viterbi Algorithm)방식의 복호기보다 낮은 복잡도로 구현된다^[5]. 블록 터보 코드의 복호에 사용되는 알고리즘으로는 Chase 알고리즘^[6], Kanko 알고리즘^[7] 등이 있지만, 복잡도와 성능 면에서 주로 Chase 알고리즘을 사용한다고 알려져 있다. 그러나, Chase 알고리즘을 이용한 반복 복호 방식은 복호기의 출력인 외부 정보를 계산할 때 외부정보 연산량이 많고, 복호 시간이 긴 단점을 갖는다. 따라서, 블록 터보 코드를 무선 멀티미디어 시스템에 적용하기 위해서는 긴 복호 시간의 문제점이 있게 된다.

본 논문에서는 블록 터보 코드의 연산량과 복호 시간을 줄일 수 있는 효율적인 복호 알고리즘을 제안한다. 제안된 알고리즘은 블록 터보 코드 복호시 외부 정보를 연산하는데 있어서 채널 정보를 이용하여 채널 정보가 좋은 비트에 대해서는 외부 정보 계산을 생략하고, 대신 높은 신뢰도 값을 할당한다.

본 논문의 구성을 보면 다음과 같다. 먼저 II장에서는 블록 터보 코드의 복호 알고리즘에 대해서 설명한다. 이어서, III장에서는 제안된 블록 터보 코드 복호 알고리즘에 대해서 설명하고, 성능 평가 결과를 제시한다. IV장에서는 제안된 알고리즘을 적용한 블록 터보 코드 복호기의 설계 및 검증 결과를 제시하고, 마지막으로 V장에서 본 논문의 결론을 맺는다.

II. 기존의 블록 터보 코드 복호 알고리즘

이번 장에서는 블록 코드의 연관정 기법에 사용되는

Chase 알고리즘 및 블록 터보 코드의 연관정 복호 방법에 대해 알아본다.

1972년, Chase^[6]는 에러 정정 능력을 이용한 블록 코드의 연관정 기법을 제시하였다. Chase 알고리즘은 수신단에서 최대 유사 판정(maximum likelihood decision, MLD)에 의해서 송신단에서의 코드워드와 수신된 코드워드의 거리를 비교하여, 거리가 가장 작은 코드워드를 결정하는 방법 대신 다음과 같은 방법으로 비교해야 하는 코드워드의 개수를 줄였다.

1) 수신된 데이터의 신뢰도인 LLR(Log Likelihood Ratio)을 계산한 후 LLR의 절대값이 상대적으로 작은 p 개의 위치를 찾아낸다. 또한, 수신된 데이터를 경관정한다.

2) p 개의 위치에 대한 2^p 개의 테스트 패턴(test pattern)을 만들어 낸다. 신뢰도가 적은 위치에서 에러가 났다고 가정하므로, p 의 위치에는 1을 그렇지 않은 곳에는 0을 위치시킨다.

3) 과정 1)에서 경관정한 코드워드와 과정 2)에서 구한 테스트 패턴간의 논리적 배타 합을 구한다. 따라서, 하나의 경관정한 데이터에 대해서 2^p 개의 가능한 코드워드가 발생한다.

4) 과정 3)에서 생성된 2^p 개의 코드워드를 신드롬(syndrome)을 계산하여 에러를 정정해주는 대수적 복호기(algebraic decoder)의 입력으로 사용한다. 신드롬 디코더는 2^p 개의 코드워드를 출력으로 내보낸다. 2^p 개의 출력된 코드워드와 수신된 데이터와의 유클리디안 거리(Euclidean distance)를 계산한다. 그 중에서 거리가 가장 작은 코드워드를 결정된 코드워드 D 라고 한다.

$$D = (d_1, d_2, \dots, d_n) \quad (1)$$

여기서 n 은 코드워드의 크기를 나타낸다. 블록 터보 코드의 출력인 외부정보(extrinsic information)을 계산하기 위해서는 $c_j \neq d_j$ 인 값을 갖는 대응 코드워드를 구해야 한다.

$$C = (c_1, c_2, \dots, c_n) \quad (2)$$

이러한 결정된 코드워드 D 와 대응 코드워드를 이용하여 계산되는 외부정보 연산식은 다음과 같이 두가지 경우로 구분된다.

Case 1) 대응되는 코드워드 C가 2^b 개의 코드워드 내에 존재할 때

$$w_j = \left(\frac{|R - C_i^{\min(-1)}|^2 - |R - C_i^{\min(+1)}|^2}{4} \right) \times d_j - r_j \quad (3)$$

Case 1) 대응되는 코드워드 C가 2^b 개의 코드워드 내에 존재하지 않을 때

$$w_j = \beta \times d_j \quad (4)$$

여기서 β 값은 반복 회수에 따른 신뢰도 값으로 Pyndiah^[5]에 의해서 실험적으로 다음과 같이 결정되었다. m 은 행 또는 열의 반복 회수를 나타낸다.

$$\beta(m) = [0.2, 0.4, 0.6, 0.8, 1.0, 1.0, 1.0, 1.0] \quad (5)$$

식 (3)과 (4)에서 w_j 는 코드워드에서 j 번째 비트에 대한 외부정보이며 r_j 는 수신 받은 j 번째 데이터이고, $C^{\min(+1)}$ 은 j 번째 위치에서 1의 값을 가지면서 R로부터 최소의 유클리디안 거리에 있는 코드워드이며, 마찬가지로 $C^{\min(-1)}$ 을 j 번째 위치에서 -1의 값을 가지면서 수신 코드워드 R로부터 최소의 유클리디안 거리에 있는 코드이다.

위에서 언급한 복호과정에서 블록 터보 코드의 출력인 외부정보는 코드워드 각각의 비트에 대한 신뢰도 값이다. 즉, 기존 1)의 외부정보 연산 알고리즘은 블록 코드의 코드워드 길이만큼의 연산량을 필요로 한다. 블록 터보 코드는 곱 코드의 부호화 과정을 거치므로 블록 코드의 코드워드의 길이를 n 이라고 하였을 때 외부정보 값을 계산하는 데 필요한 외부정보 연산회수는 n^2 이 된다. 또한, 외부정보의 연산 블록을 하드웨어 구현시 n_{clk} 의 클럭수를 필요로 한다면 행 또는 열을 계산할 때 총 필요한 연산 시간은 $n^2 \times n_{clk}$ 이 된다. 따라서, 외부정보 연산량은 복호시간에서 많은 부분을 차지하게 되어서 고속 또는 높은 전송률을 필요로 하는 시스템에 있어서 문제를 발생시키게 된다. 이러한 문제점을 해결하기 위하여 복호기의 성능을 유지하면서 외부정보 연산 시간을 줄일수 있는 알고리즘이 필요하다.

III. 제안된 복호 알고리즘

1. 제안된 고속의 외부 정보 연산 알고리즘

제안된 외부 정보 연산 알고리즘은 기존의 블록 터보 복호 알고리즘의 외부정보 연산과정이 복잡하면서도 긴 복호 시간을 차지하게 되므로 이를 줄이고자 하였다. 코드워드 각각의 비트에 대하여 외부정보를 계산하는 기존 방법과 달리 채널 정보를 나타내는 임계치를 이용하여 임계치이상으로 수신된 채널 상태가 좋은 비트에 대해서 외부정보 연산을 생략하는 방안이다. 따라서, 채널 정보의 상태를 나타내는 임계치를 구하는 것과 임계치이상의 생략된 비트에 대해서 할당해 주는 값을 결정하는 두가지를 문제점이 남게 된다.

첫째로 채널 정보를 나타내는 임계치를 구하는 방법이다. 채널 정보가 좋다는 뜻은 채널 잡음에 영향을 덜 받았다는 뜻이며, 또한 그러한 입력을 받아들일 때의 복호기 출력인 외부정보 값의 신뢰도가 크다는 의미이다. 이러한 채널 정보를 나타내는 임계치를 구하기 위하여 복호기의 입력과 출력이 가우시안 분포를 따른다는 점을 고려해야 한다. 가우시안 분포는 평균을 중심으로 표준편차의 합과 차 값으로 데이터가 양쪽으로 분포하게 되어서 평균과 표준편차로써 나타내질 수 있다. 따라서, 제안된 알고리즘에서는 채널 정보의 임계치를 결정하기 위해서 평균과 표준편차의 선형 조합으로써 결정하였다. 임계치 설정을 위한 상세한 방안은 3.2항에서 제시한다.

두 번째로 외부정보 연산을 생략하는 비트에 대하여 높은 신뢰도의 값을 할당해 주어야 한다. 여기서 고려해야 할 점은 식 (5)의 β 값이다. β 값은 반복이 진행됨에 따라서 증가하고 최대 1까지 증가하게 된다. 반복이 증가한다는 뜻은 외부정보의 분포가 점점 더 정확해 가우시안 분포를 이룬다는 뜻이며, 신뢰도가 증가한다는 의미이다. 따라서, 채널 정보가 좋은 비트는 외부정보 계산을 생략하고, 최대 신뢰도 값이 1의 값을 할당할 수 있다는 의미가 된다. 그러므로, 제안된 알고리즘은 외부정보의 연산량을 줄이고자 외부정보 연산에 채널 정보를 이용하여 기존의 복호 알고리즘과 동일한 성능을 유지시키면서 연산량을 감소시키는 방식이다.

신뢰도의 채널 상태를 L_{st} 라고 하고, 외부정보 연산의 생략이 가능한 채널 정보의 임계치를 V_{th} , 신뢰도가 높은 값을 θ_{high} 라고 한다면

$$w_j = \begin{cases} \theta_{high}^{d_j} & \text{if } L_{st} \geq V_{th} \\ \left(\frac{|R - C_i^{\min(-1)}|^2 - |R - C_i^{\min(+1)}|^2}{4} \right) \times d_j - r_j & \text{otherwise} \end{cases} \quad (6)$$

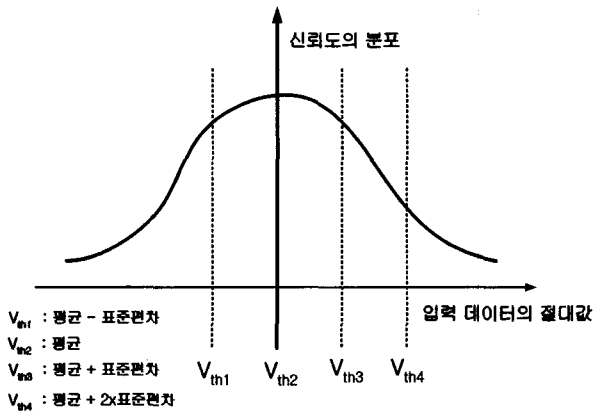


그림 1. 복호기 입력의 분포에 따른 임계치의 결정
Fig. 1. Several thresholds using mean and standard deviation of LLR.

여기서, 신뢰도가 높은 값인 θ_{high} 은 1로 할당하였다. 요약하면, 제안된 외부정보 연산 알고리즘은 식 (6)의 연산을 채널 정보인 L_{st} 에 따라 구분하여 계산함으로써 동일한 성능을 유지하면서 외부정보 연산 과정을 줄이고자 하는 방식이다.

3.2 임계치 (V_{th})의 선정 및 임계치에 따른 성능 평가

제안된 알고리즘은 채널 정보의 상태에 따라서 외부정보 연산을 결정한다. 채널 정보가 좋은 비트에 대해서는 외부정보 연산을 생략하고, 좋지 못한 비트에 대해서는 기존의 복호 알고리즘 방식으로 연산을 한다. 외부정보의 계산을 생략하게 되는 임계치를 총 4개로 결정하여 그림 1에 나타내었다.

그림 1은 실험적으로 결정한 4개의 임계치를 나타낸다. V_{th2} 는 '평균값'이며, V_{th1} 은 평균에서 표준편차를 뺀 값, '평균-표준편차'이며 V_{th3} 은 '평균+표준편차', V_{th4} 는 '평균+2*표준편차'의 값이다. 이러한 값들의 분포는 블록 터보 코드의 반복이 증가할수록 더욱 분명한 가우시안 분포를 이루게 된다. 에러율이 높은 반복의 초기 단계에서는 양수와 음수 영역의 분포가 서로 뒤섞여있는 반면, 반복이 증가할수록 즉, 비트에 대해서 결정한 신뢰도 값이 증가할수록 가우시안 분포는 양수와 음수가 명확하게 나뉘어 지게 된다. 그러므로, 실험적으로 결정된 임계치는 복호기 입력의 평균과 표준편차 절대값으로부터 얻어진 값들이다.

선정된 4개의 임계치로써 기존의 복호 알고리즘에 적용한 성능 평가의 결과를 그림 2에 나타내었다.

그림 2에 볼 수 있듯이, 임계치를 V_{th3} (평균+표준편

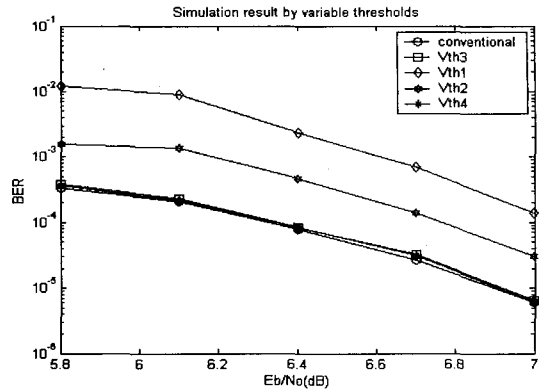


그림 2. 여러 임계치 (V_{th})에 따른 성능 비교
Fig. 2. Performance analysis results by variable thresholds.

표 1. 임계치에 따른 제안된 알고리즘과 기존 복호 알고리즘^[4-5]의 성능 및 복잡도 비교
Table 1. The comparison of proposed extrinsic information algorithm and conventional^[4-5] by variable thresholds.

평가항목	기존 알고리즘	제안된 알고리즘			
		없음	V_{th1}	V_{th2}	V_{th3}
동일 성능에 대한 dB비교	P	P+1~3dB	P+0.5~2dB	P	P
외부정보 메모리 크기(%)	100	40~50	50~60	60~70	70~80
연산량(%)	100	40~50	50~60	60~70	70~80

차)로 선정하여 복호 알고리즘에 적용하였을 때 기존의 알고리즘과 거의 동일한 성능이 나타남을 확인할 수 있었다.

표 1은 임계치에 따른 제안된 알고리즘과 기존 복호 알고리즘의 성능 및 복잡도를 비교한 것이다.

표 1에서 볼 수 있듯이, 외부정보를 계산하는 데 있어서 임계치를 평균+표준편차로 하였을 때, 기존 복호 알고리즘과 동일한 성능을 보이면서 외부정보 메모리 크기와 연산량이 30~40%감소함을 확인하였다.

3.3 제안된 알고리즘 성능 평가

제안된 외부정보 연산 알고리즘을 기존의 복호 알고리즘에 적용하여 성능평가를 수행하였다. 체이스 알고리즘에서 적용된 테스트 패턴(test pattern)은 16개를 사용하였고, 채널 환경은 AWGN(Additive White Gaussian Noise)을 가정하였으며 변조 방식은 16QAM과 64QAM을 사용하였다. 그림 3은 16QAM 변조 방식

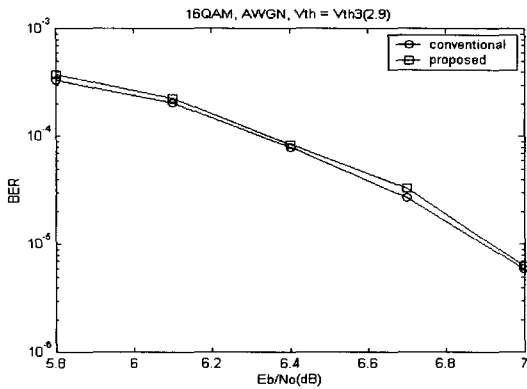


그림 3. 16QAM, AWGN일때의 제안된 알고리즘의 성능 평가 결과

Fig. 3. BER versus Eb/No(dB) for conventional and proposed on AWGN channel using 16QAM signaling.

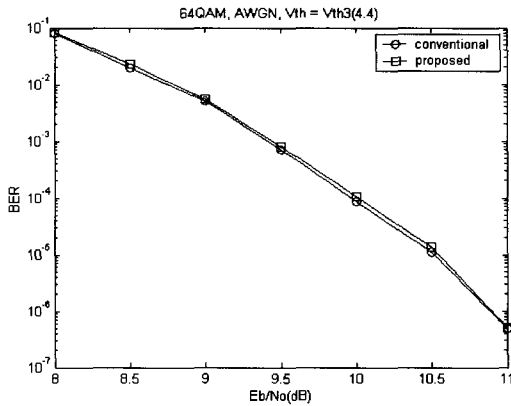


그림 4. 64QAM, AWGN일때의 제안된 알고리즘의 성능 평가 결과

Fig. 4. BER versus Eb/No(dB) for conventional and proposed on AWGN channel using 64QAM signaling.

과 임계치를 2.9로 ($V_{th} = V_{th3}$) 하였을 때 제안된 알고리즘과 기존 복호 알고리즘과의 성능 평가 결과이다. 기존과 0.01dB의 차이로 거의 동일한 성능을 보이는 것으로 판단된다.

그림 4는 64QAM 변조 방식과 임계치를 4.4로 ($V_{th} = V_{th3}$) 하였을 때 제안된 알고리즘의 성능 평가를 보여준다. 마찬가지로 제안된 방식과 기존 알고리즘을 비교한 결과 0.005dB의 차이로 거의 동일한 성능을 보이는 것으로 판단된다.

IV. 하드웨어 설계 구현

4.1 전체 블록도

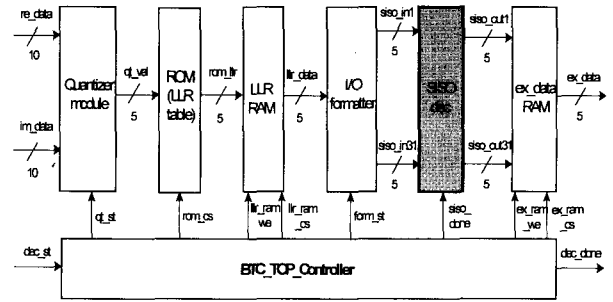


그림 5. 블록 터보 코드 복호기 전체 블록도
Fig. 5. BTC's Top block diagram.

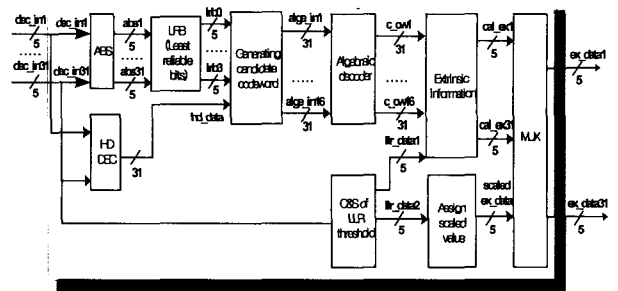


그림 6. 제안된 알고리즘을 적용한 연판정 복호기
Fig. 6. SISO decoder block diagram.

시스템의 앞단의 등화기 블록으로부터 등화가 완료된 후 복호기의 시작을 알리는 dec_start 신호를 받게 된다. 모든 복호가 완료된 후 dec_done신호를 발생시킨다. 블록 터보 코드의 구조를 살펴보면 복호기의 신뢰도 값을 저장한 입력 버퍼와 반복을 위한 연판정 복호기 메모리 블록, 체이스 알고리즘을 이용한 연판정 입력 연판정 출력 복호기(soft input soft output decoder, SISO), 그리고 출력 버퍼로 구성되어 있다.

4.2 연판정 복호기(SISO) 설계

제안된 알고리즘을 적용한 연판정 복호기의 세부 구조는 그림 6과 같다. 먼저, 복호기 입력에 대하여 신뢰도를 구하는 절대값 블록, 계산된 절대값에서 가장 크기가 작은 위치를 찾아내는 최소 신뢰도를 찾는 블록, 경판정된 데이터와 최소 신뢰도 위치에서 논리적 배타함을 구하여 후보 코드워드를 발생하는 블록, 그리고 부호화에 사용되었던 BCH 코드의 복호를 위한 블록, 그리고 계산된 BCH 복호기의 출력을 가지고 블록 터보 코드의 출력을 계산하는 외부 정보 블록으로 구성된다. 제안된 알고리즘은 임계치(V_{th3})에 따라서 외부 정보를 생략하게 된다. 따라서, 그림에서 신뢰도와 임계치를 비교하는 블록과 임계치이상의 데이터에 대하여 높은 신뢰도 값을 할당함으로써 기존의 외부정보 계산

표 2. 기존 복호 알고리즘[9]과 제안된 알고리즘 외부 정보 연산량 비교

Table 2. Comparison results of the proposed and conventional TI[9] operation.

곱셈기	127	89	30%감소
가감산	508	356	
절대값계산	254	178	
비교 선택기	254	178	
거리계산	254	178	
총 연산회수	1397	979	

을 생략하기 위한 블록이 존재한다. 임계치는 연판정 복호기이외에 메모리를 이용하여 값을 받게 된다. 여기서 메모리의 값을 읽기 위한 주소는 변조 방식의 모드에 따른 값을 사용한다^[8]

4.3 설계 결과

표 2는 반복 회수에 따른 기존의 복호 알고리즘과 제안된 방식을 적용하였을 때 블록 터보 코드의 출력인 외부정보를 계산하는 데 필요한 연산량을 비교한 것이다.

사용된 코드워드는 127bit이며 연판정 복호기 1회의 복호를 가정하였다. 제안된 알고리즘을 적용한 블록 터보 코드를 Verilog-HDL과 0.35 μm 공정을 이용하여 설계한 결과 기존 블록 터보 코드 복호 알고리즘에 비하여 약 30% 외부정보 연산량이 감소되었고, 약 20K logic gate와 32Kbit의 메모리를 포함하였다.

V. 결 론

본 논문에서는 고속 블록 터보 코드 복호 알고리즘을 제안하였다. 정보 통신의 급격한 발달로 멀티미디어 무선 데이터 통신 시스템은 터보 코드 등과 같은 높은 에러 정정 능력을 가진 채널 부호 방식을 요구한다. 하지만, 컨벌루션 터보 코드는 컨벌루션 부호화 방식으로 인하여 높은 코드율과 다양한 패킷 크기를 지원하는 데 문제점을 가지고 있다. 블록 터보 코드는 블록 코드의 특성으로 인하여 다양한 코드율과 패킷 크기를 지원할 수 있으며, 터보 코드의 연판정 기법으로 좋은 성능을 내지만 반복 기법과 외부정보의 복잡한 구조로 인하여 복호 시간이 길어지는 단점을 갖고 있다.

따라서, 제안된 복호 알고리즘에서는 외부정보를 계

산하는 과정에서 기존과 다르게 채널 정보를 이용하여 채널 정보가 좋은 비트에 대해서 외부 정보 연산 과정을 생략하는 대신 높은 신뢰도의 값을 할당하였다. 채널 정보가 좋은 임계치를 결정하기 위하여 복호기의 입력인 신뢰도(LLR)가 가우시안 분포를 이루게 된다는 점에 착안하여 임계치를 평균과 표준편차의 선형 조합으로써 결정하였다. 제안된 알고리즘을 Verilog-HDL과 0.35 μm 공정을 이용하여 설계한 결과 기존 블록 터보 코드 복호 알고리즘에 비하여 약 30%의 외부정보 연산량과 복호시간이 감소되었고, 약 20K logic gate와 32Kbit의 메모리를 포함하였다.

참 고 문 헌

- [1] R. E. Blahut, Theory and Practice of Error Control Codes. Addison Wesley, 1983.
- [2] S. B. Wicker, Error Control System for Digital Communication and Storage, Prentice Hall, New Jersey, 1995.
- [3] C. Berrou, A. Glavieux and P. Thitimajshima, "Near Shannon limit error-correcting coding and decoding : Turbo-codes (1)," *IEEE Int. Conf. On Comm. ICC '93, vol 2/3, May 1993, pp. 1064-1071.*
- [4] R. M. Pyndiah, A. Glavieux, A. Picart and S. Jacq, "Near optimum decoding of products codes," in *proc. of IEEE GLOBECOM'94 Conference, vol. 1/3, Nov. Dec. 1994, San Francisco, pp. 339-343.*
- [5] R. M. Pyndiah, "Near optimum decoding of product codes: Block turbo codes", *IEEE Trans. Commun, vol. 46, pp. 1003-1010, Aug. 1998.*
- [6] D. Chase. "A class of algorithms for decoding block codes with channel measurement information," *IEEE Trans. Inform. Theory, vol IT-18, Jan. 1972, pp. 170-182.*
- [7] T. Kaneko, T. Nishijima, H. Inazumi, and S. Hirasawa, "A efficient maximum-likelihood-decoding algorithms for linear block codes with algebraic decoder," *IEEE Trans. Inform. Theory, vol. 40, pp. 320-327, Mar. 1994.*
- [8] 유경철, 정윤희, 이정혁, 김재석, "효율적인 터보 곱 코드 복호 알고리즘 및 하드웨어 구현 결과", 2002 대한전자공학회 컴퓨터/반도체 소사이어티 추계학술대회, pp. 489-492, 2002. 11.
- [9] P. Adde, R. Pyndiah, O. Raoul, "Performance and complexity of block turbo decoder circuits", *Electronics, Circuit, and Systems, 1996. ICECS '96. Proceedings of the International Conf. on, Volume 1, pp. 172-175.*

저 자 소 개



유 경 철(정회원)
2001년 연세대학교 전자공학과
학사 졸업.
2003년 연세대학교 전기전자
공학과 석사 졸업.
2003년~현재 (주)삼성전자 통신
연구소

<주관심분야: 다중 반송파 통신 시스템, FEC 기
법연구, 통신시스템용 SoC 설계>



신 형 식(정회원)
2000년 연세대학교 전자공학과
학사 졸업.
2004년~현재 연세대학교 전자
공학과 석사 졸업.
<주관심분야: 다중 반송파 통신
시스템, FEC 기법연구, 통신시스
템용 SoC 설계>



정 윤 호(정회원)
1998년 연세대학교 전자공학과
학사 졸업.
2000년 연세대학교 전자공학과
석사 졸업.
2000년~현재 연세대학교 전기
전자공학과 박사과정.

<주관심분야: 다중 반송파 통신 시스템, 다중 안
테나 기법, 통신시스템용 SoC 설계>



김 근 회(정회원)
1993년 연세대학교 전자공학과
학사 졸업.
1995년 연세대학교 전자공학과
석사 졸업.
1995년~현재 연세대학교 전기
전자공학과 박사과정.

2003년~현재 (주)C&S technology 반도체 연구소
<주관심분야: 무선 LAN, 다중 반송파 통신 시스
템, 통신시스템용 SoC 설계>



김 재 석(정회원)
1977년 연세대학교 전자공학과
학사 졸업.
1979년 한국과학기술원 전기전자
공학과 석사 졸업.
1988년 Rensselaer Polytechnic
Institutes NY NSA(Ph.D)

1993년-1995년 한국전자통신연구원 책임연구원
1996년~현재 연세대학교 전기전자공학과 교수
<주관심분야: 유무선 통신시스템, 영상처리시스
템, 통신 및 영상처리시스템용 SoC 설계>

