

논문 2004-41SD-7-12

넓은 범위의 전류 출력을 갖는 고선형 전압-제어 전류원 회로

(High-linearity voltage-controlled current source circuits with wide range current output)

차 형 우*

(Cha, Hyeong-Woo)

요 약

넓은 범위의 전압-제어 발진기 및 자동 이득 조절기의 실현을 위한 고선형 전압-제어 전류원(VCCS) 회로를 제안하였다. 제안한 VCCS는 전압 입력을 위해 이미터 폴로워, 전류 출력을 위해 이미터가 결합된 두 개의 공통-베이스 증폭기, 그리고 넓은 범위의 전류 출력과 높은 선형성을 얻기 위해 두 증폭기를 결합한 전류 미러로 구성된다. VCCS의 회로는 별도의 바이어스 회로가 없이 단지 5개의 트랜지스터와 1개의 저항기만 사용하였다. 시뮬레이션 결과 제안한 VCCS는 5V의 공급전압에서 1V에서 4.8V까지의 제어-전압에 대하여 최대 0A에서 300mA까지의 전류를 출력할 수 있다. 0mA에서 300mA의 출력 전류의 최대 선형 오차는 1.4 %이었다.

Abstract

High-linearity voltage-controlled current sources (VCCSs) circuits for wide voltage-controlled oscillator and automatic gain control are proposed. The VCCS consists of emitter follower for voltage input, two common-base amplifier which their emitter connected for current output, and current mirror which connected the two amplifier for large output current. The VCCS used only five transistors and a resistor without an extra bias circuit. Simulation results show that the VCCS has current output range from 0mA to 300mA over the control voltage range from 1V to 4.8V at supply voltage 5V. The linearity error of output current has less than 1.4% over the current range from 0A to 300mA.

Keywords: voltage-controlled current source, current source, current sink, voltage-to-current converter, integrated circuit

I. 서 론

전압-제어 전류원(voltage-controlled current source : VCCS)은 출력 전류를 임의의 입력 전압으로 제어할 수 있는 기능을 하는 회로로써, R-C 이완 발진기(relaxation oscillators), 이미터-결합 멀티바이브레이터(emitter-coupled multi-vibrators), 전압-제어 발진기, 그리고 자동 이득 조절(automatic gain control : AGC) 회로 등에 필수적인 회로이다^[1]. 따라서, 넓은 발진 주파수를 갖는 각종 발진기 및 AGC 회로를 실현하기 위

해서는 높은 선형성을 갖고 넓은 전류 제어 범위를 갖는 전압-제어 전류원(VCCS)의 회로가 반드시 필요로 하다.

전압-제어 전류원은 연산 증폭기(operational amplifier: op-amp)와 연산 트랜스컨덕턴스 증폭기(operational transconductance amplifier : OTA)와 같은 기능성 칩(chip)을 사용하여 실현하는 방법과 트랜지스터 레벨(level)로 실현하는 경우가 있다^{[2]-[3]}. 전자는 높은 선형성과 출력 전류의 범위가 넓은 장점은 있지만 내부 회로가 복잡하기 때문에 집적(integrated circuit)화할 때 큰 면적을 차지하여 생산성이 낮아지는 단점이 있고, 후자는 회로구성이 간단하고 집적화하기는 적합하지만 낮은 선형성과 좁은 출력 전류 범위를 갖고 있는

* 정회원, 청주대학교 반도체공학과
(Dept. of Semiconductor Eng. Chongju Univ.)
접수일자: 2004년4월21일, 수정완료일: 2004년6월16일

문제점이 있다.

본 연구에서는 종래의 VCCS 회로의 문제점을 개선하고, 보다 간단한 회로 구성을 갖는 VCCS 회로를 제안한다. 본 절에 이어 본문에서는 종래의 VCCS 회로의 문제점을 분석하고, 이 문제점을 개선한 VCCS의 회로 구성과 동작 원리를 논의한다. 설계된 VCCS의 동작 원리와 성능은 시뮬레이션결과 및 검토에서 논의하고 결론에서는 본 논문을 정리한다.

II. 회로 구성 및 동작 원리

1. 종래의 VCCS 회로

VCCS에는 크게 전류 소스(current source)와 전류 싱크(current sink) 회로로 구분된다. 전류 소스는 부하로 일정한 전류를 공급해주는 기능을 하는 것이고 전류 싱크는 부하로부터 일정한 전류를 끌어당기는 기능을 한다. 전류 소스와 싱크 회로는 상보적인 기능을 하고 있기 때문에 이들의 회로 역시 상보적인 구성을 갖고 있다. 종래의 전류 소스 회로도들 그림 1에 나타냈다. 그림 1(a)는 가장 기본적인 전압-제어 전류 소스의 회로이고, (b)는 전류 구동 능력을 향상시키는 전류 소스 회로이다^[4]. 그림 1(a)에 나타낸 전류 소스 회로는 정전류원 J 에 의해 바이어스가 되어 있는 이미터 폴로워 Q_1 , 전류 출력을 위한 공통-베이스 증폭기 Q_2 , 그리고 출력 전류를 조정하는 저항기 R_1 으로 구성된다. $i_{OUT} \cong J$ 경우에는 Q_1 의 베이스에 인가한 제어-전압

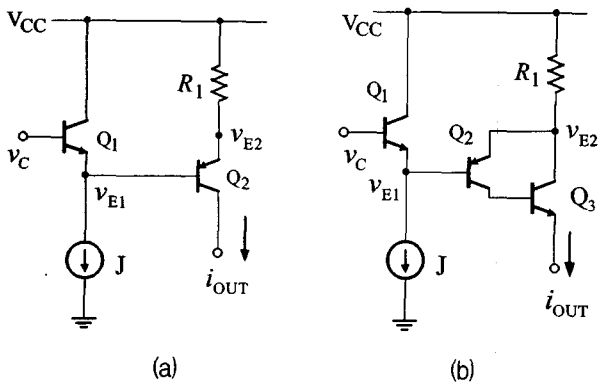


그림 1. 종래의 전압-제어 전류 소스(source)의 회로도 ; (a) 기본적인 전류 소스, (b) 고출력을 얻기 위한 전류 소스

Fig. 1. Circuit diagrams of conventional voltage-controlled current source (VCCS); (a) basic current source, (b) current source for high current output.

v_C 보다 $v_{BE1} (\cong 0.7V)$ 만큼 낮은 전압이 Q_1 의 이미터에 나타나고 Q_2 에 의해 다시 $v_{BE2} (\cong 0.7V)$ 만큼 높은 전압이 Q_2 의 이미터 단자에 나타난다. 따라서, $v_{E2} \cong v_C$ 이 되어 R_1 에 흐르는 전류를 구할 수 있다. $i_{OUT} \gg J$ 경우에는 v_{BE1} 은 J 에 의해 고정된 값을 갖지만 v_{BE2} 는 출력전류 i_{OUT} 에 의해 결정되기 때문에 $v_{E2} \neq v_C$ 이 되어 v_{E2} 단자(Q_2 의 이미터 단자)는 큰 임피던스를 갖는다. 따라서, 큰 출력 전류를 얻을 경우 제어-전압에 대한 출력 전류의 전달 특성 및 출력 전류 범위가 열악해 지는 단점이 있다.

그림 1(b)에 나타낸 회로에서는 출력 전류가 Q_3 를 통해서 거의 흐르기 때문에 Q_2 의 이미터 전류는 상대적으로 작게 흐른다. 따라서 큰 출력 전류 i_{OUT} 에서도 v_{BE2} 의 값이 작게 변화하기 때문에 그림 1(a) 보다는 작은 임피던스를 갖게 된다. 베이스 전류를 무시하고 그림 1(a)와 (b)에 대한 제어 전압에 대한 출력 전류를 구하면 다음과 같이 각각 주어진다.

$$i_{OUT} = \frac{V_{CC} - V_C}{R_1} - \frac{V_T}{R_1} \left(\ln \frac{i_{OUT}}{I_{S2}} - \ln \frac{J}{I_{S1}} \right) \quad (1a)$$

$$i_{OUT} = \frac{V_{CC} - V_C}{R_1} - \frac{V_T}{R_1} \left(\ln \frac{i_{OUT}}{\beta_2 \alpha_3 I_{S2}} - \ln \frac{J}{I_{S1}} \right) \quad (1b)$$

여기서, V_T 는 열전압으로 KT/q 에 해당되고 K 는 볼츠만의 상수, T 는 온도, q 는 전하량이다. 또한, β_2 는 Q_2 의 공통-이미터 전류 증폭률이고 $\alpha_3 = \beta_3 / (\beta_3 + 1)$ 를 의미하고 I_{S1} 과 I_{S2} 는 각각 Q_1 과 Q_2 의 역방향 포화 전류이다.

그림 1에 나타낸 전류 소스 회로와 상보형인 회로 구성을 갖는 전류 싱크 회로를 그림 2에 나타냈다. 그림 2(a)와 (b)의 회로는 그림 1의 전류 소스 회로와 상보적인 동작하며, 동일한 방법으로 출력 전류를 구하면 다음과 같이 주어진다.

$$i_{OUT} = \frac{V_C}{R_1} + \frac{V_T}{R_1} \left(\ln \frac{i_{OUT}}{I_{S2}} - \ln \frac{J}{I_{S1}} \right) \quad (2a)$$

$$i_{OUT} = \frac{V_C}{R_1} + \frac{V_T}{R_1} \left(\ln \frac{i_{OUT}}{\beta_2 \alpha_3 I_{S2}} - \ln \frac{J}{I_{S1}} \right) \quad (2b)$$

위 식으로부터 종래의 VCCS는 바이어스 전류원 J 를 구성하는 회로를 제외하면, 회로 구성이 간단하지만 다음과

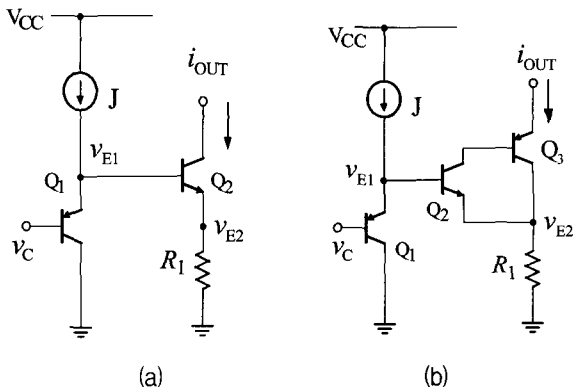


그림 2. 종래의 전압-제어 전류 싱크(sink)의 회로도
(a)기본적인 전류 싱크 (b) 고출력을 얻기 위한 전류 싱크
Fig. 2. Circuit diagrams of conventional voltage-controlled current sinks (VCCS) ; (a) basic current sink, (b) current sink for high current output.

은 문제점들이 있다. 즉, (1) $i_{OUT} \gg J$ 의 경우에 제어 전압 v_C 에 의해 변화되는 출력 전류에 의해 비선형 특성이 발생한다. (2) v_{BE2} 단자의 큰 임피던스에 의해 작은 저항 R_1 에 대하여 큰 전류를 얻을 수 없다. (3) 그림 1과 2의 (b)의 회로에서는 Q_2 의 컬렉터 전류가 출력 전류 i_{OUT} 보다 약 β 배 만큼 작기 때문에 선형 범위는 좋아지지만 Q_3 의 포화 영역 범위가 v_{BE2} 만큼 증가하기 때문에 전류 출력단의 허용전압 또는 스윙(swing) 범위가 작아지는 문제점이 있다.

2. 제안한 VCCS 회로

종래의 VCCS의 문제점을 해결하기 위해서 설계한 전압-제어 전류 소스 회로와 전류 싱크 회로를 그림 3의 (a)와 (b)에 각각 나타냈다. 그림 3(a)에 나타낸 전류 소스 회로는 npn 트랜지스터를 사용한 이미터 폴로워 Q_1 과 pnp 트랜지스터를 사용하고 이미터가 결합된 공통-베이스 증폭기를 구성하는 Q_{2A} 와 Q_{2B} , Q_{2A} 의 컬렉터 전류를 복제하여 Q_1 의 바이어스 전류로 사용하도록 하는 전류 미러 Q_4 과 Q_3 , 그리고 출력 전류의 크기 및 범위를 결정하는 저항기 R_1 으로 구성된다. 그림 3(b)에 나타낸 전류 싱크 회로는 그림 3(a)와 상보적으로 구성되어 있고 상보적인 동작을 하고 있다.

그림 3(a)에서 Q_1 과 Q_2 가 정합되고 Q_{2A} 와 Q_{2B} 의 부하저항이 동일하다고 가정하면 동작원리는 다음과 같

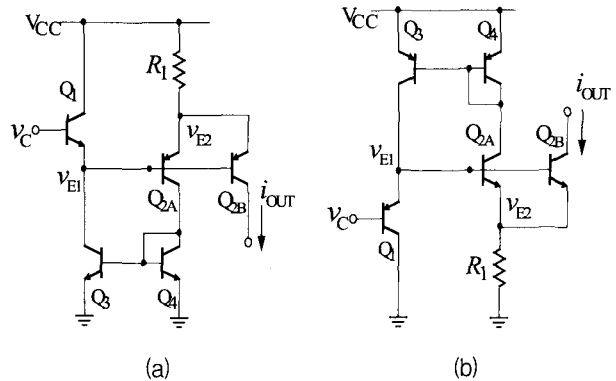


그림 3. 제안한 전압-제어 전류원(VCCS)의 회로도 ;
(a) 전류 소스, (b) 전류 싱크
Fig. 3. Circuit diagrams of proposed voltage-controlled current source and sink ; (a) current source, (b) current sink.

다. Q_1 의 베이스에 인가된 제어-전압 v_C 는 v_{BE1} ($\cong 0.7V$)만큼 낮은 전압이 v_{E1} 에 나타날 것이다. 이 전압은 Q_{2A} 에 의해 v_{BE2} ($\cong 0.7V$)만큼 높아져 v_{E2} 전압은 v_C 와 동일할 것이다. 이 전압과 전원 공급 전압 V_{CC} 사이의 저항기 R_1 에 의해 발생하는 전류의 절반은 Q_{2A} 를 통해 전류 미러 입력단 Q_4 로 흐르고 나머지 절반은 Q_{2B} 를 통해 최종 출력된다. 또한, Q_{2A} 로 들어온 전류는 전류 미러 Q_3 과 Q_4 에 의해 복제되어 Q_1 의 바이어스 전류가 된다. 즉, 전류 미러를 첨가함으로써 Q_1 , Q_{2A} , Q_{2B} 의 컬렉터 전류는 항상 동일하게 된다. 따라서, v_{BE1} 의 증감은 v_{BE2} 의 증감과 동일하기 때문에 항상 $v_{E2} = v_C$ 가 되어 v_{E2} 단자는 매우 낮은 임피던스를 갖게 된다^[5].

트랜지스터의 공통-이미터 전류 이득 $\beta \gg 1$ 로 가정하고 pnp 트랜지스터와 npn 트랜지스터를 부정합을 고려한 다음, 제어-전압 V_C , Q_1 , Q_{2A} , R_1 , 그리고 공급 전압 V_{CC} 를 통하는 루프(loop)에서 전압 방정식을 적용하면 다음과 같은 제어-전압에 대한 출력 전류식을 얻을 수 있다.

$$i_{OUT} = \frac{1}{2R_1} (V_{CC} - V_C + v_{BE1} - v_{E2})$$

$$= \frac{1}{2R_1} \left(V_{CC} - V_C + V_T \ln \frac{I_{S2}}{I_{S1}} \right) \tag{3}$$

이 식으로부터 Q_1 과 Q_2 의 부정합에 의해 오프셋(offset) 전류[식 (3)의 우측의 세 번째 항에 해당]가 발생한다는

것을 알 수 있다. 이 옵셋 전압은 $Q_1 \sim Q_4$ 루프(loop)에 다이오드-결선된 npn 과 pnp 트랜지스터를 사용하면 해결할 수 있다^[7]. 그러나, Q_1 과 Q_2 의 역방향 포화 전류 $I_{S1} = I_{S2} = I_S$ 가 되도록 할 수 있다면, 제안한 전류 소스 회로는 출력 전류 $i_{OUT} = (V_{CC} - V_C)/2R_1$ 이 되어 제어-전압에 직접 비례한다는 것을 알 수 있다. 바이폴라 트랜지스터의 역방향 포화 전류는 이들의 베이스와 이미터간의 접합 면적에 비례하기 때문에 집적화할 때 정교한 레이아웃(layout)를 통하여 pnp형 트랜지스터와 npn형 트랜지스터의 역방향 포화 전류 $I_{S1} = I_{S2}$ 를 실현할 수 있을 것이다^[6]. 그림 3(a)의 회로에서 출력 전류는 이미터가 같이 연결된 공통-베이스 증폭기 Q_{2B} 의 컬렉터에서 얻어지기 때문에 출력 전류 단자 전압의 범위가 그림 1에 나타난 회로와 동일하다는 장점을 갖고 있다.

그림 3(b)는 전류 소스 회로와 상보적인 구성을 갖고 있기 때문에 동작원리 역시 상보적인 개념으로 생각할 수 있다. 이 회로에서 제어-전압에 대한 출력전류를 구하면 다음과 같이 된다.

$$\begin{aligned} i_{OUT} &= \frac{1}{2R_1} (V_C + v_{BE1} - v_{BE2}) \\ &= \frac{1}{2R_1} \left(V_C + V_T \ln \frac{I_{S2}}{I_{S1}} \right) \end{aligned} \quad (4)$$

그림 3(a)에 나타난 전류 소스 회로에서 Q_2 의 이미터 최대 전류가 $J\beta_2$ 로 결정되기 때문에 제어전압 선형 범위의 하한 쪽은 약 $(V_{CC} - J\beta_2 R_1)$ 로 결정되고, 상한 쪽은 Q_1 의 $V_{CE1}(\text{sat})$ 으로 결정된다. 여기서 J 는 Q_1 의 바이어스 전류이고 β_2 는 Q_2 의 공통-이미터 전류 이득이다.

그림 3(b)에 나타난 전류 소스 회로에서는 Q_3 의 전류 컬렉터가 최대전류가 $(=J\beta_2\beta_3)$ 로 매우 크기 때문에 제어전압 선형 범위의 하한 쪽은 $(V_{BE1} + V_{BE3} + V_{LOAD})$ 로 결정되고, 상한 쪽은 Q_1 의 $V_{CE1}(\text{sat})$ 으로 결정된다. 여기서 V_{LOAD} 는 부하에 나타나는 전압을 의미한다. 따라서, 그림 1(a)와 (b)에 나타난 종래의 전류 소스 회로의 제어전압 범위는 각각 아래와 같이 주어진다.

$$V_{CC} - J\beta_2 R_1 < V_C < V_{CC} - V_{CE1}(\text{sat}) \quad (5a)$$

$$V_{BE1} + V_{BE3} + V_{LOAD} < V_C < V_{CC} - V_{CE1}(\text{sat}) \quad (5b)$$

그림 3(a)에 나타난 제안한 전류 소스 회로에서는 Q_{2B} 와 Q_{2A} 의 부하저항이 같은 경우에 전류 미러 Q_3 과 Q_4 에 의해 Q_1 과 Q_4 의 컬렉터 전류가 동일하기 때문에 제어전압의 하한 값은 Q_1 과 Q_4 의 베이스와 이미터간 전압의 합으로 결정되고 상한 값은 상한 쪽은 Q_1 의 $V_{CE1}(\text{sat})$ 으로 결정된다. 따라서 제어전압 범위는 다음과 같이 구해진다.

$$V_{BE1} + V_{BE4} < V_C < V_{CC} - V_{CE1}(\text{sat}) \quad (6)$$

그러나, Q_{2B} 와 Q_{2A} 의 부하저항이 다를 경우에는 Q_{2B} 의 부하저항에 강하되는 전압 V_{LOAD} 이 의해 선형 범위의 하한 값이 결정되기 때문에 제어전압 범위는 아래와 같이 주어진다.

$$V_{BE1} + V_{LOAD} < V_C < V_{CC} - V_{CE1}(\text{sat}) \quad (7)$$

그림 3(b)에 나타난 전류 싱크 회로에서 같은 방법으로 부하가 동일할 경우와 다른 경우에 대하여 제어 전압의 선형 범위를 구하면 각각 다음 식으로 주어진다.

$$V_{CE1}(\text{sat}) < V_C < V_{CC} - (V_{EB1} + V_{EB4}) \quad (8a)$$

$$V_{CE1}(\text{sat}) < V_C < V_{CC} - (V_{EB1} + V_{LOAD}) \quad (8b)$$

식 (6)과 (7)식에서 주목하여야 할 것은 제어 전압 범위가 V_{BE} 로 결정된다는 것은 $V_{BE} = V_T \ln(I_C/I_S)$ 식으로 주어지기 때문에 전류 소스 및 싱크 출력 전류가 증가함에 따라 V_C 전압의 범위가 좁아진다는 것을 알 수 있다. 그러나 이 범위는 식 (5)와 비교할 때 보다 넓은 범위를 갖고 있다는 것을 알 수 있다.

제안한 전압-제어 전류 소스와 전류 싱크 회로의 성능은 β 와 얼리 효과(Early effect)에 의해 결정된다고 할 수 있다. 회로가 저전압에서 동작하는 경우 얼리 효과에 의한 영향을 무시할 수 있을 정도로 줄어들 것이다. 그러나, 유한한 β 에 의해 Q_1 과 Q_2 의 컬렉터 전류가 동일하지 않기 때문에 출력 전류에 비이상적인 특성이 나타날 것이다. 유한한 β 를 고려하여 그림 3의 (a)와 (b)의 출력 전류는 다음과 같이 주어진다.

$$i_{OUT} = \frac{1}{2R_1} \left(V_{CC} - V_c + V_T \left(\ln \frac{1}{1 + \frac{2}{\beta_N}} + \ln \frac{I_{S2}}{I_{S1}} \right) \right) \quad (9a)$$

$$i_{OUT} = \frac{1}{2R_1} \left(V_C + V_T \left(\ln \frac{1}{1 + \frac{2}{\beta_P}} + \ln \frac{I_{S2}}{I_{S1}} \right) \right) \quad (9b)$$

여기서, β_N 는 그림 3(a)에서 npn형 트랜지스터 Q_3 과 Q_4 의 공통-이미터 전류 증폭률이고 β_P 는 그림 3(b)의 Q_3 과 Q_4 의 공통-이미터 전류 증폭률이다.

III. 실험 결과 및 고찰

본 연구에서 제안한 전압-제어 전류원(그림 3)의 동작과 그 원리를 PSPICE 시뮬레이션을 통하여 확인했다. 시뮬레이션에 사용한 트랜지스터는 Q2N3906 (pnp)과 Q2N3904 (nnp)이며, 이 소자들의 모델 파라미터를 표 1에 나타냈다. 실험할 때의 전압 전원은 $V_{CC} = 5V$ 로 사용하였고, 바이어스 전류 $J = 25\mu A$ 로 설정하였으며 기본적인 전류 미러를 사용하여 실현하였다. 출력 전류를 측정하기 위해 다이오드-결선된 (diode-connected) 트랜지스터 1개를 출력 단자와 접지 또는 V_{CC} 로 연결하였다. 종래의 전압-제어 전류원과 성능 비교를 위해 그림 1과 2에 나타난 회로를 같은 실험 조건으로 시뮬레이션을 하였다. 다양한 제어-전압에 대한 출력전류 특성을 확인하기 위하여 R_1 의 값을 조절하였다. 이때 제안한 회로와 종래의 회로에서 동일한 전류 출력을 얻기 위해서는 그림 3에서 사용한 저항기의 값은 그림 1과 2에서 사용한 저항기의 절반에 해당된다.[식 (1)~(4) 참조].

그림 3(a)에 나타난 제안한 전압-제어 전류 소스의 회로에서 $R_1 = 50\Omega$ 을 사용하였을 때 제어-전압에 대한 출력 전류의 특성을 그림 4에 나타냈다. 종래의 전류 소스와 성능 비교를 위해 그림 1의 회로에서는 $R_1 = 100\Omega$ 을 사용하였다. 이 결과에서 종래의 전류 소스[그림 1(a)]는 제어 전압의 범위 4.2V에서 4.8V까지로 매우 좁게 나타난 것을 알 수 있다. 이것은 제어전압 V_C 가 변화함에도 Q_2 의 이미터 전류가 $J\beta_2$ 로 결정되어 v_{B2} 단자 전압이 $V_{CC} - J\beta_2 R_1$ 로 결정되기 때문이다. 그러나, 그림 3(a)에 나타난 제안한 전류 소스 회로는 1.0V에서 4.8V까지로 넓은 제어 범위를 갖고 있으며 그림 1(b)의 회로보다 약 0.6V 확장되었다는 것을 알

표 1. Q2N3906(pnp)과 Q2N3904(nnp) 트랜지스터의 모델 파라미터.

Table.1. Transistor Model parameters of Q2N3906(pnp) and Q2N3904(nnp).

.model Q2N3906 PNP(Is=1.41f Xti=3 Eg=1.11 Vaf=18.7 Bf=180.7 Ne=1.5 Ise=0 Ikf=80m Xtb= 1.5 Br=4.977 Nc=2 Isc=0 Ikr=0 Rc=2.5 Cjc= 9.728p Mjc=.5776 Vjc=.75 Fc=.5 Cje=8.063p Mje =.3677 Vje=.75 Tr=33.42n Tf=179.3p Itf=.4 Vtf =4 Xtf=6 Rb=10)
.model Q2N3904 NPN(Is=6.734f Xti=3 Eg=1.11 Vaf=74. Bf=416.4 Ne=1.259 Ise=6.734f Ikf=66.7 8m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1 Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)

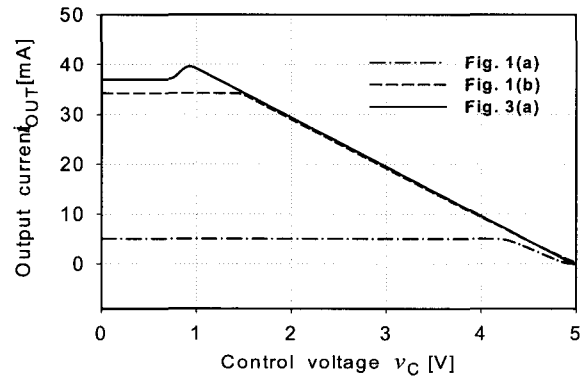


그림 4. 전류 소스 회로에서 $R_1 = 100\Omega$ (그림 1) 및 $R_1 = 50\Omega$ (그림 3(a))일 때 제어-전압에 대한 출력 전류

Fig. 4. Control-voltage versus output current when current source has $R_1 = 100\Omega$ (Fig. 1) and $R_1 = 50\Omega$ [Fig. 3(a)] in the current source circuits.

수 있다. 또한, 제어-전압에 대한 출력 전류 특성이 식 (3)과 동일함을 알 수 있다. 제안한 소스 회로의 출력전류 특성에서 피킹(peaking)이 발생하는 것은 Q_1 이 활성-모드에서 차단-모드로 동작하여 $v_{B2} = 0.7V$ 로 일정하게 유지되기 때문으로 사료된다.

그림 3(a)에 나타난 제안한 전압-제어 전류 소스의 회로에서 $R_1 = 5\Omega$ 을 사용하였을 때 제어-전압에 대한 출력 전류의 특성을 그림 5에 나타냈다. 종래의 전류 소스와 성능 비교를 위해 그림 1의 회로에서는 $R_1 = 10\Omega$ 을 사용하였다. 이 결과에서도 역시 종래의 전류 소스[그림 1(a)]는 제어 전압의 범위가 거의 나타나지 않다는 것을 알 수 있다. 그러나, 제안한 전류 소스[그림 3(a)]는 1.7V에서 4.8V까지의 제어 범위를 갖고

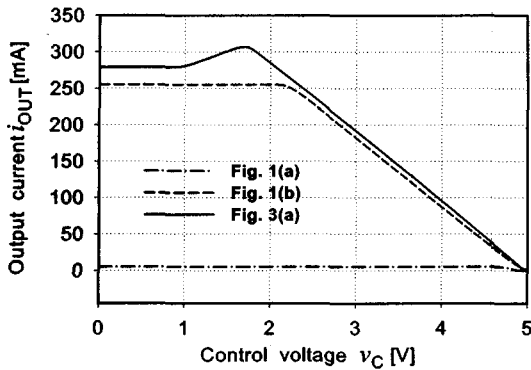


그림 5. 전류 소스 회로에서 $R_1 = 10\Omega$ (그림 1) 및 $R_1 = 5\Omega$ (그림 3(a))일 때 제어-전압에 대한 출력전류

Fig. 5. Control-voltage versus output current when current source has $R_1 = 10\Omega$ (Fig. 1) and $R_1 = 5\Omega$ [Fig. 3(a)] in the current source circuits.

론적인 식에 가까운 출력 특성을 얻을 수 있다는 것을 알 수 있다. 그림 1(b)는 제한한 전류 소스보다 제어 범위가 0.6V로 감소되었고 제어 전압에 따른 선형성이 다소 다르다는 것을 알 수 있다. 종래의 전류 소스회로[그림 1(b)]는 0mA에서 250mA까지의 출력 전류 범위에서 최대 선형 오차는 15.2%이였지만, 제안한 전류 소스 회로의 경우 0mA에서 300mA의 출력 전류의 최대 선형 오차는 1.4%이었다.

그림 6은 전류 소스의 출력을 0 mA에서 4 mA의 범위로 조정하기 위해 그림 3(a)에서는 $R_1 = 500\Omega$ 을 사용하였을 때 제어-전압에 대한 출력 전류의 비, 트랜스컨덕턴스 g_m 특성을 나타낸 것이다. 이론적인 g_m 은 식 1(a)와 1(b) 그리고 식 (3)을 근거로 g_m 을 구하면 전체 제어 범위에서 $g_m \cong -1.0\text{mS}$ 이 된다. 이 결과로부터 제안한 전류 소스의 회로는 1 V에서 4.8 V까지 일정한 g_m 특성을 갖고 있다는 것과, 그림 1(b)의 경우는 제어 범위가 0.6 V 줄어들고 제어 전압에 따라 g_m 이 변화한다는 것을 알 수 있다.

같은 방법으로 그림 3(b)에 나타낸 제안한 전류 싱크 회로에 대하여서도 실험을 하였다.

그림 3(b)에서 $R_1 = 50\Omega$ 과 $R_1 = 5\Omega$ 을 사용하였을 때 제어-전압에 대한 출력 전류의 특성을 그림 7(a)와 (b)에 각각 나타냈다(이 때 그림 2에서는 $R_1 = 100\Omega$ 과 $R_1 = 10\Omega$ 을 사용함). 또한, 그림 3(b)

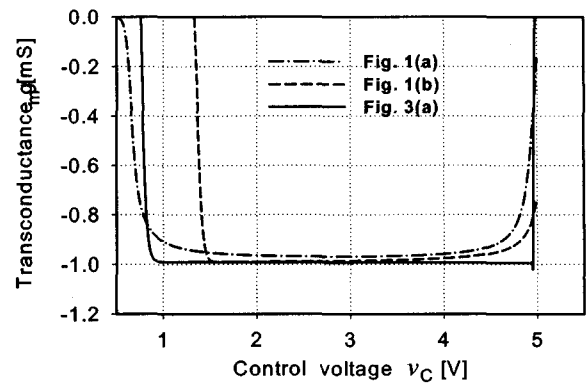


그림 6. $R_1 = 1\text{k}\Omega$ (그림 1) 및 $R_1 = 0.5\text{k}\Omega$ (그림 3(a))일 때 전류 소스 회로의 트랜스컨덕턴스 특성

Fig. 6. Transconductance characteristics of current source circuit when $R_1 = 1\text{k}\Omega$ (Fig. 1) and $R_1 = 0.5\text{k}\Omega$ [Fig. 3(a)].

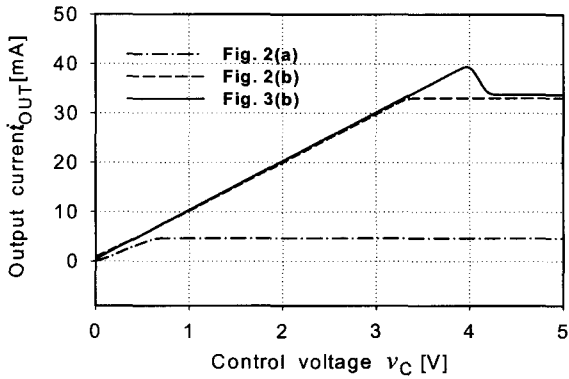
에서 $R_1 = 500\Omega$ 을 제어-전압에 대한 출력 전류의 비, 트랜스컨덕턴스 g_m 특성을 그림 8에 나타냈다. 전류 싱크 회로들은 전류 소스들의 회로와 상보적인 구성을 하고 있기 때문에 전류 싱크 회로들에 비해 상보적인 특성과 유사한 성능을 갖고 있다는 것을 알 수 있다.

집적화하기 위해, 그림 1과 2에 나타낸 VCCS들의 회로에서는 정전류원 J를 구성하는 기본 전류 미러(최소한 두 개 이상의 트랜지스터 사용)와 한 개의 저항기 또는 추가 트랜지스터를 사용하여야 할 것이다. 그러나, 제안한 VCCS들의 회로에는 추가적인 바이어스 회로가 없이 그림 3에 나타낸 회로 자체로 집적화 할 수 있다. 따라서, 집적화를 고려한다면 제안한 VCCS는 종래의 VCCS[그림 1(b)와 2(b)]보다 칩 사이즈가 작아질 수 있다고 할 수 있다.

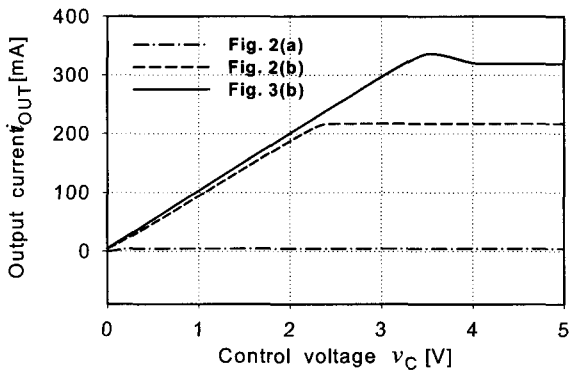
그림 6과 같은 실험 조건에서 25°C를 기준으로 -25°C에서 75°C까지의 범위에 대한 온도 특성을 그림 9에 나타냈다. 이 결과로부터, 제어 전압 1V에서 4.5 V까지의 범위에서 제안한 전류 소스 회로[그림 3(a)]의 온도 특성은 약 100ppm/°C정도이다.

전원 전압 $V_{CC} = 2.0\text{V}$ 일 때 전류 소스에 대한 제어전압에 대한 출력전류의 특성을 그림 10에 나타냈다. 이 결과로부터 제안한 소스 회로는 0.8V에서 1.8V까지의 전압 제어 범위를 갖고 출력 전류의 범위는 0에서 11mA까지라는 것을 알 수 있다. 이 값들은 종래의 소스 회로는 의 성능에 2.2배에 해당된다.

제안한 VCCS의 회로에 대하여 제어전압 범위에 대



(a)



(b)

그림 7. 전류 싱크 회로의 제어-전압에 대한 출력전류; (a) $R_1 = 100\Omega$ (그림 2), (b) $R_1 = 10\Omega$ (그림 2)일 때

Fig. 7. Control-voltage versus output current of the current sink circuits ; (a) $R_1 = 100\Omega$ (Fig. 2) and (b) $R_1 = 10\Omega$ (Fig. 2).

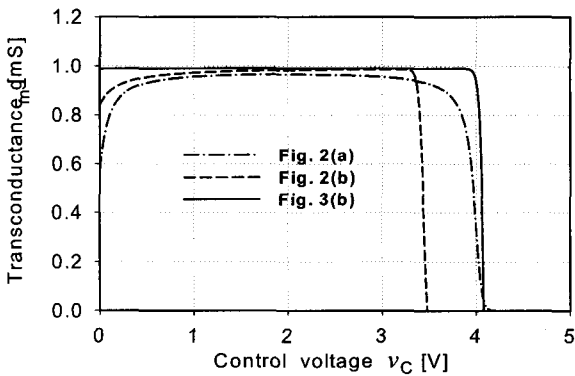


그림 8. $R_1 = 1k\Omega$ (그림 2)일 때 전류 싱크 회로들의 트랜스컨덕턴스 특성

Fig. 8. Transconductance characteristics of current sink circuits when $R_1 = 1k\Omega$ (Fig. 2).

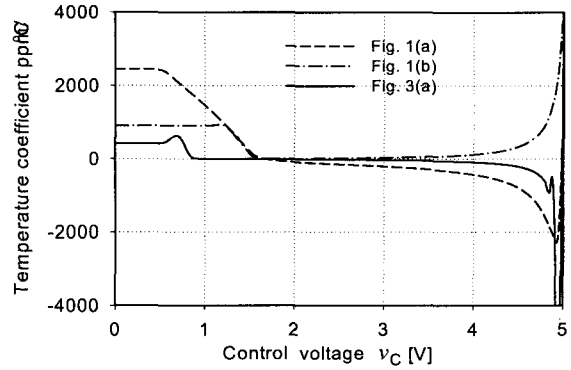


그림 9. $R_1 = 1k\Omega$ (그림 1) 및 $R_1 = 0.5k\Omega$ [그림 3(a)]일 때 출력전류의 온도 특성

Fig. 9. Temperature characteristics of output current when $R_1 = 1k\Omega$ (Fig. 1) and $R_1 = 0.5k\Omega$ [Fig. 3(a)].

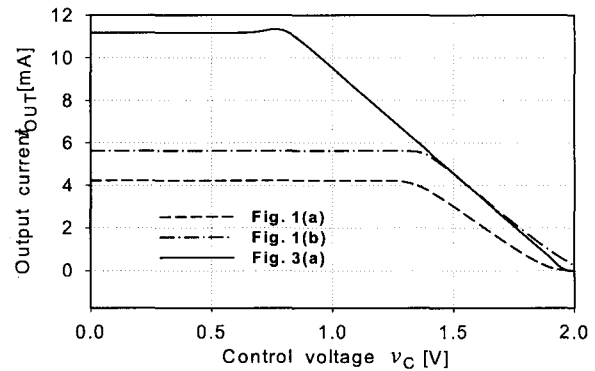


그림 10. 전원전압이 2V일 때, 전류 소스 회로에서 $R_1 = 100\Omega$ (그림 1) 및 $R_1 = 50\Omega$ [그림 3(a)]일 때 제어-전압에 대한 출력 전류

Fig. 10. Control-voltage versus output current when current source has $R_1 = 100\Omega$ (Fig. 1) and $R_1 = 50\Omega$ [Fig. 3(a)] in the current source circuits at supply voltage $V_{CC} = 2.0V$.

한 이론식 (6)과 (8a)를 기초로 계산한 결과와 모의 실험한 결과를 표 2에 나타냈다. 이론값에서 모든 $V_{BE} = 0.6V$ 로 가정하였다. 이론값과 실험한 값의 차이는 실험값에서 $V_{BE} = V_T \ln(I_C/I_S)$ 로 계산하였기 때문이다.

종래 및 제안한 VCCS의 출력전류 제어 범위에 대한 전력소비 특성을 표 3에 나타냈다. 이 결과로부터, 제안한 VCCS 회로는 전력 소비는 크지만, 매우 넓은 제어 범위를 갖고 있다는 것을 알 수 있다.

이상의 실험 결과로부터 설계한 VCCS 회로는 종래

표 2. 제어전압 범위에 대한 이론과 실험값의 비교
Table 2. Comparison of theory with practice for controlled-voltage ranges.

그림 종류	R_1 의 값	선형 전류출력범위에 대한 제어 전압 V_C 의 범위	
그림 3(a)	$R_1 = 50\Omega$	이론값	1.2V ~ 4.8 V
		실험결과	1.0V ~ 4.8V
	$R_1 = 5\Omega$	이론값	1.2V ~ 4.8 V
		실험결과	1.7V ~ 4.8V
그림 3(b)	$R_1 = 50\Omega$	이론값	0.2 V ~ 3.8V
		실험결과	0.19V ~ 4.0V
	$R_1 = 5\Omega$	이론값	0.2V ~ 3.8 V
		실험결과	0.19V ~ 3.5V

표 3. 출력전류 제어범위에 따른 전력 소비 특성
Table 3. Characteristics of power dissipation for control ranges of output currents.

회로 구분	제어범위 [$R_1 = 100\Omega$ (그림 1,2), $R_1 = 10\Omega$ (그림 3)일 때를 기준]	전력소비
그림 1(a)	2.1mA~4.5mA	25mW
그림 1(b)	1.5mA~35mA	175mW
그림 3(a)	0.2mA~39mA	380mW
그림 2(a)	2.1mA~4.0mA	25mW
그림 2(b)	1.5mA~32mA	160mW
그림 3(b)	0.2mA~39mA	380mW

의 회로보다 0.6V 큰 전압 제어 범위를 갖고, 우수한 선형 특성, 그리고 0 mA에서 300 mA까지의 전류를 출력시킬 수 있다는 것을 알 수 있다. 특히, 집적화할 경우 종래의 VCCS 회로 보다 작은 면적으로 구성할 수 있는 장점이 있다.

IV. 결 론

제안한 넓은 전류 출력을 갖는 고선형 전압-제어 전류원(VCCS) 회로를 컴퓨터 시뮬레이션을 통해 그 동작 원리와 성능을 확인하였다. 종래의 VCCS들과 비교할 때, 제안한 VCCS는 회로구성이 간단하고 넓은 전압-제어 범위, 우수한 선형 특성, 넓은 범위의 출력 전류를 얻을 수 있다는 것을 확인하였다. 따라서, 제안한 VCCS 회로는 넓은 범위의 주파수 범위를 갖는 각종 R-C 이완 발진기, 전압-제어 발진기, 그리고 자동 이득 조절 회로 등에 매우 유용하게 적용할 수 있을 것이다.

참 고 문 헌

- [1] A. B. Grebene, Bipolar and MOS Analog Integrated Circuit Design ; John Wiley & Sons, Chap. 11, 2003.
- [2] A. J. Peyton and V. Walsh, Analog Electronics with Op Amp-A source book of practical circuits ; Cambridge University Press, Chap. 3, 1993.
- [3] Sergio Franco, Design with Operational Amplifiers and Analog Integrated Circuits ; WCB McGraw-Hill, chap. 13, 1998.
- [4] A. B. Grebene, Bipolar and MOS Analog Integrated Circuit Design ; John Wiley & Sons, Chap. 4, 2003.
- [5] H.-W. Cha S. Ogawa and K. Watanabe, "Class A CMOS Current Conveyors," IEICE Trans. Fundamentals, vol. E81-A, no. 6, pp. 1164-1167, June 1998.
- [6] A. B. Grebene, Bipolar and MOS Analog Integrated Circuit Design ; John Wiley & Sons, Chap. 2, 2003.
- [7] 차 형 우, "낮은 전류-입력 임피던스를 갖는 A급 바이폴라 전류 콘베이어(CCII)와 그것의 오프셋 보상된 CCII의 설계," 대한전자공학회논문지 제 38권, SD편 제 10호, pp. 754 -764, 2001.

저 자 소 개



차 형 우(정회원)

1989년 2월 청주대학교

반도체공학과 졸업.

1991년 2월 청주대학교 대학원

전자공학과 공학석사

학위 취득

1997년 3월 일본 静岡(Shizuoka)대학

대학원 전자과학연구과

공학박사 학위 취득.

1997년 9월~현재 청주대학교 이공대학

반도체공학과 교수.

1991년 3월~1993년 6월 대덕연구단지(내)

Blue Code 테크놀로지 근무.

<주요관심분야: Bipolar 및 CMOS 아날로그 집적회로 설계, 전류-모드 신호처리 회로 설계, 계측장비 시스템 회로 설계 등>