

논문 2004-41SD-7-11

저전력 소면적 전하재활용 프리디코더

(A Low-Power Area-Efficient Charge-Recycling Predecoder)

양 병 도*, 김 이 섭*

(Byung-Do Yang and Lee-Sup Kim)

요 약

본 논문에서는 저전력 소면적 전하재활용 프리디코더(area efficient charge recycling predecoder: AE-CRPD)를 제안하였다. AE-CRPD는 기존의 전하재활용 프리디코더(conventional charge recycling predecoder: CNV-CRPD)를 개선한 프리디코더이다^{[5]-[7]}. AE-CRPD는 전하재활용 동작을 위한 제어 회로의 면적과 전력소모를 크게 줄임으로써, 2-to-4 CNV-CRPD의 38%의 면적과 8%의 전력소모를 줄였다. 또한, 메모리에서 어드레스가 연속적으로 증가하는 특징을 이용하여, 빈번하게 변하는 LSBs(least significant bits)에는 AE-CRPD를 사용하고 가끔 변하는 MSBs(most significant bits)에는 기존의 프리디코더를 사용함으로써, 기존의 12 비트의 프리디코더의 전력소모를 23% 줄였다.

Abstract

In this paper, a low power area efficient charge recycling predecoder (AE-CRPD) is proposed. The AE-CRPD is modified from the conventional charge recycling predecoder (CNV-CRPD)^{[5]-[7]}. The AE-CRPD significantly reduces the area and power of the control circuits for the charge recycling operation. It saves 38% area and 8% power of the 2-to-4 CNV-CRPD. It also utilizes the property of the consecutive address increase in the memory. The AE-CRPDs are used for the frequently transited least significant bits and the conventional predecoders are used for the occasionally transited most significant bits. It saves 23% power of the 12-bit conventional predecoder.

Keywords: VLSI, CMOS, Memory, predecoder, and charge-recycling

I. 서 론

전력 소모는 VLSI 칩 설계에서 중요한 고려사항이 되었다. 특히, 칩 내부의 메모리들은 커패시터가 큰 라인들을 많이 포함하고 있으며 빈번하게 사용기 때문에, VLSI 칩 내부의 메모리들은 많은 전력을 소모한다. 따라서, 메모리의 전력소모를 줄이기 위하여 많은 기법들이 제안되었다^{[1]-[3]}.

메모리 구조는 크게 디코더(decoder)와 감지 및 컬럼 회로(sense and column circuits)로 나뉘어진다. 디코더는 어드레스 입력에서부터 워드라인까지의 회로이고,

감지 및 컬럼 회로는 데이터 입출력을 담당하는 비트라인 및 데이터 버스를 포함하는 회로들이다. 디코더는 논리적으로 2^n 개의 n -입력 AND 게이트들로 구성되지만, n 이 커지면 AND의 수와 입력이 급속하게 증가함게 되어 디코더의 속도, 전력, 면적 모두가 나빠지게 된다. 이를 해결하기 위하여 디코더는 계층적으로 구현된다.

그림 1은 3단의 계층으로 이루어진 디코더 구조이다. 디코더는 프리디코더(predecoder), 글로벌 디코더(global decoder), 로컬 디코더(local decoder), 블록 디코더(block decoder)로 이루어진다. 프리디코더 라인들은 글로벌 디코더와 블록 디코더의 많은 수의 AND에 연결되어 커패시턴스(capatance)가 크다.

프리디코더의 전력소모를 줄이기 위하여 half-swing pulse-mode gates를 이용한 디코더가 제안되었다^[4]. 그러나, 이 기법은 dual V_T CMOS 공정과 $V_{DD}/2$ 전원을 필요로 한다. 또한, 노이즈 마진(noise margin)과 속도

* 정회원, 한국과학기술원 전자전산학과
(Dept. of Electrical Engineering & Computer Science, KAIST)

※ 본 연구는 한국과학재단과 미세정보센터의 지원을 받아 수행되었습니다.

접수일자: 2004년2월9일, 수정완료일: 2004년6월2일

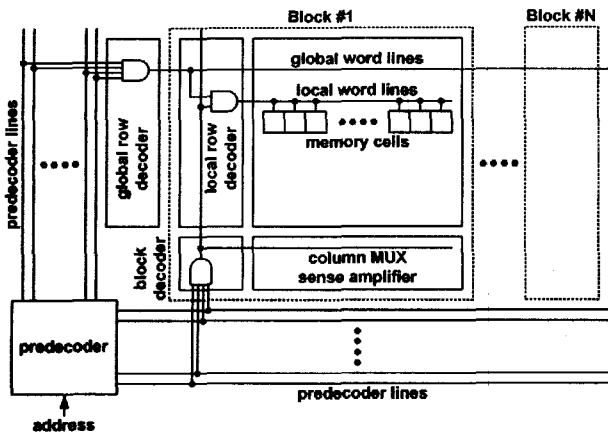


그림 1. 디코더 구조
Fig. 1. Decoder structure.

가 떨어지는 단점을 가지고 있다.

프리디코더 라인의 전력소모를 줄이기 위하여, 최근에 제안된 전하재활용 프리디코더(charge recycling predecoder: CRPD)는 half-swing pulse-mode gates를 사용한 디코더의 어떤 단점도 가지고 있지 않다^{[5]-[7]}. CRPD는 프리디코더 라인에서 사용된 전하를 다른 프리디코더 라인에서 재활용함으로써, 프리디코더 라인에서 소모되는 전력을 반으로 줄였다. 그러나 CRPD는 전하재활용을 위한 컨트롤 회로를 필요로 하기 때문에, 프리디코더에서 줄어든 소모 전력은 반보다 작아지게 된다. 또한, 컨트롤 회로에 의하여 프리디코더의 면적이 증가한다.

프리디코더의 전력소모를 줄이기 위한 다른 기법에는 어드레스 인코딩(address encoding)이 있다. 어드레스의 트랜지션(transition) 수를 줄임으로써 전력소모를 크게 줄일 수 있다. 어드레스 인코딩을 이용하여 어드레스 버스의 전력 소모를 줄이는 다양한 기법들이 제안되었다^[8]. 마이크로프로세서에서 만들어지는 어드레스들은 보통 연속적이기 때문에, 그레이코드 인코딩(gray code encoding)은 전력소모를 줄이기 적합한 기법이다^[9]. 1비트씩 연속적으로 변하는 어드레스의 경우, 그레이코드가 최상의 성능을 가진다. 즉, 연속적으로 1비트씩 변하는 패턴의 어드레스가 자주 발생하는 경우에 그레이코드는 최적이다.

본 논문에서는 소면적 전하재활용 프리디코더(area efficient charge recycling predecoder: AE-CRPD)를 제안하였다. AE-CRPD는 기존의 전하재활용 프리디코더(conventional charge recycling predecoder: CNV-CRPD)의 전하재활용 동작을 위한 컨트롤 회로를 개선하였다^{[5]-[7]}. AE-CRPD는 컨트롤 회로의 트랜지스터

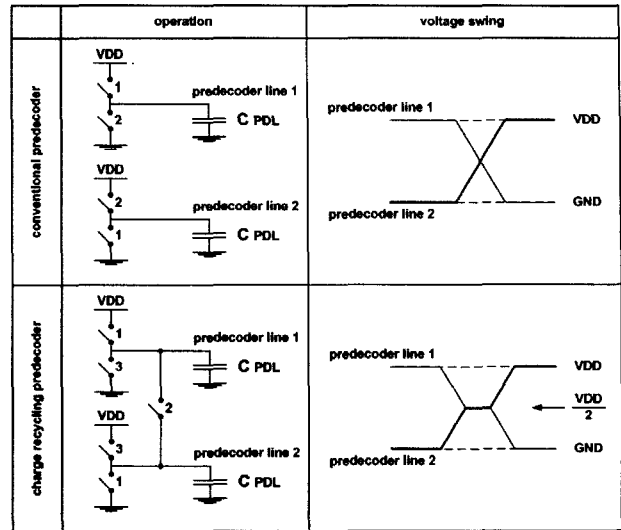


그림 2. 전하재활용 프리디코더의 개념
Fig. 2. Concept of charge recycling predecoder.

수와 전력 소모를 크게 줄였다. 또한, 메모리에서 어드레스가 연속적으로 증가하는 특징을 이용하였다. 빈번하게 변하는 LSBs(least significant bits)에는 AE-CRPD를 사용하고 가끔 변하는 MSBs(most significant bits)에는 기존의 프리디코더를 사용함으로써, 기존의 프리디코더의 전력 소모를 크게 줄였다.

II. 프리디코더 구조

1. 소면적 전하재활용 프리디코더

그림 2는 전하재활용 프리디코더(charge recycling predecoder: CRPD)의 개념을 기존의 프리디코더(conventional predecoder: CNV-PD)와 비교하여 보여주고 있다. n-to-2ⁿ CNV-PD는 2ⁿ개의 프리디코더 라인을 가진다. 한 개의 프리디코더 라인은 V_{DD}로 충전되고 다른 라인들은 모두 접지전압으로 방전된다. 프리디코더 라인1이 V_{DD}에서 접지전압으로 변하고 프리디코더 라인2가 접지전압에서 V_{DD}으로 변한다. 그림2에서는 각 프리디코더의 동작을 설명하기 위하여 상태가 변하는 2개의 프리디코더 라인들만을 보여주고 있다.

CNV-PD의 프리디코더 라인의 스윙전압은 V_{DD}이다. 이전에 선택되었던 프리디코더 라인의 전압은 V_{DD}에서 접지전압이 되고, 새롭게 선택되는 프리디코더 라인의 전압은 접지전압에서 V_{DD}가 된다. 따라서, CNV-PD의 전력소모는 f와 C_{PDL}가 각각 동작 주파수와 프리디코더 라인의 커패시턴스일 때, P_{CNV-PD} = f×C_{PDL}×V_{DD}²가 된다.

CRPD의 프리디코더 라인의 스윙전압 역시 V_{DD}이다.

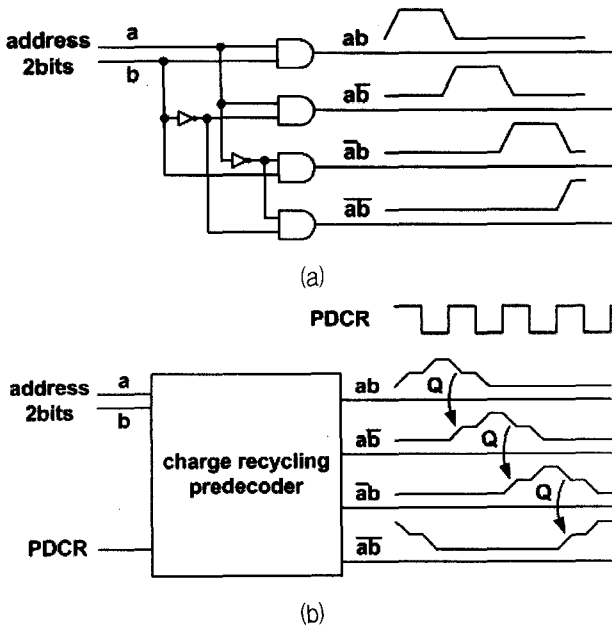


그림 3. 프리디코더의 동작 (a) 2-to-4 CNV-PD
(b) 2-to-4 CRPD
Fig. 3. Operations of (a) 2-to-4 CNV-PD
(b) 2-to-4 CRPD.

그러나, 새롭게 선택되는 프리디코더 라인은 이전에 선택되었던 프리디코더 라인과 전하를 공유하여 $V_{DD}/2$ 로 충전된 후, 프리디코더에 의하여 V_{DD} 로 충전된다. 따라서, CRPD는 CNV-PD가 프리디코더 라인에서 소모하는 전력의 반만을 소모한다. 따라서, CRPD의 전력 소모는 $P_{CRPD} = 1/2 \times f \times C_{PDL} \times V_{DD}^2$ 이다.

프리디코더 라인1은 V_{DD} 에서 접지전압으로 변하고 프리디코더 라인2는 접지전압에서 V_{DD} 로 변하는 경우, CRPD의 동작은 다음과 같다. (1) 두 프리디코더 라인은 V_{DD} 또는 접지에 연결되어 있다. (2) 두 프리디코더 라인은 V_{DD} 와 접지에서 분리된 후, 두 라인의 전하를 공유한다. 이때, 두 라인의 커패시턴스가 같기 때문에, 두 라인의 전압은 $V_{DD}/2$ 가 된다. (3) 두 프리디코더 라인은 다시 V_{DD} 또는 접지에 연결된다.

프리디코더 라인들은 많은 수의 디코더에 연결되어 있기 때문에, 메모리의 크기가 커짐에 따라 프리디코더 라인의 커패시턴스가 증가하여 많은 전력을 소모한다. 프리디코더의 전력 소모는 라인과 컨트롤 회로에서 발생하는데, CRPD는 프리디코더 라인의 전력소모를 50%까지 줄여준다.

그림3(a)는 2-to-4 CNV-PD이다. 4개의 프리디코더 라인 중 하나만이 V_{DD} 로 충전되고 나머지는 접지전압으로 방전된다. 어드레스가 변할 때, 이전에 선택된 프리디코더 라인은 접지전압이 되고 새로 선택되는 프리디

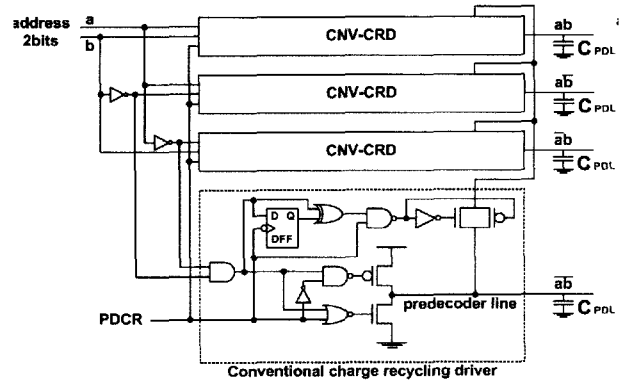


그림 4. CNV-CRPD
Fig. 4. CNV-CRPD.

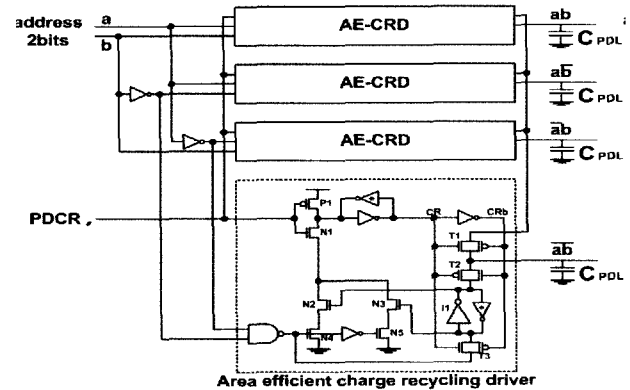


그림 5. 제안된 AE-CRPD
Fig. 5. Proposed AE-CRPD.

코더 라인은 V_{DD} 가 된다. 이때, CNV-PD에서는 전하가 재활용되지 않는다.

그러나, 그림3(b)의 2-to-4 CRPD에서는 이전에 선택된 프리디코더 라인에서 사용된 전하가 새롭게 선택되는 프리디코더 라인에서 재활용 된다. CRPD의 어드레스는 프리디코더 전하재활용 신호(predecoder charge recycling signal: PDCR)가 '1'이 된 후 변한다. 어드레스가 변하면, 이전에 선택되었던 프리디코더 라인과 새롭게 선택되는 프리디코더 라인은 전하를 공유하여, 두 라인의 전압은 $V_{DD}/2$ 가 된다. PDCR이 '0'이 되었을 때, 프리디코더 라인들은 V_{DD} 또는 접지전압이 된다. 이전에 선택되었던 프리디코더 라인은 $V_{DD}/2$ 에서 접지전압으로 방전되고, 새롭게 선택된 프리디코더 라인은 $V_{DD}/2$ 에서 V_{DD} 로 충전된다. 결과적으로 새롭게 선택된 프리디코더 라인은 CNV-PD에서 소모되는 전력을 반만을 소모한다.

그림4와 5는 각각 CNV-CRPD와 제안된 AE-CRPD의 회로들을 보여준다. CNV-PD는 각 프리디코더 라인마다 한 개의 AND 게이트로 구성되지만, CNV-CRPD와 AE-CRPD는 각 프리디코더 라인마다 전하재활용

표 1. 그레이코드의 특징

Table 1. Characteristics of the gray code.

Decimal	Binary Code	Gray Code
0	0 0 0 0	0 0 0 0
1	0 0 0 1	0 0 0 1
2	0 0 1 0	0 0 1 1
3	0 0 1 1	0 0 1 0
4	0 1 0 0	0 1 1 0
5	0 1 0 1	0 1 1 1
6	0 1 1 0	0 1 0 1
7	0 1 1 1	0 1 0 0
8	1 0 0 0	1 1 0 0
9	1 0 0 1	1 1 0 1
10	1 0 1 0	1 1 1 1
11	1 0 1 1	1 1 1 0
12	1 1 0 0	1 0 1 0
13	1 1 0 1	1 0 1 1
14	1 1 1 0	1 0 0 1
15	1 1 1 1	1 0 0 0
State Transition	≈ 2 bits	1 bit

드라이버(charge recycling driver: CRD)가 필요하다.

CRD는 어느 프리디코더 라인이 전하를 재활용할지를 선택한다. CNV-CRPD의 CNV-CRD는 D flip-flop, 7개의 게이트, transmission gate, buffer로 구성된다. master-slave D flip-flop이 사용되었을 때, CNV-CRD은 50개의 트랜지스터가 필요하다. 그러나, AE-CRPD의 AE-CRD은 단지 28개의 트랜지스터로 구현된다. D flip-flop은 inverter, keeper, transmission gate로 구성된 latch로 대체되었다. XOR와 NAND 게이트는 6개의 트랜지스터로 대체되었다. 더욱이, PDCR 신호에 연결되는 트랜지스터의 수는 12개에서 2개로 줄면서 컨트럴 전력도 크게 줄었다. 따라서, AE-CRPD는 CNV-CRPD보다 면적뿐만 아니라 소모전력도 작다.

2. 연속적인 어드레스를 위한 AE-CRPD

컴퓨터 시스템에서는 연속적으로 1비트씩 변하는 어드레스가 빈번히 만들어진다. 바이너리 코드(binary code)를 사용하는 경우, 연속적인 N 비트 어드레스의 평균 트랜지션 비트 수(mean transition bits count) $f_{MTB}(N)$ 는 2에 가깝다. 그러나, 그레이코드(gray code)를 사용하는 경우, 평균 트랜지션 비트 수가 어떤 N에 대해서도 표1과 같이 1이 된다.

$$f_{MTB \text{ BINARY CODE}}(N) = 1 + 1/2 + 1/2^2 + 1/2^3 + \dots + 1/2^{(N-1)} \approx 2$$

$$f_{MTB \text{ GRAY CODE}}(N) = 1$$

그레이코드는 어드레스 트랜지션을 줄이기에 매우 적합하다^{[8],[9]}. 따라서, 그림6과 같이 그레이코드를 사

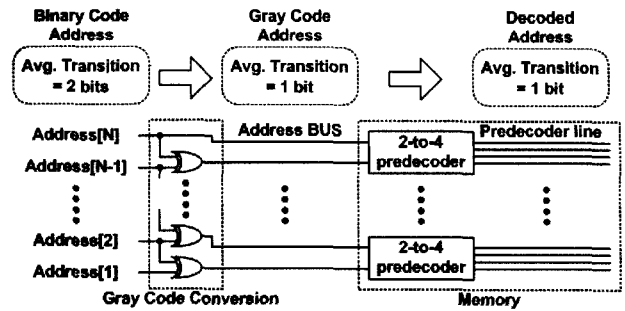


그림 6. 그레이코드 변환을 사용한 시스템에서의 평균 트랜지션 비트

Fig. 6. Average Transition bits of the system using the gray code conversion.

표 2. 그레이코드의 각 비트의 변환 확률

Table 2. Transition probability for each bit of gray code.

Position of bit	1	2	3	4	5	6	...
Transition rate for each bit	1/2	1/2 ²	1/2 ³	1/2 ⁴	1/2 ⁵	1/2 ⁶	...
Transition rate for 2bits	3/2 ² = 0.75		3/2 ⁴ = 0.18		3/2 ⁶ = 0.05		...

용하였다. 바이너리 코드의 어드레스는 메모리로 연결되는 어드레스 버스에서 그레이코드로 전달된다. 그레이코드로 변경하기 위한 회로는 N비트 어드레스에 대하여 N-1개의 XOR 게이트로 간단하게 구현된다. 평균 트랜지션이 1비트인 그레이코드 어드레스 입력에 대하여, 프리디코더 라인의 평균 트랜지션 역시 1비트이다.

표 2는 그레이코드의 각 비트에서의 트랜지션 확률을 보여준다. 비트의 위치(position of bit)는 각 비트가 LSB(least significant bit)로부터의 위치이다. 비트의 위치가 n일 때, 그 비트는 n번째 LSB이고, n번째 LSB의 변환 확률은 1/2ⁿ이다. 비트의 위치가 MSB(most significant bit)로 가까워짐에 따라 변환 확률은 감소한다. n-1번째와 n번째의 각 2비트에 대한 변환 확률은 3/2ⁿ이다. 2비트에 대한 변환 확률은 어드레스 입력이 2비트인 프리디코더의 4개의 프리디코더 라인에서의 변환 확률이다. 대부분의 트랜지션은 LSB를 포함하는 몇 개의 프리디코더에서 발생한다. 첫 번째에서 네 번째까지의 LSB를 입력으로 가지는 두 개의 프리디코더에서 약 93%의 트랜지션이 발생한다.

그림 7은 연속적인 어드레스를 위한 AE-CRPD이다. 입력은 그레이코드를 사용한 어드레스이다. AE-CRPD는 면적과 전력소모를 줄이기 위하여 연속적인 어드레스의 변환 확률을 이용하였다. 빈번하게 변하는 어드레스에 대해서는 AE-CRPD를 사용하고 거의 변하지 않

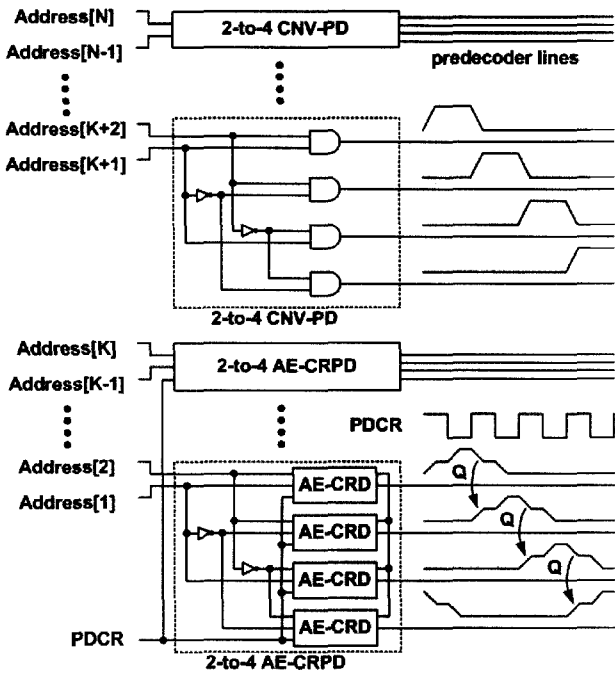


그림 7. 연속적인 어드레스를 위한 AE-CRPD
Fig. 7. AE-CRPD for consecutive addresses.

는 어드레스에 대해서는 CNV-CRPD를 하용하여 면적과 전력소모를 더욱 줄였다.

비록 AE-CRPD이 프리디코더 라인의 소모 전력의 반을 감소시키지만, 전하재활용 동작을 위한 면적과 전력을 필요로 한다. 전하재활용 회로는 어드레스 입력이 바뀌지 않는 상황에서도 동작을 하기 때문에 전력을 소모한다. 그런데, 연속적인 어드레스에서는 몇 개의 LSB를 입력으로 갖는 매우 적은 수의 프리디코더에서 대부분의 트랜지션이 발생한다. 따라서, 첫 번째부터 K번째 어드레스 비트까지는 프리디코더 라인의 전력소모를 줄일 수 있는 AE-CRPD를 사용하고 나머지 비트에 대해서는 컨트롤을 위한 전력을 소모하지 않고 면적이 적은 CNV-PD를 사용함으로써, 면적과 전력소모를 효과적으로 줄인다. 이는 CNV-CRPD에 비하여 면적 증가가 적 으면서도 프리디코더 라인의 전력소모를 50%까지 줄여 준다. 연속적인 어드레스 입력에 대하여 AE-CRPD은 CNV-CRPD에 비하여 면적뿐만 아니라 전력소모도 매우 작다.

III. 실험 및 비교 결과

성능 비교를 위하여 세 가지 12비트 프리디코더가 0.25um CMOS 공정으로 구현되었고, 모든 시뮬레이션은 $f_{CLK} = 100MHz$ 와 $V_{DD} = 2.5V$ 에서 수행되었다. 세

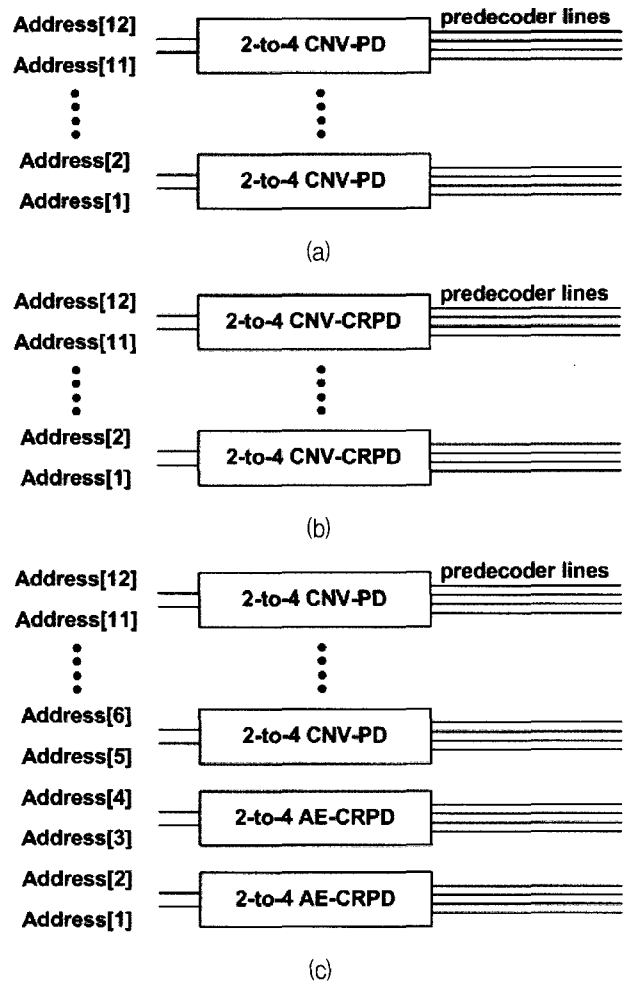


그림 8. 12비트 프리디코더 구조
(a) CNV-PD (b) CNV-CRPD (c) AE-CRPD
Fig. 8. 12-bit predecoder structures.
(a) CNV-PD (b) CNV-CRPD (c) AE-CRPD

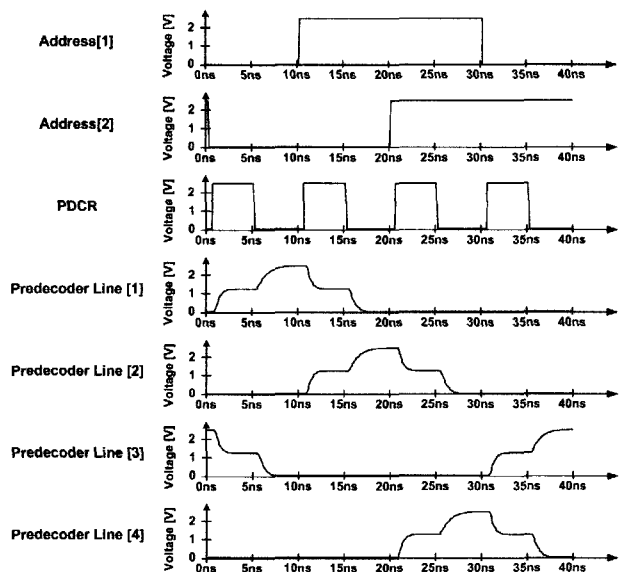


그림 9. AE-CRPD의 시뮬레이션 파형
Fig. 9. Simulated waveforms of AE-CRPD.

가지 프리디코더 CNV-PD, CNV-CRPD, AE-CRPD는 각각 그림8(a), 8(b), 8(c)이다. 12비트 프리디코더는 6개의 2-to-4 프리디코더로 구성되었다. 12비트 AE-CRPD는 두 개의 2-to-4 AE-CRPD와 4개의 CNV-PD로 구성되었다. 이 구성은 면적과 전력 소모를 고려하여 최고 성능을 얻기 위하여 선택되었다. 빈번하게 트랜지션이 발생하는 프리디코더 라인에서만 전하가 재활용되고, 트랜지션 빈도가 낮은 프리디코더 라인에서는 전하가 재활용 되지 않는다.

그림 9는 AE-CRPD의 시뮬레이션 파형이다. 그레이코드의 어드레스가 AE-CRPD에 입력되고 PDCR 신호에 의하여 전하재활용 동작이 수행된다. 이전에 선택된 프리디코더 라인의 전하는 새롭게 선택되는 프리디코더 라인에서 재활용된다.

그림10은 프리디코더 라인의 커패시턴스에 따른 2-to-4 프리디코더의 소모전력이다. CNV-CRPD와 AE-CRPD는 프리디코더 라인에서 전력소모를 반으로 줄일 수 있지만, 전하재활용을 위한 컨트롤 회로에서 전력을 소모하므로, CNV-CRPD와 AE-CRPD에서 소모되는 전력은 CNV-PD의 반이 아니다. $C_{LOAD} = 1.2pF$ 일 때, CNV-CRPD와 AE-CRPD는 각각 CNV-PD의 소모전력의 81%와 74%를 소모한다.

그림11은 12비트 프리디코더의 소모전력이다. 입력 어드레스가 연속적이지 않고 랜덤(random)일 경우, 그림10에서와 같이 CNV-CRPD의 소모전력이 CNV-PD보다 적지만, 연속적인 그레이코드 어드레스의 경우, CNV-CRPD는 변하지 않는 어드레스에 대해서도 컨트롤을 위한 전력을 소모하게 되어 CNV-PD보다 더 큰 전력을 소모한다. 따라서, 연속적인 어드레스를 위한 프리디코더로는 CNV-CRPD는 적합하지 않다. 그러나, 제안된 12비트 AE-CRPD는 빈번하게 변하는 어드레스에만 AE-CRPD를 하용하고 거의 변하지 않는 어드레스에는 CNV-PD를 사용하여 면적과 전력소모를 줄였다. $C_{LOAD} = 1.2pF$ 일 때, 12비트 AE-CRPD의 소모전력은 CNV-PD의 77%이다.

그림12는 2-to-4 AE-CRPD에 사용되는 어드레스 비트(K)에 따른 12비트 AE-CRPD의 소모전력과 면적이다. 나머지 어드레스 비트는 CNV-PD에 사용된다. 2-to-4 AE-CRPD의 면적이 2-to-4 CNV-PD보다 크기 때문에, 12비트 AE-CRPD의 면적은 K에 비례하여 증가한다. 그러나, 몇 비트의 LSB에서 대부분의 트랜지션이 발생하기 때문에, 전하재활용에 의한 전력소모는 K에 비례하여 감소하지는 않는다.

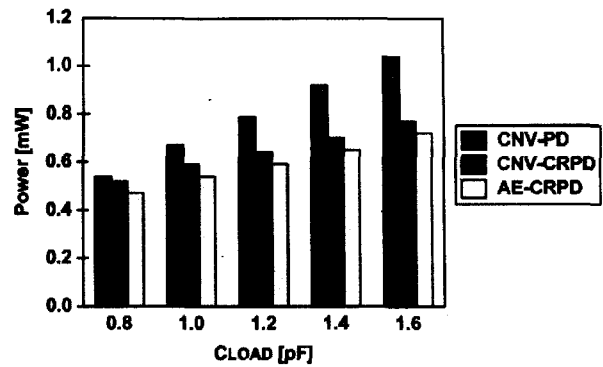


그림 10. 2-to-4 프리디코더의 소모전력
Fig. 10. Power consumption of 2-to-4 predecoders.

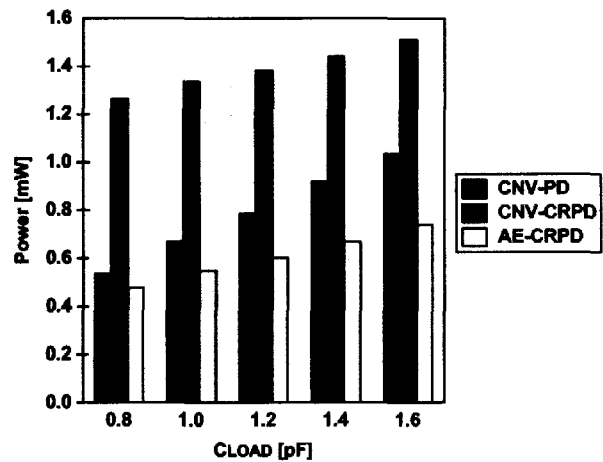


그림 11. 연속적인 그레이코드 어드레스를 위한 12비트 프리디코더의 소모전력
Fig. 11. Power consumption of 12-bit predecoders for the streams of the gray coded consecutive addresses.

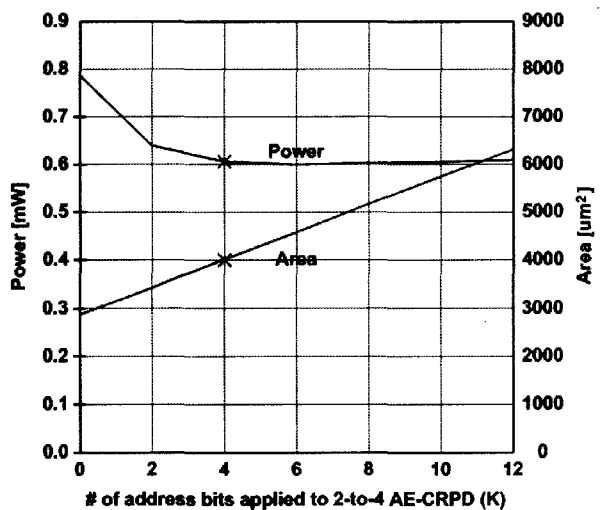


그림 12. 2-to-4 AE-CRPD에 사용되는 어드레스 비트에 따른 12비트 AE-CRPD의 전력과 면적
Fig. 12. Power and area consumptions of 12-bit AE-CRPD vs. the number of address bits used to 2-to-4 AE-CRPD.

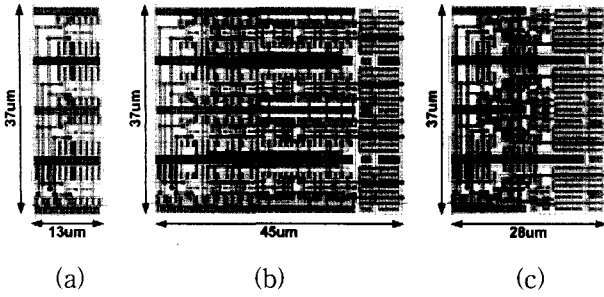


그림 13. 2-to-4 프리디코더의 레이아웃
 (a) CNV-PD (b) CNV-CRPD (c) AE-CRPD
 Fig. 13. Layouts of 2-to-4 predecoders of
 (a) CNV-PD (b) CNV-CRPD (c) AE-CRPD

표 3. 2-to-4 프리디코더 비교
 Table 3. Comparison of 2-to-4 predecoders.

	Power [mW]	Speed [ns]	# of transistors	Area [um ²]
CNV-PD	0.79 (1.00)	1.40 (1.00)	28 (1.00)	481 (1.00)
CNV-CRPD	0.64 (0.81)	2.40 (1.70)	204 (7.28)	1665 (3.46)
AE-CRPD	0.59 (0.74)	2.40 (1.70)	116 (4.14)	1036 (2.15)

표 4. 12비트 프리디코더 비교
 Table 4. Comparison of 12-bit predecoders.

	Power [mW]	Speed [ns]	Area [um ²]
CNV-PD	0.79 (1.00)	1.4 (1.00)	2886 (1.00)
CNV-CRPD	1.39 (1.76)	2.4 (1.70)	9990 (3.46)
AE-CRPD	0.6 (0.77)	2.4 (1.70)	3996 (1.38)

그림13은 세 가지 2-to-4 프리디코더의 레이아웃이다. CNV-PD, CNV-CRPD, AE-CRPD의 면적은 각각 481um², 1665um², 1036um²이다. AE-CRPD의 소모전력은 CNV-CRPD의 38%이다.

2-to-4 프리디코더와 12비트 프리디코더의 비교 결과는 표3과 4에 정리되었다. 시뮬레이션은 C_{LOAD} = 1.2pF, f_{CLK} =100MHz, V_{DD} = 2.5V에서 수행되었다. AE-CRPD는 CNV-PD보다 느리고 크지만, 2-to-4 프리디코더와 12비트 프리디코더에서 각각 26%와 23%의 소모전력을 줄여준다. 또한, AE-CRPD는 CNV-CRPD보다 면적이 작고 전력소모도 적다. 2-to-4 AE-CRPD의 면적과 소모전력은 각각 2-to-4 CNV-CRPD의 62%와 91%이다. 또한, 12비트 AE-CRPD의 면적과 소모전력은 각각 12비트 CNV-CRPD의 40%와 44%이다.

IV. 결 론

저전력 소면적 전하재활용 프리디코더(AE-CRPD)를 제안하였다. AE-CRPD는 기존의 전하재활용 프리디코더(CNV-CRPD)의 컨트롤 회로의 면적과 전력소모를 크게 줄였다. 제안된 AE-CRPD는 CNV-CRPD에 비하여 면적이 작고 소모전력 또한 적다. 2-to-4 AE-CRPD의 면적과 소모전력은 각각 2-to-4 CNV-CRPD의 62%와 91%이다. 또한, 빈번하게 변하는 어드레스 비트에는 AE-CRPD를 사용하고 가끔 변하는 어드레스 비트에는 기존의 프리디코더를 사용함으로써, 프리디코더의 전력소모를 줄였다. AE-CRPD는 2-to-4 CNV-PD와 12비트 CNV-PD의 소모전력의 26%와 23%만을 소모한다.

참 고 문 헌

- [1] K. Itoh, K. Sasaki, and Y. Nakagome, "Trends in low-power RAM circuit technologies," Proc. IEEE, vol. 83, pp. 524-543, Apr. 1995.
- [2] M. Margala, "Low-power SRAM circuit design," IEEE International Workshop on Memory Technology, Design and Testing, 1999, pp. 115-122.
- [3] Edwin de Angel, Earl E. Swartzlander, Jr. "Survey of Low Power Techniques for ROMs," International Symposium on Low Power Electronics and Design, 1997, pp. 7-11.
- [4] K. W. Mai, T. Mori, B. S. Amrutur, R. Ho, B. Wilburn, M. A. Horowitz, I. Fukushi, T. Izawa, and S. Mitarai, "Low-power SRAM Design Using Half-Swing Pulse-Mode Techniques," IEEE Journal of Solid-State Circuits, vol. 33, no.11, pp. 1659-1671, Nov. 1998.
- [5] B.-D. Yang and L.-S. Kim, "A Low Power ROM using Charge Recycling and Charge Sharing," IEEE International Solid-State Circuits Conference, 2002, pp. 108-109.
- [6] B.-D. Yang and L.-S. Kim, "A Low Power ROM using Charge Recycling and Charge Sharing Techniques," IEEE Journal of Solid-State Circuits, vol.38, no.4, pp.641-653, Apr. 2003.
- [7] B.-D. Yang and L.-S. Kim, "A Low Power Charge Recycling ROM Architecture," IEEE Transactions on Very Large Scale Integration Systems, Vol.11, No.4, pp. 590-600, Aug. 2003.
- [8] E. Macii, M. Pedram, and F. Somenzi, "High level power modeling, estimation and optimization," IEEE Trans. on Comput. Aided

Design, vol. 17, pp. 10611079, Nov. 1998.

[9] C. L. Su, C. Y. Tsui, and A. M. Despain, "Saving power in the control path of embedded processors," IEEE Design Test Comput., vol. 11, pp. 2430, 1994.

[10] N. Shibata, M. Watanabe, Y. Tanabe, "A current-sensed high-speed and low-power first-in-first-out memory using a wordline/bitline-swapped dual-port SRAM cell," IEEE Journal of Solid-State Circuits, Vol.37, No.6, pp. 735 - 750, June 2002.

저 자 소 개



양 병 도(정회원)
 1999년 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업 (공학사).
 2001년 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업 (공학석사).
 2001년 ~ 현재 한국과학기술원 전자전산학과 전기 및 전자공학 전공 박사과정.
 <주관심분야: 저전력/고성능 디지털 회로 설계, 저전력 메모리 설계>



김 이 섭(정회원)
 1982년 서울대학교 전자공학과 학사.
 1986년 Stanford University 전자공학과 석사.
 1990년 Stanford University 전자공학과 박사.
 1990년 ~ 1993년 Toshiba Corporation 연구원.
 1993년 ~ 현재 한국과학기술원 전자전산학과 전기 및 전자공학 전공 교수.
 <주관심분야: 3D Graphics 프로세서 및 하드웨어 설계, 고성능/저전력 디지털 IC 설계>